

DGS 방식 DC Block을 이용한 증폭기의 설계

Design of An Amplifier using DGS DC Block

이 경 희 · 정 용 채*

Kyung-Hee Lee · Yong-Chae Jeong*

요 약

본 논문에서는 Defected Ground Structure(DGS)를 DC block에 적용한 후 DC block의 부분인 $\lambda/4$ -결합 선로의 간격과 길이의 변화를 EM 시뮬레이션과 실제 제작을 통하여 알아보았다. 그 결과 일반적인 DC block을 사용할 때와 동일 출력 조건하에서 DGS 구조의 DC block의 $\lambda/4$ -결합 선로 사이의 간격이 0.1 mm에서 0.46 mm로 0.36 mm 만큼 늘어나고 $\lambda/4$ -결합 선로의 길이는 17.7 mm에서 13.2 mm로 4.5 mm 만큼 줄어드는 것을 알 수 있었다. 또한 Blocking 캐패시터, 일반적인 DC block, DGS 구조의 DC block을 사용하는 세 종류의 전력증폭기를 제작한 후 특성을 확인해 보았다. 먼저 각 증폭기의 산란 파라미터 특성을 살펴본 결과 3.2 ± 0.05 GHz의 주파수 대역에서 세 증폭기 모두 유사한 이득 특성과 산란 파라미터 특성을 갖음을 알 수 있었다. 그리고 3.2 GHz의 CW 신호를 인가하여 주신호의 출력 전력이 25 dBm일 때 하모닉 특성을 스펙트럼 분석기로 분석한 결과 캐패시터를 사용시에는 주신호와 2차 하모닉 성분과의 차이가 -44.83 dBc이고 일반적인 DC block과 DGS DC block 사용시에는 각각 -66.84와 -64.33 dBc로서 일반적인 DC block 사용시와 DGS DC block 사용시와 하모닉 특성이 거의 일치함을 확인하였다.

Abstract

In this paper, after applying Defected Ground Structure(DGS) to DC block, changes of gap and length of $\lambda/4$ coupled line are investigated by EM simulation and fabrication. As a result, on condition of the same output with the case using typical DC block, the gap between $\lambda/4$ coupled line is widen from 0.1 mm to 0.46 mm by 0.36 mm and the length of $\lambda/4$ coupled line gets shorter from 17.7 mm to 13.2 mm by 4.5 mm. Also three type power amplifiers using blocking capacitor, typical DC block and DGS DC block are fabricated and investigated. At first, when S parameter characteristics of each amplifier are considered at frequency band of 3.2 ± 0.05 GHz, every amplifier has similar characteristics of gain and S parameter. Second when the output power of amplifiers is 25 dBm after putting CW signal of 3.2 GHz into three type amplifiers, the difference of dominant signal and 2nd harmonic signal using blocking capacitor, typical DC block and DGS DC block is each -44.83 dBc, -66.84 dBc and -64.33 dBc. Therefore harmonic characteristics of amplifiers using typical DC block and DGS DC block is almost same.

I. 서 론

최근 이동 통신의 급격한 발달과 이동통신 기기

「본 연구는 한국과학재단 목적 기초연구 (2000-1-30200-007-3) 지원으로 수행되었음.」

한국전자통신연구원 무선방송기술연구소 전파기술부 RF기술연구팀(Radio Technology Department, Radio & Broadcasting Technology Lab., ETRI)

*전북대학교 공과대학 전자정보공학부 및 정보통신연구소(Division of Electronic & Information Engineering, Institute of Information & Communication, Chonbuk National University)

· 논문 번호 : 20001220-150

· 수정완료일자 : 2001년 2월 5일

및 부품의 소형 경량화 추세로 인하여 마이크로 스트립 선로나 도파관을 이용한 주기적 구조를 이용한 전파지연 구조나 고유전율 재료의 필요성 등이 다양한 이동통신 분야에서 요구되고 있다. 전파지연 구조의 한 예로 DGS(Defected Ground Structure)는 전송선로의 접지면에 주기적인 구조가 아닌 단지 하나 또는 몇 개의 식각된 결함 패턴을 갖는 구조로서 저손실의 Slow-wave와 특정 주파수 대역에서의 저지대역을 갖는 특성을 갖는다. 또한 DGS는 기존의 접지면에 인위적인 구조를 가미해줌으로써 특히 고주파용 부품의 구성 요소로서 널리 사용되어지는 마이크로 스트립에 구현이 용이하다는 장점을 지닌다^[1]. 이러한 특성들은 특히 위상 변환기(Phase Shifter) 및 전력증폭기의 효율과 출력 전력의 증가, 하모닉의 제거를 위한 여파기, 전력분배기, 공진기, RF 스위치의 설계에 응용되었다^{[2],[3]}. 본 논문에서는 DGS 구조를 적용한 DC block을 만든 후 다시 DGS가 적용된 DC block을 전력 증폭기의 출력단에 적용한 후의 특성을 살펴보았다.

일반적인 단위 전송선로와 Defect를 한 개 둔 단위 전송선로의 특성을 비교해 보면 접지면에 DGS 구조가 결함된 마이크로스트립 선로의 위상 성분의 급격함에 따라 DGS 구조의 Group delay 성분이 커지게 된다. 이때 Group delay(GD)는 식 (1)과 같이 표현된다^[4].

$$GD(\text{sec}) = \frac{\Delta\phi}{\Delta\omega} \quad (1)$$

Photonic band gap(PBG) 구조나 DGS 구조는 어느 주파수 대역에서 그 패턴의 모양에 따라 일정한 대역을 감쇠시키거나 또는 저지시키는 특성과 Slow-wave의 특성을 나타냄으로 인해 파의 위상속도(phase velocity)가 감소한다. 일반적으로 마이크로 스트립 혹은 스트립 선로와 같은 TEM 모드로 전파하는 무손실 전송선로의 특성 임피던스는 식 (2) 또는 식 (3)으로 나타낼 수 있다.

$$Z_0 = \sqrt{\frac{L}{C}} \quad (2)$$

$$Z_0 = v_p L = \frac{1}{v_p C} \quad (3)$$

자유 공간에서의 빛의 속도(c), 파장(λ_0), 마이크

로스트립 선로에서의 파장(λ_g), 실효 유전상수(ϵ_{eff})와의 관계는 식 (4)로 표현되며 PBG나 DGS를 적용하면 전파지연(slow-wave) 효과로 인하여 파의 위상속도(v_p)가 감소하게 된다. 위상속도 감소로 인한 실효 유전상수의 증가는 마이크로 스트립 선로에서의 파장(λ_g)가 감소되도록 하고 실제적으로 마이크로 스트립 선로의 길이가 감소하게 된다. 참고로 위상속도(phase velocity)는 Static 신호의 전파 속도를 말하고 군속도(group velocity)는 Dynamic 에너지 흐름 속도를 의미한다.

$$\epsilon_{eff} = \left(\frac{\lambda_0}{\lambda_g}\right)^2 = \left(\frac{c}{v_p}\right)^2 \quad (4)$$

또한 DGS 구조 역시 PBG 구조와 마찬가지로 접지면의 결함(Defect)은 전송선로의 인덕턴스를 증가시킴으로써 임피던스의 변화로 인한 전파 지연 특성을 갖는다. Defect의 크기와 모양, 개수로 전송선로의 임피던스를 조정함으로써 고유전율, 고임피던스의 구현이 가능하게 된다. 일반적으로 마이크로 스트립 선로에서는 무한대의 임피던스를 갖는 선로를 구현하기가 어렵다. 만약 PBG나 DGS 구조를 이용하면 선로의 폭의 길이가 늘어남으로 높은 임피던스를 갖는 선로도 구현이 가능하게 된다. 그리고 같은 50 ohm 선로에 대해 PBG나 DGS를 적용하면 유전율이 더 커짐으로써 길이는 더 작아지게 된다. 따라서 전체 사이즈가 줄어드는 장점을 지닌다.

II. DGS DC block의 설계

평행 결함 대칭 전송 선로의 한 부분은 마이크로 웨이브 주파수의 특정 대역에서 감쇠량 없이 DC에 대해서는 Open 회로처럼 동작되도록 사용된다^[5]. La Combe and Cohen은 이런 장치를 DC block이라고 명명하였다^[6]. DC blocking 커패시터들은 DC 바이어스를 이용하는 마이크로웨이브 소자들의 설계에 있어서 중요한 역할을 한다. Chip, deposited 커패시터들은 보통 S band부터 X band까지, 즉 비교적 낮은 마이크로웨이브 주파수에서는 잘 사용되어진다^{[7]-[9]}. 하지만 X band 이상에서는 이러한 칩 커패시터들은 자기공진 현상이 일어나고 때때로 원하

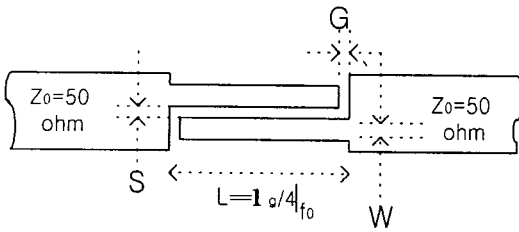


그림 1. 일반적인 DC block의 마이크로스트립 회로
Fig. 1. Microstrip circuit of a typical DC block.

지 않는 기생 성분들을 발생시킨다. 이러한 문제점을 해결하기 위하여 DC block이 필요하게 된다.

2-1 일반적인 DC block의 설계

본 논문에서는 Stinehelfer에 의해 언급된 Inter-digital 유형의 DC block을 기본으로 하여 DC block을 설계하였다^[9]. Inter-digital 유형은 다른 마이크로스트립 회로처럼 인쇄 기법의 장점을 가지고 있다. 일반적인 DC block회로를 그림 1에 나타내었는데 이것은 $\lambda/4$ 의 결합 선로로 이루어진다^[5]. 본 논문에서는 중심 주파수 3.2 GHz에서 EM Simulation을 통하여 DC block의 커플링 섹션의 결과 특성을 확인해 보았다. DC block 제작시 유전율 2.5, 31 mil의 Teflon 기판을 사용하였으며, 이때 $\lambda/4$ 결합 선로의 폭 W 는 0.52 mm, 길이 L 은 17.7 mm, 결합 선로 사이의 간격 S 는 0.1 mm의 값을 얻었다. 50 ohm Feed 선로의 폭은 2.2 mm, Coupled 선로와 50 ohm 선로 사이의 간격은 0.2 mm가 얻어졌다. 여기서 살펴봐야 할 사항은 결합선로의 간격 S 의 구현이다. 실제로 0.1 mm의 간격을 구현하기란 아주 어려울 뿐만 아니라 약간의 오차에도 특성이 변하게 된다.

2-2 DGS 구조를 이용한 DC block의 설계

그림 2는 본 논문에서 설계하고자 하는 DC block의 3차원 구조물을 나타내었고 그림 3에는 이 구조물의 EM 시뮬레이션 결과를 나타내었다. 접지면에 결함을 두면 전자기파가 마이크로 스트립 선로 근처에 집중되고 접지면의 식각된 구멍, 즉 결함에 의해 전자기파가 방해를 받게 되며 결과적으로 저지

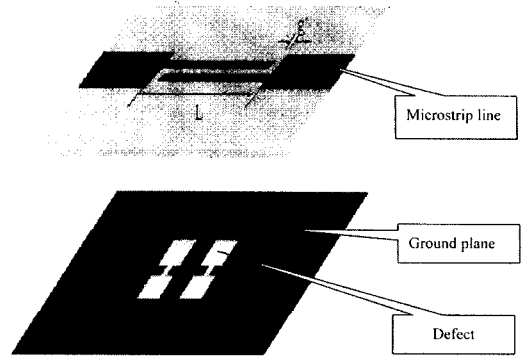


그림 2. DGS DC block의 3차원 구조물
Fig. 2. 3-Dimensional structure of DGS DC block.

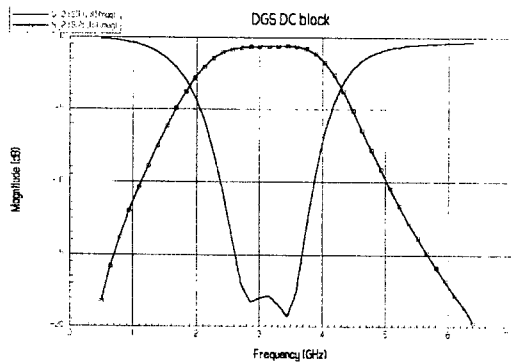


그림 3. DGS DC block의 EM 시뮬레이션 결과
Fig. 3. EM simulation result of DGS DC block.

대역에서 다중간섭을 받게 된다. 이로 인해 전파 지연 효과가 발생하며 이것은 일반적인 DC block의 $\lambda/4$ 결합선로의 길이를 감소하게 한다. 또한 DGS 구조로 인한 선로의 특성 임피던스 변화로 인해 결합 선로 사이의 간격이 변하게 되는데 본 논문에서는 일반적인 DC block과 동일 특성이 나오도록 시뮬레이션 한 결과 결함(Defect)의 Dimension을 살펴 보았을 때 a 는 2.4 mm, b 는 4.77 mm, c 는 0.6 mm, g 는 0.4 mm 값을 얻을 수 있었으며 두 결함 사이의 간격 p 는 8.5 mm의 값이 얻어졌다. 이 때 결함의 여러 가지 Dimension중에서 a 와 b 의 값은 중심주파수의 이동과 하모닉 특성과 관련이 있으며 c, g 값은 중심주파수의 이동에만 영향을 끼치고 p 값은 중심주파수에서의 반사계수 및 전달계수 변화의 주된

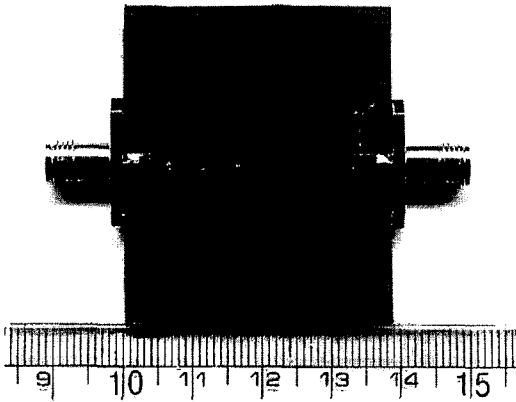


그림 4. DGS DC block의 앞면 사진
Fig. 4. Front plane photograph of DGS DC block.

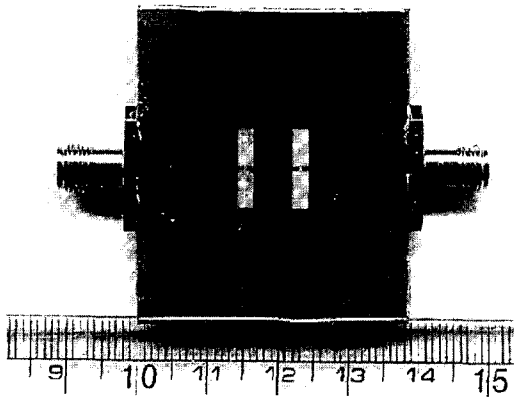


그림 5. DGS DC block의 뒷면 사진
Fig. 5. Back plane photograph of DGS DC block.

변수가 된다.

결과적으로 2개의 결합을 뒀으로써 일반적인 DC block의 물리적 길이가 변하게 된 것이다. 실제로 결합을 뒀으로써 부가적인 이득을 얻을 수 있었는데 바로 $\lambda/4$ 결합 선로 사이의 간격 S 값과 $\lambda/4$ 결합 선로의 길이 L 값의 변화이다. 2개의 결합을 뒀으로써 S 값은 0.1 mm에서 0.46 mm로 변하고, L 값은 17.7 mm에서 13.2 mm로 줄어들었다. 이 때 $\lambda/4$ 결합 선로의 폭 W 값은 0.52 mm로 변하지 않았다.

이러한 길이의 변화는 실제로 쉽게 구현할 수 있다는 것을 의미한다. 실제로 0.1 mm 사이의 간격을 구현하는 것이 아주 어려울 뿐만 아니라 약간의 오

표 1. 일반적인 DC block과 DGS가 적용된 DC block의 Dimension 비교

Table 1. Dimension comparison of typical DC block and DGS DC block.

비교대상 \ 파라미터	W [mm]	S [mm]	L [mm]
일반적인 DC block	0.52	0.1	17.7
DGS DC block	0.52	0.46	13.2

차에도 특성이 변하게 된다. 하지만 0.36 mm가 늘어난 0.46 mm는 구현하기가 아주 쉽다. 또한 결합 선로의 길이의 줄어듦은 DGS 구조의 Slow-wave 효과로 인해 소형화가 가능함을 의미한다. 그림 4와 그림 5에는 DGS 구조의 DC block의 실제 제작 사진을 나타내었다.

2-3 일반적인 DC block과 DGS 방식 DC block의 비교

표 1에 일반적인 DC block과 DGS DC block의 물리적 특성을 비교하여 나타내었다. DGS 구조를 사용함으로써 $\lambda/4$ 결합 선로의 길이는 훨씬 줄어들었고 $\lambda/4$ 결합 선로 사이의 간격 또한 늘어난 것을 알 수 있다. 결과적으로 DGS DC block은 일반적인 DC block에 비해 소형화, 구현의 용이성의 장점을 갖는다.

III. DGS DC block을 이용한 증폭기의 설계

DGS를 적용한 DC block을 증폭기에 적용한 후의 효과를 알아보기 위해 Blocking 캐패시터, 일반적인 DC block, DGS DC block을 이용한 세가지의 증폭기를 제작하였다. 먼저 Fujitsu 사의 FLL-55MK를 이용하여 V_{ds} 는 10V, I_{ds} 는 900 mA 바이어스 조건 하에서 Blocking 캐패시터를 이용한 AB급 증폭기를 제작하였다. 이때 증폭기의 동작 주파수는 3.2 ± 0.05 GHz로 설정하였으며 설계에 사용된 기판은 유전율이 2.5, 두께가 31 mil인 TACONIC사의 Teflon 기판이다.

Blocking 캐패시터를 사용할 때 그림 6에서 보듯

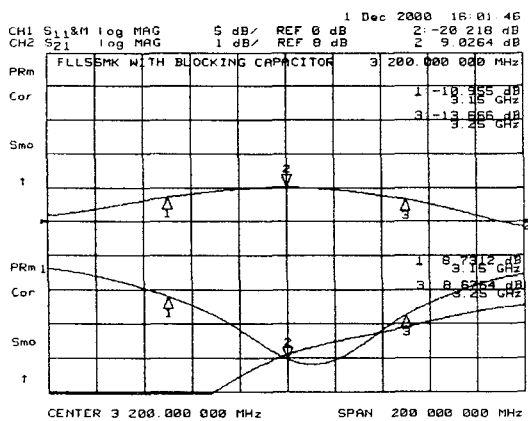


그림 6. Blocking 캐패시터 사용시 증폭기의 특성
Fig. 6. Characteristics of amplifier using blocking capacitor.

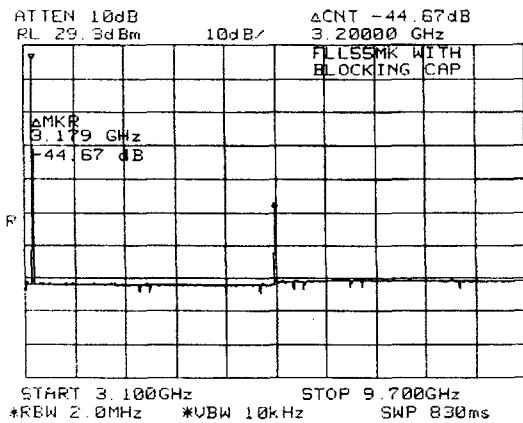


그림 7. Blocking 캐패시터를 사용시 증폭기의 하모닉 특성 ($P_o=25$ dBm일 때)
Fig. 7. Harmonic characteristics of amplifier using blocking capacitor ($@P_o=25$ dBm).

이 증폭기의 이득 S_{21} 은 9.02 dB, S_{11} 은 -20.22 dB, S_{22} 는 -19.80 dB의 값을 갖는 것을 확인할 수 있다. 그리고 주신호에서의 출력 전력이 25 dBm일 때 주신호와 2차 하모닉 성분의 차이는 그림 7에서 보듯이 -44.83 dBc가 된다. 이때 3차 성분은 나타나지 않았는데 그 이유는 3차 하모닉 성분의 신호 크기가 아주 작기 때문이다.

다음에는 전력 증폭기의 출력단 Blocking 캐패시터 3pF을 일반적인 DC block과 DGS DC block로

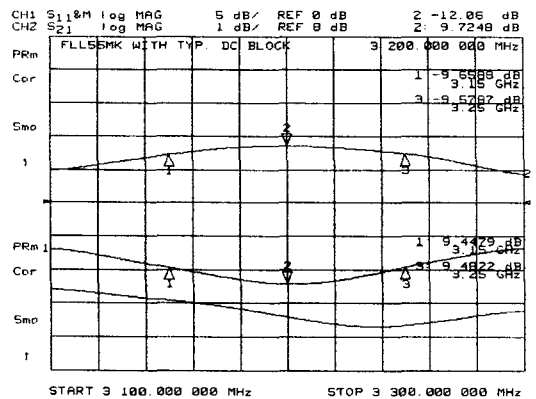


그림 8. 일반적인 DC block 사용시 증폭기의 특성
Fig. 8. Characteristics of amplifier using a typical DC block.

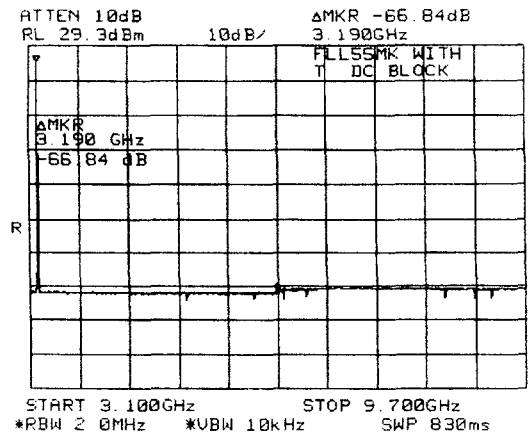


그림 9. 일반적인 DC block 사용시 증폭기의 하모닉 특성 ($P_o=25$ dBm일 때)
Fig. 9. Harmonic characteristics of amplifier using a typical DC block ($@P_o=25$ dBm).

대체한 후의 특성을 살펴보았다. 먼저 Blocking 캐패시터를 사용할 때와 동일 바이어스 조건하에서 일반적인 DC block을 사용한 후 특성을 살펴본 결과 증폭기의 특성은 그림 8에서 보듯이 이득 S_{21} 은 9.72 dB이며, S_{11} 은 -12.06 dB, S_{22} 는 -17.05 dB로 측정되었다. 그리고 증폭기의 주신호의 출력 전력이 25 dBm일 때 하모닉 특성을 그림 9에 나타내었다. 그림에서 보듯이 주신호와 2차 하모닉 성분의 차이는 -66.84 dBc가 됨을 확인하였다.

IV. 결 론

본 논문에서는 요즘 많이 연구가 되고 있는 DGS (Defected Ground Structure)를 이용한 DC block을 설계한 후 이를 다시 전력증폭기의 출력단에 적용하였다. 실제로 세 종류의 증폭기 즉, Blocking 캐패시터를 사용하는 전력 증폭기, 일반적인 DC block을 사용하는 전력 증폭기, DGS DC block을 이용한 전력증폭기를 제작하였다. Blocking 캐패시터를 사용시 2차 하모닉 특성은 -44.83 dBc, 일반적인 DC block 사용시에는 -66.84 dBc, DGS DC block 사용시에는 -64.33 dBc로서 일반적인 DC block 사용시에 비해 2.51 dB가 덜 개선되었다.

하지만 물리적인 길이의 변화를 살펴봤을 때 DGS를 적용한 변형된 DC block은 일반적인 DC block에 비해 $\lambda/4$ 결합선로 사이의 간격이 0.1 mm로부터 0.46 mm로 0.36 mm가 늘어나 기존의 구조에 비해 구현하기가 훨씬 수월해졌다. 또한 결합선로의 길이 역시 전파지연(slow-wave) 효과로 인해 17.7 mm에서 13.2 mm로 4.5 mm가 짧아져 소형화가 가능해졌다. 결론적으로 DGS를 적용하면 구현상의 용이점뿐만 아니라 용적을 줄일 수 있다는 큰 장점을 갖고 이러한 특성은 다른 마이크로웨이브 소자에 응용할 수 있을 것이다.

참 고 문 헌

- [1] C. S. Kim, J. S. Lim, J. S. Park, D. Ahn and S. W. Nam, "A 10dB Branch Line Coupler Using Defected Ground Structure", *EUMC'2000*, vol. 3, pp. 68-71, 2000.
- [2] J. S. Park, C. S. Kim, H. T. Kang, G. Y. Kim, K. H. Park and D. Ahn, "A Novel Resonant Microstrip RF Phase Shifter Using Defected Ground Structure", *EUMC'2000*, vol. 3, pp. 72-75, 2000
- [3] 임종식, 김호섭, 박준석, 안 달, 남상욱, "DGS (Defected Ground Structure)를 이용한 전력 증폭기 설계", *마이크로파 및 전파학회 논문집*, vol. 23, no. 2, pp. 95-98, 2000.
- [4] 강현택, 윤준식, 김철수, 박준석, 안 달, 김근영,

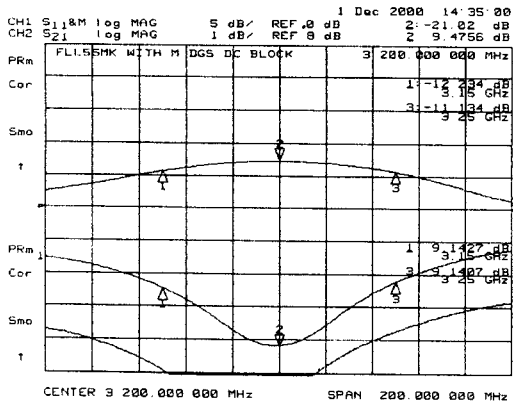


그림 10. DGS DC block 사용시 증폭기의 특성
Fig. 10. Characteristics of amplifier using DGS DC block.

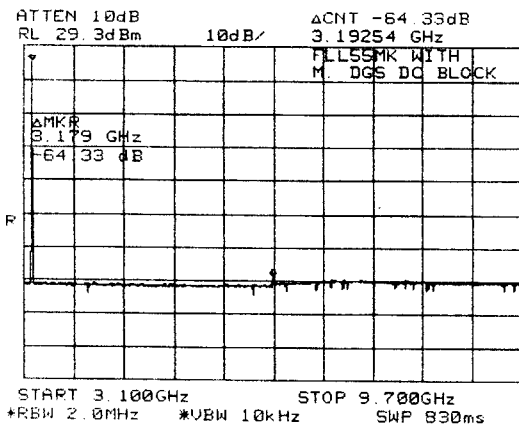


그림 11. DGS DC block 사용시 증폭기의 하모닉 특성 (P_o 는 25 dBm일 때)
Fig. 11. Harmonic characteristics of amplifier using a DGS DC block ($@P_o=25$ dBm).

두번째로 DGS DC block을 사용한 후 특성을 살펴본 결과 Blocking 캐패시터를 사용할 때와 동일 바이어스 조건 하에서 증폭기의 산란파라미터 특성은 그림 10에서 보듯이 이득 S_{21} 은 9.48 dB 이며, S_{11} 은 -21.02 dB, S_{22} 는 -30.3 dB로 측정되었다. 이때 주신호의 출력 전력이 25 dBm일 때 하모닉 특성을 그림 11에 나타내었다. 그림에서 보듯이 주신호와 2차 하모닉 성분의 차이는 -64.33 dBc가 됨을 확인하였다.

“Photonic BandGap(PBG) 구조를 이용한 Slow-wave Structure 구현에 관한 연구”, 마이크로파 및 전파학회 논문집, vol. 22, no. 1, pp. 187-190, 1999.

[5] D. Kajfez and B. S. Vidula, “Design Equations for Symmetric Microstrip DC Blocks”, *IEEE Trans. on Microwave Theory and Tech.*, vol. MTT-28, no. 9, pp. 974-980, 1980.

[6] D. Lacombe and J. Cohen, “Octave-Band Microstrip DC Blocks”, *IEEE Trans. on Microwave Theory and Tech.*, pp. 555-556, 1972.

[7] D. A. Daly, S. P. Knight, M. Caulton and R.

Ekholdt, “Lumped elements in microwave integrated circuits”, *IEEE Trans. Microwave Theory Tech.*, vol. MTT-15, pp. 713-721, 1967.

[8] G. Alley, “Interdigital capacitors for use in lumped-element microwave integrated circuits”, in *Proc. IEEE G-MTT Int. Microwave Symp.*, pp. 7-13, 1970.

[9] R. DeBrecht and M. Caulton, “Lumped-elements in microwave integrated circuits in the 1-12GHz range”, in *Proc. IEEE G-MTT Int. Microwave Symp.*, pp. 14-18, 1970.

이 경 희

1999년 2월: 전북대학교 정보통신공학과(공학사)
 2001년 2월: 전북대학교 정보통신학과(공학석사)
 2001년 2월~현재: 한국전자통신 연구원 무선방송기술연
 구소 전파기술연구부 RF기술연구팀
 [주 관심분야] 초고주파 전력 증폭기 설계 및 선형화 기
 술, DGS 구조 응용분야

정 용 채



1989년 2월: 서강대학교 전자공학
 과(공학사)
 1991년 2월: 서강대학교 전자공학
 과(공학석사)
 1996년 8월: 서강대학교 전자공학
 과(공학박사)
 1991년 2월~1998년 2월: 삼성전자
 정보통신본부 선임연구원
 1998년 3월~현재: 전북대학교 전자정보공학부 조교수
 현재: 전북대학교 정보통신연구소 연구원
 [주 관심분야] RF 및 Microwave 회로 해석 및 설계