

칩 동기 에러와 위상 에러가 존재하는 환경에서 다단 간섭제거기에 의한 비동기 DS-CDMA 시스템의 성능 개선

Performance Improvement of Asynchronous DS-CDMA Systems with a Multistage Interference Canceller in the Presence of Timing and Phase Errors

김봉철* · 강근정* · 오창현** · 조성준*

Bong-Cheol Kim* · Geun-Jung Kang* · Chang-Heon Oh** · Sung-Joon Cho*

요 약

본 논문에서는 비동기 DS-CDMA 시스템의 성능 개선 기법으로서 다단 간섭제거기(Multistage PIC)와 부분 다단 간섭제거기(Partial Multistage PIC)를 채용할 때 칩 동기 에러와 위상 에러가 다중접속간섭(MAI : Multiple Access Interference) 제거능력에 미치는 영향의 정도를 이론적으로 분석하고 이를 검증하기 위한 컴퓨터 시뮬레이션을 수행하였다. 성능분석 결과로부터 동기가 완전한 경우에는 다단 간섭제거기와 부분 다단 간섭제거기 모두 큰 폭의 성능 개선을 이룰 수 있었는데 단(stage) 수를 증가시킬수록 다단 간섭제거기와 부분 다단 간섭제거기의 성능 개선은 비슷하였다. 또한, 칩 동기 에러와 위상 에러를 고려할 경우, 1단(no cancellation)에서의 성능 열화가 각 단의 상관기 출력(decision statistic)에 영향을 줌으로써 다단 간섭제거기와 부분 다단 간섭제거기의 성능 개선을 감소시켰다. 그렇지만, 불완전 동기에도 불구하고 단(stage) 수를 증가시키면 두 간섭제거기 모두 강한 간섭제거능력을 보였다. 실제 시스템에서는 완벽한 칩 동기와 위상 동기 획득이 불가능하기 때문에 칩 동기 에러와 위상 에러에 대해서도 큰 폭의 성능 개선을 이룰 수 있고 구현상의 복잡도도 줄일 수 있는 간섭제거기가 필요하게 된다. 따라서, 기존의 다단 간섭제거기와 거의 동일한 성능 개선을 달성하면서 구조가 간단하고 계산량이 적은 부분 다단 간섭제거기의 활용도가 높아질 것이 예상된다.

Abstract

In this paper, a multistage parallel interference canceller(MPIC) and a partial multistage parallel interference canceller(PMPIC) are employed as a technique for improving the performance of the asynchronous DS-CDMA systems. The degree of the effect of the timing errors and phase errors on the interference cancellation capability of two types of cancellers is theoretically analyzed and the computer simulation is performed to confirm the analytical results. From the results, the large performance improvement is obtained by employing MPIC and PMPIC with perfect synchronization over the conventional matched filter, and the performance improvement obtained by MPIC and PMPIC is very close to each other as the number of the stage of MPIC and PMPIC increases. When the timing errors and phase errors are considered(in the case of imperfect synchronization), the performance improvement reduces as the performance degradation at the first stage(no cancellation) has a bad effect on the decision statistics at each stage. However MPIC and PMPIC have the strong interference cancellation

*한국항공대학교 대학원 항공통신정보공학과(Dept. of Telecomm. & Inform. Eng., Graduate School of Hankuk Aviation Univ.)

**한국기술교육대학교 정보통신공학과(Dept. of Inform. & Comm. Eng., Korea University of Tech. & Edu.)

· 논문 번호 : 20001104-01S

· 수정완료일자 : 2000년 12월 16일

capability in spite of imperfect synchronization as the number of the stage increases. An interference canceller, which has the strong interference cancellation capability as well as lower complexity for the implementation, is needed for practical systems with timing errors and phase errors because the perfect synchronization is impossible. Therefore, the excellent tradeoff between complexity and performance offered by PMPIC makes it an attractive approach for practical systems.

I. 서 론

DS-CDMA(Direct Sequence-Code Division Multiple Access) 시스템은 혼신이 적고 이동통신 채널에 강하다는 장점이 있지만 다수의 사용자가 동시에 동일 주파수 대역을 사용하는 특징으로 인해 다중 접속간섭(MAI:Multiple Access Interference)이 필연적으로 발생하며 이것은 DS-CDMA 시스템의 성능을 크게 열화시키는 원인이 된다. 따라서, DS-CDMA 시스템에서 양질의 무선 멀티미디어 서비스를 제공하기 위해서는 시스템의 성능을 개선하고 보다 많은 채널 용량을 확보하기 위한 MAI 제거 기법이 필요하게 된다^{[1],[2]}.

MAI 제거 기법에 대한 연구는 대용량 및 고품질의 멀티미디어 서비스를 대비하여 활발히 연구되어 왔으며 현재까지도 다양한 제거 기법에 대한 연구가 진행중이다. MAI 제거기법으로는 선형 검파 방식인 decorrelator 및 MMSE(Minimum Mean Square Error) 기법과 다중사용자 검파(MUD : Multi-User Detection) 방식을 근거로 하는 비선형 검파 방식인 직렬 간섭제거기(SIC:Serial Interference Canceller), 병렬 간섭제거기(PIC:Parallel Interference Canceller) 및 다단 간섭제거기(multistage PIC) 등이 활발히 연구되고 있다^[3]. 대부분의 간섭제거기의 연구에서는 완벽한 동기 획득을 가정하고 시스템의 성능을 분석한다. 그렇지만, 실제 시스템에서는 완벽한 동기 획득이 거의 불가능하기 때문에 불완전 동기(imperfect synchronization)로 인한 칩 동기 에러(timing errors)와 위상 에러(phase errors)가 고려된다. 이러한 칩 동기와 위상 에러는 간섭제거기가 간섭제거 과정을 수행하기 전에 시스템의 성능을 열화시킨다. 따라서, 불완전 동기가 고려된 경우 간섭제거과정은 불완전해지고 간섭제거기의 간섭제거능력은 감소한다^{[4],[5]}. 본 논문에서는 MAI 제거기법으로서 다단 간섭제거기와 부분 다단 간섭제거기(Partial Multi-

stage PIC)를 고려한다. 다단 간섭제거기는 희망사용자를 제외한 모든 간섭사용자의 추정신호를 수신신호에서 빼줌으로써 MAI를 제거하는 기법으로 계산량은 사용자 수의 제곱에 비례한다. 부분 다단 간섭제거기는 부분제거계수(partial cancellation factor)를 이용해 가중치를 부여한 후 모든 사용자의 신호를 추정하여 추정된 신호를 수신신호에서 빼주어 MAI를 제거하는 기법으로 계산량은 사용자 수에 비례한다. 따라서, 부분 다단간섭제거기가 다단간섭제거기보다 하드웨어 복잡도 및 계산량이 적은 구조이다.

본 논문에서는 칩 동기 에러와 위상 에러가 존재하는 환경에서 비동기 DS-CDMA 시스템의 성능을 분석하고 성능 개선 기법으로 다단 간섭제거기(multistage PIC)와 부분 다단 간섭제거기(partial multistage PIC)를 채용하여 칩 동기 에러와 위상 에러가 두 가지 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 이론적으로 분석하고 이를 검증하기 위해 컴퓨터 시뮬레이션을 수행한다.

II. 간섭제거기

2-1 다단 간섭제거기

다단 간섭제거기는 다중사용자검파를 근거로 한 간섭제거기로서 병렬 간섭제거기의 간섭제거과정을 다단으로 수행하여 MAI를 제거하는 수신기이다^{[5],[6]}.

그림 1의 다단 간섭제거기에서 각 단(stage)의 상관기 출력(Z_k : decision statistic)은 이전 단의 상관기 출력에 근거하고 MAI는 각 단을 거치면서 제거된다. 다단 간섭제거기에서 수신신호 $r(t)$ 는 첫 번째 단($s=1$)에서 상관기(matched filter)를 통과하여 MAI와 가우스잡음(AWGN: Additive White Gaussian Noise)이 포함된 상관기 출력 $Z_s^{(1)}$ 이 된다. 두 번째

칩 동기 에러와 위상 에러가 존재하는 환경에서 다단 간섭제거기에 의한 비동기 DS-CDMA 시스템의 성능 개선

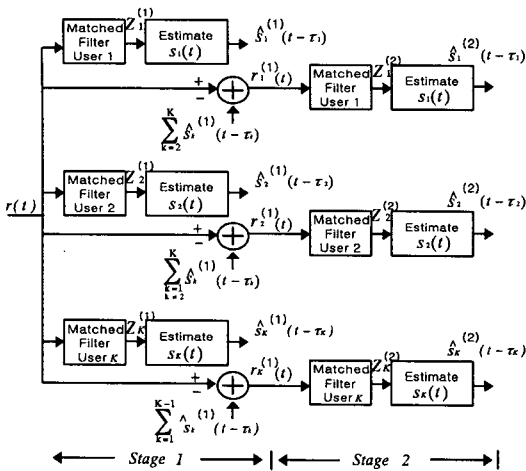


그림 1. 다단 간섭제거기
Fig. 1. Multistage interference canceller.

단에서는 첫 번째 단의 상관기 출력 $Z_k^{(1)}$ 을 이용하여 각 사용자의 재생성(regeneration) 신호 $\hat{s}_k^{(1)}(t - \tau_k)$ 가 출력된다. 이때 희망 사용자 신호를 제외한 나머지 사용자의 재생성 신호의 합인 $\sum_{k=2}^K \hat{s}_k^{(1)}(t - \tau_k)$ 가 수신신호 $r(t)$ 에서 제거된다. 세 번째 단부터는 두 번째 단에서 제거되지 못한 잔여 MAI를 포함한 각 사용자 신호 $r_k^{(1)}(t)$ 가 입력이 되어 두 번째 단의 간섭제거 과정과 동일한 과정을 반복하면서 다단으로 간섭제거과정을 수행한다^[6].

2-2 부분 다단 간섭제거기

다단 간섭제거기는 각 단의 간섭제거과정에서 희망 사용자를 제외한 나머지 사용자의 재생성 신호의 합을 빼주어 MAI를 제거하기 때문에 사용자 수의 제공에 비례하는 계산량이 필요하고 시스템 구현이 복잡하다. 이에 반하여 부분 다단 간섭 제거기는 첫 번째 단의 상관기 출력에 부분제거계수 ($0 \leq C_k \leq 1$)를 이용해 MAI를 제거하는 기법으로서 계산량이 다단 간섭 제거기 보다 상당히 줄어드는 구조이다.

부분 다단 간섭제거기를 나타내는 그림 2에서 수신 신호 $r(t)$ 는 첫 번째 단에서 각 사용자의 상관기(matched filter)를 통과하여 상관기 출력 $Z_k^{(1)}$ 이 되고 두 번째 단에서 $Z_k^{(1)}$ 에 부분제거계수($C_k=0.5$:

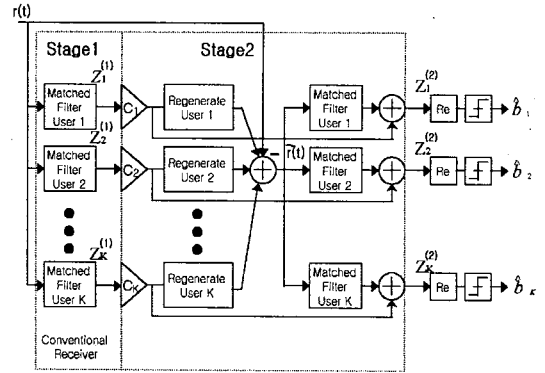


그림 2. 부분 다단간섭제거기
Fig. 2. Partial multistage interference canceller.

완벽한 전력제어시)가 곱해져 각 사용자의 재생성 신호가 출력된다. 수신 신호 $r(t)$ 에서 간섭 사용자의 재생성 신호의 합이 제거된 신호 $\tilde{r}(t)$ 는 다시 상관기에 입력된다. 상관기 통과 후 부분제거계수를 더하여 원래의 희망신호 전력은 복원이 되고 MAI는 줄어든다^[7].

III. 성능 분석

3-1 완전동기인 경우

본 논문에서는 비동기 DS-CDMA 시스템의 역방향 링크 전송을 가정하고 채널 모델은 AWGN과 MAI가 존재하는 무선 채널을 고려한다. 채널 추정(channel estimation)과 전력제어(power control)가 완벽한 것으로 가정하면 다단 간섭제거기를 채용하는 경우의 오율(BER:Bit Error Rate)은 다음과 같다^[6].

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2(E_b/N_o)} \left(\frac{1 - \left(\frac{K-1}{3N} \right)^s}{1 - \left(\frac{K-1}{3N} \right)} \right) + \left(\frac{K-1}{3N} \right)^s \right]^{-1/2} \right\}. \quad (1)$$

단, E_b : 비트 에너지, N_o : 잡음의 전력 스펙트럼 밀도, K : 사용자 수, N : 처리 이득, s : 단(stage) 수.

식 (1)에서 Q함수내의 첫 번째 항은 잡음 성분이고 두 번째 항은 MAI 성분으로서 단(stage) 수가 증가할수록 MAI 성분은 점차 감소한다. 한편, 부분

다단 간섭제거기를 채용하는 경우의 오율은 식 (1)에 부분제거계수 C_k 를 적용하면 $s \geq 2$ 에서 다음과 같이 구해진다.

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2(E_b/N_o)} \left(\frac{1 - C_k \left(\frac{K-1}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{K-1}{3N} \right)} \right) + C_k \left(\frac{K-1}{3N} \right)^{(s-1)} \right]^{-1/2} \right\}. \quad (2)$$

위 식에서 첫 번째 단($s=1$)인 경우는 간섭제거과정이 없는 경우이고 식 (1)에서의 첫 번째 단($s=1$)과 동일하다. 식 (2)에서 $s \geq 2$ 인 경우는 간섭제거과정이 수행되는 경우이다. $s=2$ 인 경우 부분제거계수 C_k 가 곱해짐으로써 MAI가 제거되고 $s > 2$ 에서는 다단 간섭제거기와 동일한 과정을 반복하여 MAI가 제거된다.

3-2 칩 동기 에러를 고려할 경우

칩 동기 에러를 고려할 경우 첫 번째 단($s=1$)에서의 상관기 출력은 다음과 같이 구해진다.

$$Z_{k,i}^{(1)} = \int_{iT+\tau_k-\epsilon}^{(i+1)T+\tau_k-\epsilon} r(t) a_k(t - \tau_k + \epsilon) \cdot \cos(\omega_c t + \phi_k) dt. \quad (3)$$

여기서, ϵ 은 칩 동기 에러 ($0 \leq \epsilon < T_c$)이다. 또한, s 단에서의 상관기 출력의 분산은 $s \geq 2$ 에서 다음과 같다^[8].

$$\text{var}(Z_k^{(s)}) = \frac{N_o T}{4} + \frac{NT_c^2}{3} \cdot \left[\alpha \sum_{j=1}^K P_j + \gamma \sum_{j=1}^K \text{var}(Z_j^{(s-1)}) \right]. \quad (4)$$

위 식에서 두 번째 항은 현재 단에서 칩 동기 에러로 인한 MAI를 나타내고 간섭제거과정이 수행되어도 제거되지 않는다. 세 번째 항은 이전 단에서의 칩 동기 에러를 포함한 상관기 출력의 분산값이 현재 단에 미치는 MAI이다. 따라서, 칩 동기 에러가 포함된 경우는 완전한 동기 에러에 비해 각 단에서 간섭신호의 재생성 과정이 불완전하게 된다. 또한, α 와 γ 는 칩 동기 에러계수로서 다음과 같다.

$$\alpha = \frac{\epsilon}{T_c} - \frac{1}{2} + \frac{1}{2} \left(1 - \frac{\epsilon}{T_c} \right)^2 \left(1 + \frac{3\epsilon^2}{T_c^2} \right),$$

$$\gamma = \left(1 + \frac{3\epsilon^2}{T_c^2} \right) / T^2$$

칩 동기 에러를 고려하지 않은 경우 $\alpha=0$ 이 되고 $\gamma=1$ 이 되어 두 번째 항은 0이 된다. 따라서, 이러한 칩 동기 에러를 고려하고 다단 간섭제거기를 채용하는 경우 s 단에서 k 번째 사용자에 대한 오율은 다음과 같다.

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \epsilon_o} \left[\frac{1 - \left(\frac{\gamma_o(K-1)}{3N} \right)^s}{1 - \left(\frac{\gamma_o(K-1)}{3N} \right)} \right] + \frac{2\alpha}{\gamma_o \epsilon_o} \left[\frac{1 - \left(\frac{\gamma_o(K-1)}{3N} \right)^s}{1 - \left(\frac{\gamma_o(K-1)}{3N} \right)} - \frac{1 - \left(\frac{-\gamma_o}{3N} \right)^s}{1 + \left(\frac{\gamma_o}{3N} \right)} \right] + \frac{2\alpha}{\gamma_o \epsilon_o} \left[\frac{-\frac{\gamma_o}{3N} - \left(\frac{\gamma_o}{3N} \right)^s}{1 + \frac{\gamma_o}{3N}} \right] + \frac{1}{\gamma_o \epsilon_o} \left(\frac{\gamma_o(K-1)}{3N} \right)^s \right]^{-1/2} \right\}. \quad (5)$$

단, $\epsilon_o : 1 - (\epsilon/T_c)$, $\gamma_o : \gamma T^2$.

식 (5)에서 Q함수내의 MAI성분은 단(stage) 수가 증가할수록 감소하지만 칩 동기 에러 ϵ 가 커짐에 따라 증가한다. 또한, 부분 다단 간섭제거기를 채용하는 경우의 오율은 $s \geq 2$ ($s=1$: no cancellation)에서 다음과 같다.

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \epsilon_o} \left[\frac{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)} \right] + \frac{2\alpha}{\gamma_o \epsilon_o} \left[\frac{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)^{(s-1)}}{1 - C_k \left(\frac{\gamma_o(K-1)}{3N} \right)} - \frac{1 - \left(\frac{-\gamma_o}{3N} \right)^{(s-1)}}{1 + \left(\frac{\gamma_o}{3N} \right)} \right] + \frac{2\alpha}{\gamma_o \epsilon_o} \left[\frac{-\frac{\gamma_o}{3N} - \left(\frac{\gamma_o}{3N} \right)^{(s-1)}}{1 + \frac{\gamma_o}{3N}} \right] + \frac{C_k}{\gamma_o \epsilon_o} \left(\frac{\gamma_o(K-1)}{3N} \right)^{(s-1)} \right]^{-1/2} \right\}. \quad (6)$$

식 (6)에서 $s \geq 2$ 인 경우부터 간섭제거과정이 부분제거계수 C_k 에 의해 수행되어 Q함수내의 MAI 성분은 단(stage) 수가 증가할수록 감소하지만 다단 간섭제거기의 경우와 같이 칩 동기 에러 ϵ 의 영향을 받는다.

3-3 위상 에러를 고려할 경우

실제 시스템에서는 칩 동기 에러와 같이 위상 에러도 항상 존재한다. 위상 에러를 고려할 경우 첫

칩 동기 에러와 위상 에러가 존재하는 환경에서 다단 간섭제거기에 의한 비동기 DS-CDMA 시스템의 성능 개선

번째 단($s=1$)에서의 상관기 출력은 다음과 같이 구해진다.

$$Z_{k,i}^{(1)} = \int_{iT+\tau_k}^{(i+1)T+\tau_k} r(t) a_k(t-\tau_k) \cdot \cos(\omega_c t + \phi_k + \psi) dt. \quad (7)$$

여기서, ψ 는 위상 에러이다. 또한, s 단에서의 상관기 출력의 분산은 다음과 같다^[8].

$$\text{var}(Z_k^{(s)}) = \frac{N_o T}{4} + \sum_{j=1}^{K-1} \left[\frac{NT_c^2 P_j}{6} (1 - \cos^2(\psi)) + \frac{1}{3N} \text{var}(Z_j^{(s-1)}) \right]. \quad (8)$$

식 (8)에서 두 번째 항은 현재 단에서 위상 에러로 인한 MAI을 나타내고 세 번째 항은 이전 단에서의 상관기 출력의 분산이 현재 단에 미치는 MAI를 나타낸다. 또한, 위상 에러를 고려하지 않은 경우 $\cos \psi=1$ 이 되어 두 번째 항은 0이 된다. 식 (7)과 식 (8)을 근거로 위상 에러를 고려하고 다단 간섭제거기를 채용하는 경우의 오율은 다음과 같이 구해진다.

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \cos^2(\psi)} \left[\frac{1 - \left(\frac{K-1}{3N}\right)^s}{1 - \left(\frac{K-1}{3N}\right)} \right] + \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{1 - \left(\frac{K-1}{3N}\right)^s}{1 - \left(\frac{K-1}{3N}\right)} - \frac{1 - \left(\frac{-1}{3N}\right)^s}{1 + \left(\frac{1}{3N}\right)} \right] - \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{-\frac{1}{3N} - \left(\frac{1}{3N}\right)^s}{1 + \frac{1}{3N}} \right] + \left(\frac{K-1}{3N}\right)^s \right]^{-1/2} \right\}. \quad (9)$$

식 (9)에서 Q함수내의 MAI성분은 위상 에러 ψ 에 영향을 받는다. 또한, 부분 다단 간섭제거기를 채용하는 경우의 오율은 $s \geq 2$ 인 경우 다음과 같이 구해진다.

$$P_k^{(s)} = Q \left\{ \left[\frac{1}{2E_b/N_o \cos^2(\psi)} \left[\frac{1 - C_k \left(\frac{K-1}{3N}\right)^{(s-1)}}{1 - C_k \left(\frac{K-1}{3N}\right)} \right] + \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{1 - C_k \left(\frac{K-1}{3N}\right)^{(s-1)}}{1 - C_k \left(\frac{K-1}{3N}\right)} - \frac{1 - \left(\frac{-1}{3N}\right)^{(s-1)}}{1 + \left(\frac{1}{3N}\right)} \right] - \frac{1 - \cos^2(\psi)}{\cos^2(\psi)} \left[\frac{-\frac{1}{3N} - \left(\frac{1}{3N}\right)^{(s-1)}}{1 + \frac{1}{3N}} \right] + C_k \left(\frac{K-1}{3N}\right)^{(s-1)} \right]^{-1/2} \right\}. \quad (10)$$

식 (10)에서 $s \geq 2$ 인 경우부터 간섭제거과정이 부분제거계수 C_k 에 의해 수행되고 MAI성분은 위상

에러 ψ 에 영향을 받는다.

IV. 수치계산 및 시뮬레이션 결과 분석

본 논문에서는 불완전 동기로 인한 칩 동기 에러와 위상 에러가 존재하는 환경에서 비동기 DS-CDMA 시스템의 성능을 분석하였다. 성능 개선 기법으로는 3단 간섭제거기(3-stage PIC)와 부분 3단 간섭제거기(Partial 3-stage PIC)를 채용하고 칩 동기 에러와 위상 에러가 두 가지 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 정량적으로 분석하였다. 또한, 두 간섭제거기에 따른 성능 개선 정도를 이론적으로 분석하고 이를 검증하기 위해 컴퓨터 시뮬레이션을 수행하였다. 컴퓨터 시뮬레이션에서 사용된 파라미터는 다음과 같다.

그림 1은 완전동기인 경우, 3단 간섭제거기와 부분 3단 간섭제거기를 채용하는 경우의 성능 개선을 나타내고 그림 2와 그림 3은 각각 칩 동기 에러와 위상 에러를 고려한 경우 3단 간섭제거기와 부분 3단 간섭제거기를 채용하는 경우의 성능 개선을 나타낸다. 그림 1~그림 3의 결과를 정량적으로 비교하기 위하여 $\text{BER}=10^{-3}$ 을 달성하는데 요구되는 E_b/N_o 를 나타내면 다음과 같다.

표 2에서 완전동기인 경우 1단을 기준으로 3단에서의 성능 개선은 3단 간섭제거기에서 약 5.3 dB이고 부분 3단 간섭제거기에서 약 5.4 dB로서 3단 간섭제거기와 부분 3단 간섭제거기는 거의 동일한 성능 개선을 나타낸다. 칩 동기 에러를 고려한 경우의

표 1. 컴퓨터 시뮬레이션 파라미터

Table 1. Computer simulation parameters.

Modulation scheme	BPSK
Length of PN code (N)	127
Number of users (K)	5~60
Range of E_b/N_o (dB)	0~10
Number of multistage	3
Partial cancellation factor	0.5 (at 2-stage), 1 (at 3-stage)
Number of bits simulated	Until the number of error is 100

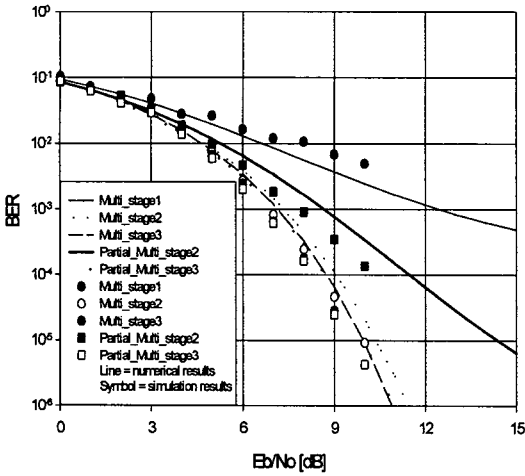


그림 3. 완전동기인 경우 3단 간섭제거기와 부분 3단 간섭제거기의 E_b/N_o 에 따른 BER 성능의 비교 (사용자 수=30, $PN=127$, $C_k=0.5,1$)

Fig. 3. BER performance comparison a 3-stage interference canceller with a partial 3-stage interference canceller according to E_b/N_o with perfect synchronization (the number of users=30, $PN=127$, $C_k=0.5,1$).

표 2. 완전동기와 불완전 동기(칩 동기 에러와 위상 에러)를 고려한 경우의 $BER=10^{-3}$ 을 달성하는데 요구되는 E_b/N_o

Table 2. Required E_b/N_o to obtain $BER=10^{-3}$ with perfect and imperfect synchronization (timing and phase errors).

종류	3-stage PIC	Partial 3-stage PIC
$s=1$ (no cancellation)	12.5 dB	12.5 dB
$s=1$ ($e=0.2T_c$)	15 dB 이상	15 dB 이상
$s=1$ (phase= 20°)	13 dB	13 dB
$s=2$	7.4 dB	8.7 dB
$s=2$ ($e=0.2T_c$)	9 dB	10.3 dB
$s=2$ (phase= 20°)	8.3 dB	9.3 dB
$s=3$	7.2 dB	7.1 dB
$s=2$ ($e=0.2T_c$)	8.7 dB	8.3 dB
$s=3$ (phase= 20°)	8.1 dB	7.7 dB

성능 개선은 1단을 기준으로 3단 간섭제거기에서 약 6.3 dB 이상이고 부분 3단 간섭제거기는 약 6.7 dB 이상으로 칩 동기 에러에도 불구하고 큰 폭의 성능 개선을 달성하였다. 위상 에러를 고려한 경우의 성능 개선도 1단을 기준으로 3단 간섭제거기에서 약 4.9 dB이고 부분 3단 간섭제거기에서 5.3 dB로서 위상 에러를 고려하지 않은 경우의 성능 개선과 거의 동일하다.

그림 4~그림 6은 각각 완전 동기인 경우와 불완전 동기인 경우(칩 동기 에러와 위상 에러) 사용자 수에 따른 E_b/N_o 를 나타낸 것으로서 이에 대한 정량적인 용량 개선 결과를 정리하면 표 3과 같다.

표 3에서 완전동기인 경우 3단 간섭 제거기는 1단을 기준으로 3단에서는 50명 이상 용량이 개선된다. 부분 3단 간섭제거기의 경우에 2단은 3단에 비해 1/4 정도의 용량 개선을 보이지만 3단에서는 3단 간섭제거기의 용량 개선과 거의 동일하다. 칩 동기 에러를 고려한 경우의 용량 개선은 1단을 기준으로 3단 간섭제거기에서 5명 이상으로서 약 100% 이상

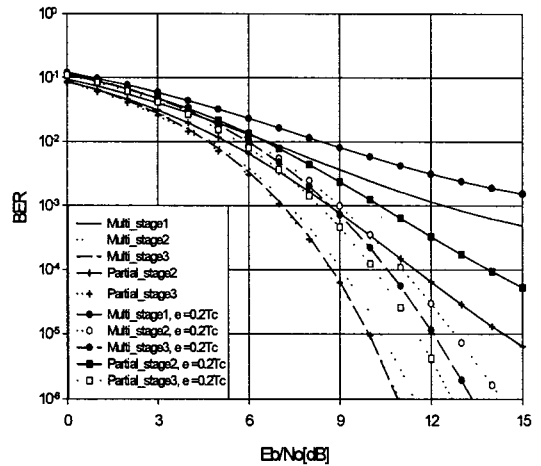


그림 4. 칩 동기 에러를 고려한 경우 3단 간섭제거기와 부분 3단 간섭제거기의 E_b/N_o 에 따른 BER 성능의 비교 (사용자 수=30, $PN=127$, $C_k=0.5,1$)

Fig. 4. BER performance comparison a 3-stage interference canceller with a partial 3-stage interference canceller according to E_b/N_o with timing errors (the number of users=30, $PN=127$, $C_k=0.5,1$).

칩 동기 에러와 위상 에러가 존재하는 환경에서 다단 간섭제거기에 의한 비동기 DS-CDMA 시스템의 성능 개선

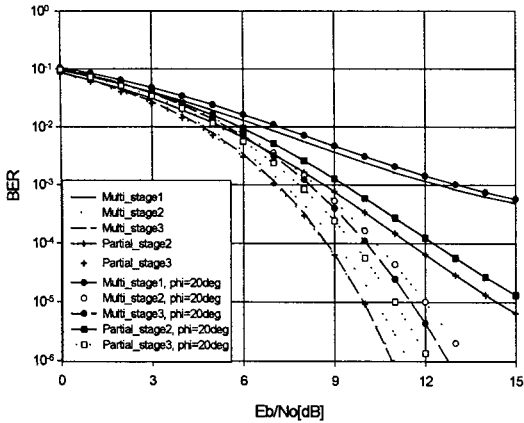


그림 5. 위상 에러를 고려한 경우 3단 간섭 제거기와 부분 3단 간섭제거기의 E_b/N_o 에 따른 BER 성능의 비교 (사용자 수=30, $PN=127$, $C_k=0.5,1$)

Fig. 5. BER performance comparison a 3-stage interference canceller with a partial 3-stage interference canceller according to E_b/N_o with phase errors (the number of users=30, $PN=127$, $C_k=0.5,1$).

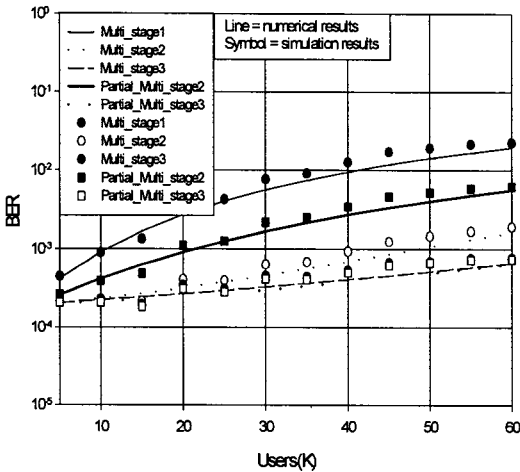


그림 6. 완전동기인 경우 3단 간섭제거기와 부분 3단 간섭제거기의 사용자 수에 따른 BER 성능의 비교 ($E_b/N_o=8$ dB, $PN=127$, $C_k=0.5,1$)

Fig. 6. BER performance comparison a 3-stage interference canceller with a partial 3-stage interference canceller according to the number of users with perfect synchronization ($E_b/N_o=8$ dB, $PN=127$, $C_k=0.5,1$).

표 3. 완전동기와 불완전 동기(칩 동기 에러와 위상 에러)를 고려한 경우 $BER=10^{-3}$ 을 달성할 때의 사용자 수

Table 3. The number of users when $BER=10^{-3}$ is obtained with perfect and imperfect synchronization (timing and phase errors).

종류	3-stage PIC	Partial 3-stage PIC
s (stage수)		
$s=1$ (no cancellation)	10명	10명
$s=1$ ($\epsilon=0.2T_c$)	5명 이하	5명 이하
$s=1$ (phase= 20°)	7명	7명
$s=2$	49명	22명
$s=2$ ($\epsilon=0.2T_c$)	10명	5명
$s=2$ (phase= 20°)	22명	12명
$s=3$	60명 이상	60명 이상
$s=3$ ($\epsilon=0.2T_c$)	10명	14명
$s=3$ (phase= 20°)	24명	36명

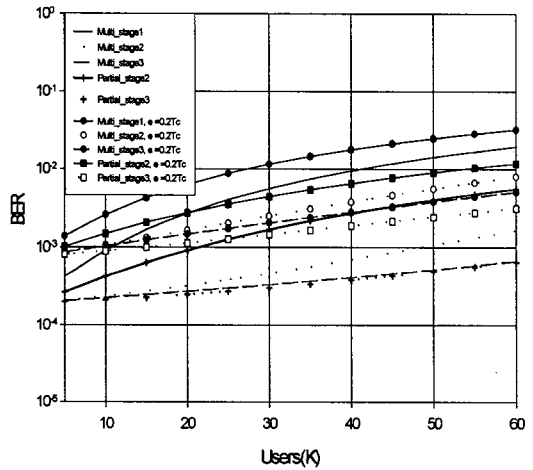


그림 7. 칩 동기 에러를 고려한 경우 3단 간섭 제거기와 부분 3단 간섭제거기의 사용자 수에 따른 BER 성능의 비교 ($E_b/N_o=8$ dB, $PN=127$, $C_k=0.5,1$)

Fig. 7. BER performance comparison a 3-stage interference canceller with a partial 3-stage interference canceller according to the number of users with timing errors ($E_b/N_o=8$ dB, $PN=127$, $C_k=0.5,1$).

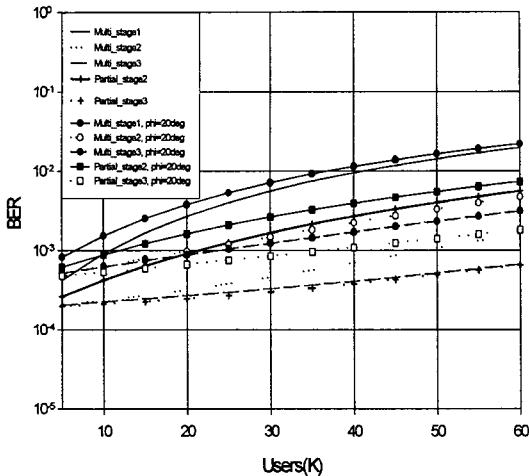


그림 8. 위상 에러를 고려한 경우 3단 간섭 제거기와 부분 3단 간섭제거기의 사용자 수에 따른 BER 성능의 비교 ($E_b/N_o=8$ dB, $PN=127$, $C_k=0.5,1$)

Fig. 8. BER performance comparison a 3-stage interference canceller with a partial 3-stage interference canceller according to the number of users with phase errors ($E_b/N_o=8$ dB, $PN=127$, $C_k=0.5,1$)

이고 부분 3단 간섭제거기는 9명 이상으로 약 200%의 용량 개선을 나타낸다. 위상 에러를 고려한 경우의 용량 개선은 1단을 기준으로 3단 간섭제거기는 17명(약 243%)이고, 부분 3단 간섭제거기는 29명(약 414%)으로서 위상 에러를 고려하지 않은 경우의 용량 개선에 근접한다. 표 2에서 표 3의 정량적 분석결과로부터 칩 동기 에러와 위상 에러를 고려한 경우 1단(no cancellation)을 기준으로 시스템의 성능 열화를 보이지만 단(stage) 수가 증가할수록 두 간섭제거기 모두 큰 폭의 성능 개선을 달성함을 알 수 있다.

V. 결 론

본 논문에서는 불완전 동기(imperfect synchronization)로 인한 칩 동기 에러(timing errors)와 위상 에러(phase errors)를 고려하여 비동기(asynchronous) DS-CDMA 시스템의 성능을 이론적으로 분석하였

다. 성능 개선 기법으로는 다단 간섭제거기(multistage PIC)와 부분 다단 간섭제거기(partial multistage PIC)를 채용하였고 칩 동기 에러와 위상 에러가 두 가지 간섭제거기의 간섭제거능력에 미치는 영향의 정도를 이론적으로 분석하고 이를 검증하기 위해 컴퓨터 시뮬레이션을 수행하였다.

다단 간섭제거기는 다중접속간섭(MAI: Multiple Access Interference)을 다단으로 제거하면서 시스템의 성능을 큰 폭으로 개선하지만 계산량이 많고 구조가 복잡하다. 이에 반해 부분 다단 간섭제거기는 부분제거계수(partial cancellation factor)를 이용하여 다단 간섭제거기와 거의 동일한 성능을 달성하면서도 계산량을 현저히 줄일 수 있는 구조를 갖는다.

성능분석 결과로부터 칩 동기 에러와 위상 에러를 고려하지 않은 경우에는 다단 간섭제거기와 부분 다단 간섭제거기 모두 큰 폭의 성능 개선을 달성하였고 단(stage) 수가 증가할수록 다단 간섭제거기와 부분 다단 간섭제거기의 성능 개선은 비슷하게 나타났다. 또한, 불완전 동기로 인한 칩 동기 에러와 위상 에러를 고려할 경우에는 칩 동기 에러와 위상 에러가 희망 사용자의 상관기 출력에 영향을 주어 신호 전력을 감소시키고 실제 제거될 간섭 신호와 추정된 간섭 신호의 차이로 인해 간섭제거과정을 불완전하게 한다.

따라서, 칩 동기 에러와 위상 에러로 인한 1단(no cancellation)에서의 성능 열화가 각 단의 상관기 출력(decision statistic)에 영향을 줌으로써 다단 간섭제거기와 부분 다단 간섭제거기의 성능 개선폭을 감소시켰다. 그렇지만, 불완전 동기에도 불구하고 단(stage) 수가 증가할수록 두 간섭제거기 모두 강한 간섭제거능력을 보였다.

실제 시스템에서는 완벽한 칩 동기와 위상 동기 획득이 불가능하기 때문에 불완전 동기환경에서도 큰 폭의 성능 개선을 달성하고 구현상의 복잡도가 적은 간섭제거기가 필요하게 된다. 따라서, 기존의 다단 간섭제거기와 거의 동일한 성능 개선을 달성하면서 구조가 간단한 부분 다단 간섭제거기의 활용도가 높아질 것이 예상된다.

참 고 문 헌

[1] W. C. Y. Lee, Fellow, IEEE, "Overview of cellular CDMA," *IEEE Trans. Veh. Technol.*, vol. 40, no. 2, pp.291-302, May, 1991.

[2] K. S. Gilhousen, I. M. Jacobs, R. Padovani, A. J. Viterbi, L. A. Weaver, Jr., and C. E. Wheatley III, "On the capacity of a cellular CDMA system," *IEEE Trans. Veh. Technol.*, vol. 40, no. 2, pp.303-312, May, 1991.

[3] S. Moshavi, "Multi-user detection for DS-CDMA communications," *IEEE Communications Mag.* pp. 124-136, Oct., 1996.

[4] F.-C. Cheng and J. M. Holtzman, "Effect of tracking error on DS/CDMA successive interference cancellation," in *Proc. GLOBECOM '94 Commun. Theory Mini-Conf.*, San Francisco, CA, Dec., 1994, pp. 166-170.

[5] A. Kaul and B. D. Woerner, "Analytic limits on the performance of adaptive multistage interference cancellation for CDMA," *IEE Electron. Lett.*, Dec., 8, 1994.

[6] A. Kaul and B. D. Woerner, "An analysis of adaptive multistage interference cancellation for CDMA," *IEEE 45th Veh. Technol. Con.*, vol. 1, pp. 82-86, July, 1995.

[7] N. S. Correal, R. M. Buehrer, and B. D. Woerner, "A DSP-based DS-CDMA multiuser receiver employing partial parallel interference cancellation," *IEEE Journal. Select. Areas Commun.*, vol. 17, no. 4, pp. 613-630, April, 1999.

[8] R. M. Buehrer, A. Kaul, S. Striglis, and B. D. Woerner, "Analysis of DS-CDMA parallel interference cancellation with phase and timing errors," *IEEE J. Select. Areas Commun.*, vol. 14, pp. 1522-1535, Oct., 1996.

김 봉 철



1995년 2월: 한국항공대학교 항공통신정보공학과(공학사)
 1997년 8월: 한국항공대학교 대학원 항공통신정보공학과(공학석사)
 1998년 8월~현재: (주) 세영통신 근무, 한국항공대학교 대학원 항공통신정보공학과 박사과정

[주 관심분야] 무선통신, 이동통신, Software Radio

오 창 현



1988년 2월: 한국항공대학교 항공통신정보공학과(공학사)
 1990년 2월: 한국항공대학교 대학원 항공통신정보공학과(공학석사)
 1996년 2월: 한국항공대학교 대학원 항공전자공학과(공학박사)
 1993년~1999년 2월: 삼성전자 CD-

MA 개발팀
 1999년 3월~현재: 한국기술교육대학교 정보통신공학과 전임강사
 [주 관심분야] IMT-2000, 이동통신, 무선통신

강 근 정



1995년 2월: 한국항공대학교 항공통신정보공학과(공학사)
 1999년 3월~현재: 한국항공대학교 대학원 항공통신정보공학과 석사과정

[주 관심분야] IMT-2000, 이동통신, Software Radio

조 성 준



1969년 2월: 한국항공대학교 항공
통신공학과(공학사)

1975년 2월: 한양대학교 대학원(공
학석사)

1981년 3월: 일본 오사카 대학 대
학원 통신공학과(공학박사)

1969년 4월~1972년 7월: 해군기

술장교

1972년 8월~현재: 한국항공대학교 대학원 항공통신정보
공학과 교수

[주 관심분야] 무선통신, 이동통신, 위성통신, 환경전자공
학