

## 물체의 윤곽검출을 위한 8×8 방사형 CMOS 시각칩의 설계 및 제조

김현수, 박대식, 류병우, 이수경, 이민호, 신장규

### Design and Fabrication of 8×8 Foveated CMOS Retina Chip for Edge Detection

Hyun-Soo Kim, Dae-Sik Park, Byung-Woo Ryu, Soo-Kyung Lee,  
Minho Lee, and Jang-Kyoo Shin

#### 요 약

CMOS 공정기술을 이용하여 물체의 윤곽검출을 위한 픽셀수 8×8의 방사형 구조 시각칩을 설계 및 제조하였다. 일반적으로 시각칩은 광입력의 센싱, 물체의 윤곽검출과 움직임 검출 등을 수행하며 본 연구에서는 물체의 윤곽검출에 중점을 두었다. 방사형 구조의 픽셀 분포는 시각칩이 중심부분으로 갈수록 높은 해상도를 가지게 하며, 이러한 구조는 선택적인 영상데이터의 감소를 가능하게 한다. 또한 윤곽검출을 위한 시각칩에서는 처음으로 적용된 구조이다. 방사형 구조를 형성하는 원주들 사이의 픽셀의 크기차이 때문에 출력전류를 보정해 줄 수 있는 메커니즘이 필요하게 되며, 본 연구에서는 이를위해 MOS 트랜지스터의 채널의 폭을 스케일링하는 방법을 사용하였다. 설계된 칩은 1.5 $\mu\text{m}$  single-poly double-metal 표준 CMOS 공정기술을 이용하여 제조되었다.

#### Abstract

A 8×8 foveated (log-polar) retina chip for edge detection has been designed and fabricated using CMOS technology. Retina chip performs photo-input sensing, edge extraction and motion detection and we focused edge extraction. The pixel distribution follows the log-polar transform having more resolution in the center than in the periphery and can reduce image information selectively. This kind of structure has been already employed in simple image sensors for normal cameras, but never in edge detection retina chip. A scaling mechanism is needed due to the different pixel size from circumference to circumference. A mechanism for current scaling in this research is channel width scaling of MOS transistor. The designed chip has been fabricated using standard 1.5 $\mu\text{m}$  single-poly double-metal CMOS technology.

## 1. 서 론

인간의 망막은 생체의 영상처리를 위한 신경계의 기본요소이며, 방대한 양의 시각정보를 실

시간으로 처리하고 있다. 현재의 디지털 컴퓨터는 순차직렬형의 정보처리방식으로 데이터를 처리하기 때문에 방대한 영상정보를 실시간으로 처리하는 것은 매우 어려울 뿐만 아니라 비용도 많이 들게된다.<sup>(1)</sup> 뇌의 정보처리 네트워크를 구성하는 신경세포는 컴퓨터의 기본소자인 트랜지스터의 동작속도에 비해 상대적으로 느리기는 하지

경북대학교 전자전기공학부 (School of Electronic & Electrical Eng., Kyungpook National Univ.)

<접수일자 : 2000년 12월 2일>

만, 정보를 병렬로 처리하기 때문에 인간의 망막은 시각정보를 실시간으로 처리하는 것이 가능하다. 이런 망막의 우수한 기능을 하드웨어 상에 직접적으로 구현하게 되면 영상처리비용의 감소와 속도의 향상을 가져올 수 있으며, 고성능의 실시간 영상처리도 가능하게 될 것이다. 망막은 영상신호의 입력, 윤곽검출, 움직임 검출의 기능을 수행하며 이 신호를 뇌로 전달하는 역할을 담당하는데 이러한 망막의 우수한 기능들 중에서 영상처리에서 이용하기 위해서는 우선 윤곽검출의 기능이 광 감지 시스템에 결합되어 하드웨어적으로 구현되어야 한다.<sup>2,3)</sup>

로봇과 같은 자율시스템에서 작업의 신뢰성을 높이기 위해서는 시스템이 처한 주위 상황이나 환경에 대한 정확하고 빠른 이해가 필요하다.<sup>4)</sup> 이런 시스템에서의 영상데이터의 질은 일반적인 의미의 그것과는 다르며, 이는 특정한 작업을 수행하기 위한 시스템의 가능성을 의미한다. 지금까지의 많은 연구들에서는 영상시스템에서의 주된 관심을 영상데이터의 처리에 두었지만, 이는 여러 단계의 부가적인 프로세싱을 필요로 하기 때문에 실시간 처리를 필요로 하는 시스템에서는 영상시스템으로 적용하는데 많은 어려움을 가졌다. 이에 비해 처리해야할 데이터의 양이나 유용한 정보를 얻기 위한 알고리즘의 복잡성을 줄일 수 있는 방법이 연구된다면 실시간 처리 시스템에 적합할 것이다. 본 연구에서는 영상시스템에서의 정보의 양의 줄이기 위한 방법으로, 영상데이터를 얻기 위한 센서 내에서 직접적으로 영상의 변환을 만들어내 관심이 있는 부분만을 취하여 유용한 영상정보를 얻을 수 있는 방법을 적용하였다. 여러 가지 유용한 변환들 중에서 방사형 구조(foveated structure) log-polar 변환을 이용하면, 영상의 중심부에서 높은 밀도로 정보의 추출이 가능하고 외부로 갈수록 밀도가 낮아지기는 하지만 영상처리에 적합한 정보의 추출이 가능하다. 이러한 log-polar 변환을 이용하면, 처리해야할 영상데이터의 양적 감소, 쉬운 각도 변환과 스케일링 등의 장점을 가지게 된다.<sup>6,7)</sup>

## II. 이론

### 2.1 윤곽검출의 원리

인체의 망막은 시세포, 수평세포, 쌍극세포, 아마크린세포, 신경절세포 및 망상층간 세포의 6종으로 구성되어 있으며, 이 중에서 물체의 윤곽검출에 관계되는 세포는 시세포, 수평세포 그리고 쌍극세포로 알려져 있다.

망막에 있어서의 윤곽 검출 기구를 그림 1에 표현한다. 빛을 받은 시세포는 광감도에 대응하는 전압을 출력한다.(original signal) 수평세포는 시세포의 출력을 공간적으로 평활화한다.(smoothed signal) 쌍극세포는 시세포와 수평세포의 출력의 차를 얻는다. 이 것에 의해 윤곽 부근만 큰 출력이 얻어져 윤곽이 검출된다.

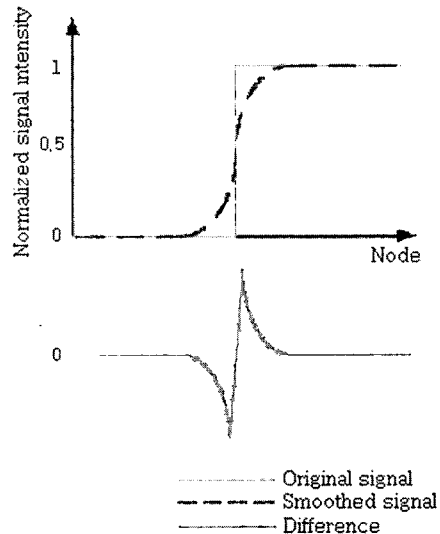


그림 1. 윤곽검출의 원리  
Fig. 1. Principle of edge extraction

### 2.2 방사형 구조와 log-polar 표현

광신호를 받아들이는 포토트랜지스터의 분포가 중앙부분에서 높아 해상도가 높고, 외각으로 갈수록 중심에 비해 해상도가 떨어지는 (즉, 센싱하는 셀의 수가 중앙으로 갈수록 높아지는) 구조를 방사형 구조라고 한다. 시각센서의 설계에서 이러한 구조의 적용은 중심부에서는 복잡한 이미지의 처리에 적당한 높은 해상도를 가지고, 외각으로 갈수록 해상도를 떨어뜨려 전체적으로 처리해야할 영상데이터의 양을 감소시킨다. 비록 외각으로 갈수록 해상도가 떨어져 거친 영상이 얻어지기는 하지만 유용한 영상처리에도 충분한 해상도의 광시야(wide view filed)를 유지한다.

수행해야 하는 작업의 종류에 따라 같은 영상에 대한 처리에 있어서도 상대적으로 유용한 정보를 결정할 수 있으며, 유용하지 않은 정보로 인한 시스템의 과부하를 피할 수 있다면 시스템의 효율을 높일 수 있다.

그림 2는 log-polar 변환을 나타내었다. 그림에서 알 수 있듯이, log-polar 변환을 수행하기 위해서는 시각칩을 구성하는 픽셀이 중심에서부터 지수적인 형태로 반지름이 증가하는 링 상에 분포해야 한다. Log-polar 표현에 있어서 가장 중요한 특성은 정보의 선택적인 감소이다. 이러한 여분의 정보의 감소는 짧은 시간 내에 복잡한 계산을 수행하는 것을 가능하게 하여, 실시간으로 비전시스템을 수행할 수 있으며, 따라서 데이터의 처리시간이 상대적으로 중요한 타겟트래킹, 항법장치, 로봇제어 등에서 적합한 시스템을 구성할 수 있다.

영상 데이터의 감소의 예를 그림 3에 나타내었다. 방사형 구조의 이미지를 살펴보면, 비록 외각으로 갈수록 상대적으로 해상도가 감소하여 정방형에 비해 거친 데이터가 얻어지기는 하지만 물체의 식별에는 충분한 해상도를 유지하고 있음을 알 수 있다. 그러면서도, 중심부(관심있는 부분)에서는 정방형과 거의 비슷한 수준의 해상도를 유지하고 있다. 전체적으로 픽셀의 수는 1/4로 줄어 데이터의 양 또한 그만큼 줄었으며 그러면서도 필요한 데이터를 얻기에 충분한 해상도는 유지하고 있다. 이는 곧 선택적인 영상데이터의 감소를 의미한다.

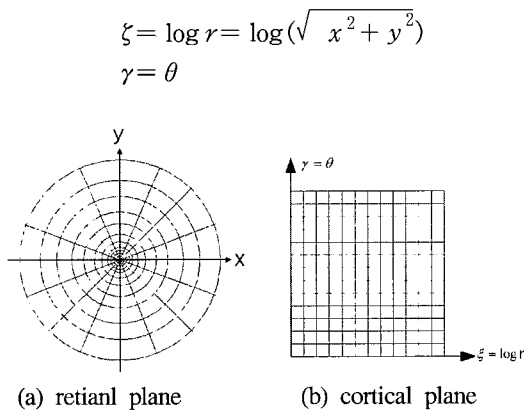
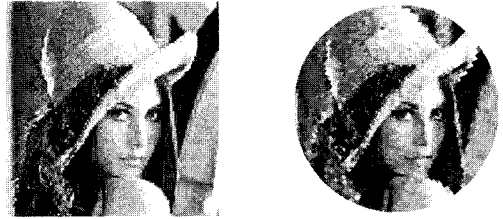


그림 2. Log-polar 표현  
Fig. 2. Log-polar representation



(a) 256×256 정방구조 (b) 128×128 방사형구조

그림 3. 선택적 영상 데이터의 감소  
Fig. 3. Selective reduction of image data

### III. 시각칩의 설계

간단한 구조를 사용하여 윤곽검출의 기능을 수행하도록 하였으며 방사형 픽셀배치를 통하여 데이터 감소의 장점을 얻을 수 있도록 하였다. 시세포의 기능은 표준 CMOS공정에서 기생적으로 발생할 수 있는 포토트랜지스터를 이용하여 구현하였으며 이로 인하여 큰 광전류를 얻을 수 있도록 하였다. 그 측단면도를 그림 4에 나타내었다.

평활기능을 수행하는 수평세포의 기능은 dis-tributed-MOSFET의 구조를 이용하여 실현하였다. 이 구조는 단위픽셀의 최외각부분에 두 개의 포토트랜지스터 중에서 하나의 포토트랜지스터를 형성하면서 포토트랜지스터의 이미터와 베이스가 되는 N-well과 p-implant(p+)을 MOSFET의 채널부분과 소스나 드레인중 하나로 공유하여 두 개의 단위픽셀이 연결되었을 때 완전한 하나의 MOSFET가 형성되도록 한 구조이다(그림 5). 이 구조를 사용하여 저항회로의 역할을 수행함으로써 배선을 간단히 할 수 있고 또한 레이아웃을 간단히 그리고 작은 면적으로 할 수 있다.<sup>(4,5)</sup>

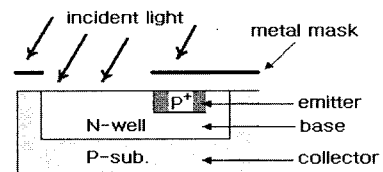


그림 4. 포토트랜지스터의 측단면  
Fig. 4. Cross-section of photo-BJT

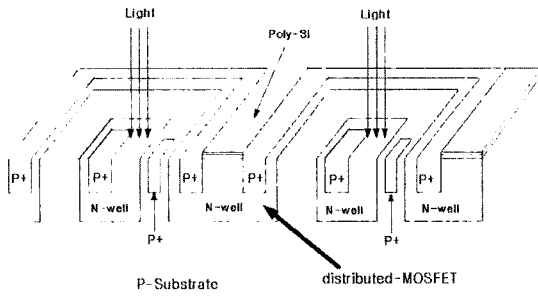


그림 5. Distributed-MOSFET의 구조  
Fig. 5. Structure of distributed-MOSFET

그림 6에 단위 픽셀의 등가모델을 보였다. PT1과 PT2는 포토트랜지스터이고 트랜지스터 M1 과 M2는 전류미러를 구성하고 있다. 트랜지스터 M3는 각 단위픽셀의 출력을 제어하기 위해 스위치로 동작한다.

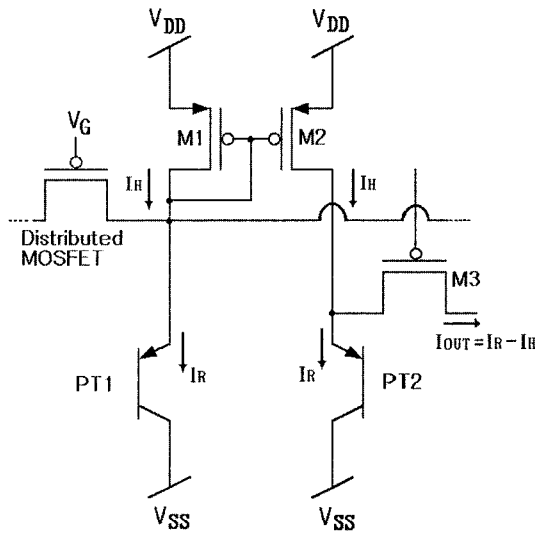


그림 6. 단위 픽셀의 등가회로  
Fig. 6. Equivalent circuit of unit pixel

단위 픽셀에 빛이 입사되면 두 포토트랜지스터는 수광면적이 동일하기 때문에 광강도에 비례하는 같은 광전류  $I_R$ 을 발생한다. 광전류  $I_R$ 은 distributed-MOSFET의 평활작용에 유입되고 평활화된 전류  $I_H$ 가 M1을 통해 흐르게된다.  $I_H$ 는 전류미러에 의해 M2를 통해  $I_H$ 를 흘리게 된다. 출력전류를 제어하는 스위치 트랜지스터 M3가 ON인 경우 쌍극세포의 출력에 대응하는 단위픽셀의 출력전류인  $I_{out} = I_R - I_H$ 가 M3를 통해 출력라인으로 흐르게 된다.

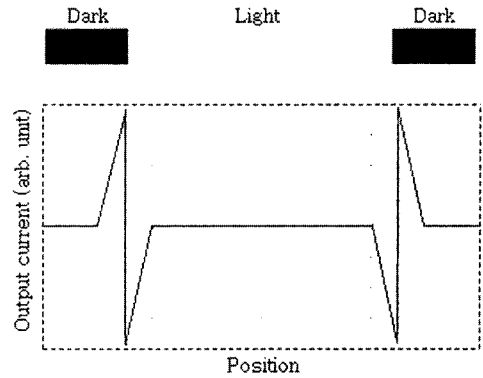


그림 7. 1차원 어레이의 SPICE 시뮬레이션  
Fig. 7. SPICE simulation result of 1-D array

물체의 윤곽이거나 또는 윤곽에 근접한 단위 픽셀들에 출력전류의 크기가 크게 되고 따라서 윤곽의 위치를 검출할 수 있다. 단위 픽셀들로 구성된 1차원 어레이에 대한 SPICE 시뮬레이션 결과를 그림 7에 나타내었다. 시뮬레이션 결과로부터 입력 광신호의 윤곽 부근에 위치한 픽셀들에서만 큰 값의 출력전류가 있음을 알 수 있으며 이로 인하여 윤곽의 위치를 찾아낼 수 있다.

설계된 단위 픽셀의 레이아웃을 그림 8에 보였다. 중심에서부터 링의 반지름이 증가할수록 포토트랜지스터와 전류미러의 크기가 커지므로 픽셀의 크기가 증가하기는 하지만 기본적인 구조는 모든 링의 픽셀들이 같으므로 첫번째(가장 안쪽) 링의 픽셀만 나타내었다.

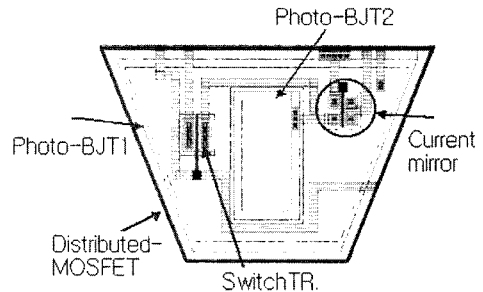


그림 8. 단위픽셀의 레이아웃  
Fig. 8. Layout of unit pixel

방사형 구조를 사용하기 위해서는 포토트랜지스터의 수광면적(오픈된 베이스 영역)이 칩의 외각으로 갈수록 증가하여 중심부의 단위픽셀보다 주변부 단위픽셀의 센싱면적이 커야만 한다. 그

러나 윤곽검출을 위한 단위픽셀의 동작은 주변픽셀과의 수광면적이 동일하여 같은 세기의 빛에 대하여 같은 광전류가 발생한다는 가정에서 시작하여 서로 다른 빛(윤곽신호)이 들어온 인접 픽셀사이에서만 출력전류가 얻어진다. 방사형 구조를 적용하기 위해서는 포토트랜지스터의 크기를 증가시켜야 하고 따라서 같은 입사광에 대해 서로 다른 광전류가 발생한다. (면적이 큰 포토트랜지스터에서 큰 광전류가 발생한다.) 이는 같은 세기의 빛에 대해 출력전류가 거의 없어야 할 픽셀들 사이에 출력전류를 발생시키는 결과를 가져온다. 본 연구에서는 이를 보정해줄 수 있는 방법으로 전류미러를 구성하는 두 트랜지스터의 채널의 폭을 광전류의 증가에 비례하여 증가시켰다. 트랜지스터의 채널 폭을 증가시켜 전류미러의 전류구동 능력을 광전류 증가량에 비례시켜 증가시킨다면, MOS 저항회로에 의해 평활되는 전류를 줄일 수 있고 따라서 트랜지스터의 크기 증가에 대한 출력전류를 보정할 수 있다. 시뮬레이션 결과를 그림 9에 나타내었다. 그림에서 보면 채널폭을 스케일링 해주지 않은 경우 같은 입사광에서도 상대적으로 큰 출력전류가 있음을 알 수 있다.

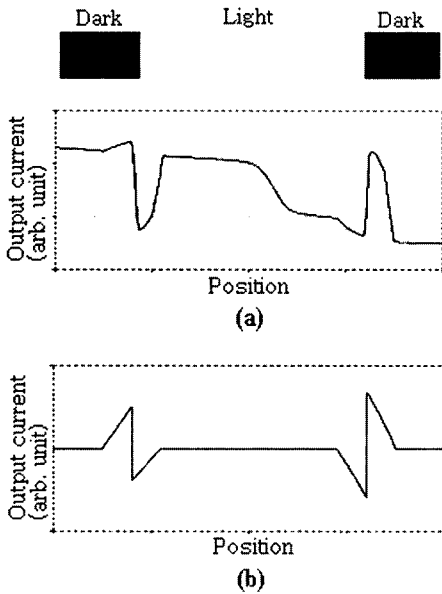


그림 9. 채널 폭 스케일링  
 (a) 채널의 폭을 스케일링하지 않은 경우  
 (b) 채널의 폭을 스케일링 한 경우

Fig. 9. Channel width scaling  
 (a) Without scaling (b) With scaling

표 1에 본 연구에서 설계된 시각칩에서 설계된 포토트랜지스터의 베이스 영역의 면적(수광부분)과 단위 픽셀의 면적을 나타내었다. 면적증가비가 1.5이므로 채널 폭 스케일링의 비 역시 1.5가 된다.

중심을 기준으로 8개의 링으로, 각 링에 8개의 픽셀을 배치했으며 배치도를 그림 10에 나타내었다.  $V_C$ 는 각 픽셀의 출력제어용 트랜지스터인 M3의 게이트에 연결되어있다.  $V_C=V_{DD}$  일 때 M3는 OFF,  $V_C=V_{SS}$  일 때 M3는 ON 되어 출력라인을 통해 출력전류를 얻을 얻을 수 있다 배선을 제외한 시각칩의 면적은  $2.5\text{mm} \times 2.5\text{mm}$ 이다. 설계된 시각칩의 전체 레이아웃을 그림 11(a)에, 그리고 가장 안쪽 링의 레이아웃을 그림 11(b)에 나타내었다.

표 1. 포토트랜지스터와 단위픽셀의 면적  
 Table 1. Area of photo-BJT and pixel

링(ring)	포토트랜지스터 베이스 영역의 면적( $\mu\text{m}^2$ )	단위픽셀의 면적( $\mu\text{m}^2$ )
1	2,010	19,890
2	3,015	33,670
3	4,522	47,635
4	6,783	61,639
5	10,175	75,614
6	15,263	89,550
7	22,895	103,395
8	34,342	117,260

완전한 형태의 log-polar형의 시각칩을 위해서는 중심에서부터 각 링의 반지름이 지수적으로 증가해야 하고 각 링의 단위픽셀의 면적(포토트랜지스터의 면적)도 증가해야 한다. 그러나 본 연구에서는 방사형 시각칩의 구조적 가능성을 확인하는 것을 목적으로 한 것과 공정상의 제약으로 인하여 각 링의 반지름을 지수적이 아닌 선형적으로 증가시켰으며 포토트랜지스터의 면적은 1.5 배씩 증가시켜 외각으로 갈수록 하나의 단위 픽셀이 센싱해야 하는 면적을 증가시켰다.

#### IV. 시각칩의 제조 및 측정결과

설계된 시각칩은 Cadence 툴을 이용하여 레이

아웃하였으며 DIVA를 이용해 DRC(design rule check)를 거쳐 서울대학교 반도체 공동연구센터 (Inter-university Semiconductor Research Center)의  $1.5\mu\text{m}$  SPDM 표준 CMOS 공정을 통해 실제 칩을 제조하였다. 제조된 칩의 사진을 그림 12에 나타내었다.

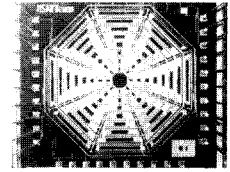
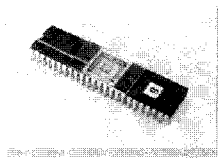


그림 12. 제조된 칩의 사진  
Fig. 12. Photographs of fabricated chip

첫번째 링의 포토트랜지스터에 대한 빛의 세기에 따른 광전류의 크기를 측정하였으며 그 결과를 그림 13에 나타내었다. 빛을 차단한 상태에서 베이스단자에 직접 전류를 흘려주어 측정된 전류와 비교했을 때  $9\text{W/m}^2$  세기의 입사광이 약  $30\text{nA}$ 의 베이스전류를 발생시킴을 알 수 있었다.

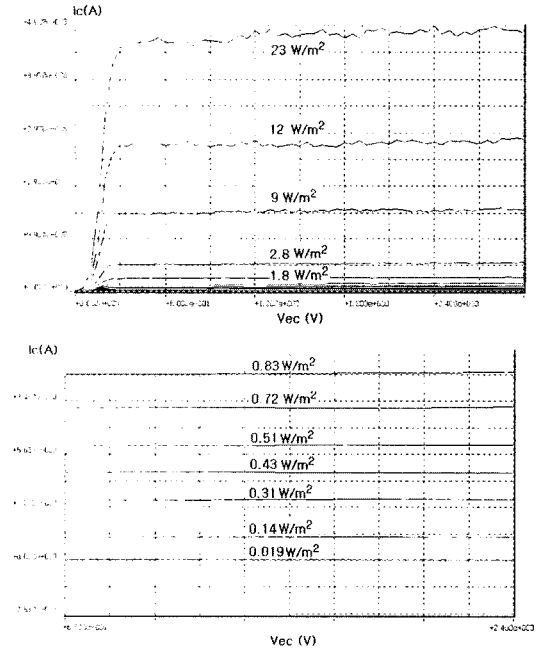


그림 13. 첫번째 링의 포토트랜지스터의 광전류  
Fig. 13. Output currents of photo-BJT for light input

제조된 시각칩으로 윤곽검출을 수행하기 위한 실험을 하였으며 측정장치의 블록다이어그램을 그림 14에 나타내었다. 픽셀의 수가 많지 않아 복잡한 영상입력에 대한 동작보다는 설계한 단위 픽셀의 정상적인 동작과, 전류미러의 채널폭 스케일링에 대한 효과 확인 그리고 방사형 구조의 시각칩의 가능성을 확인하는 것을 주된 목표로 하였다.

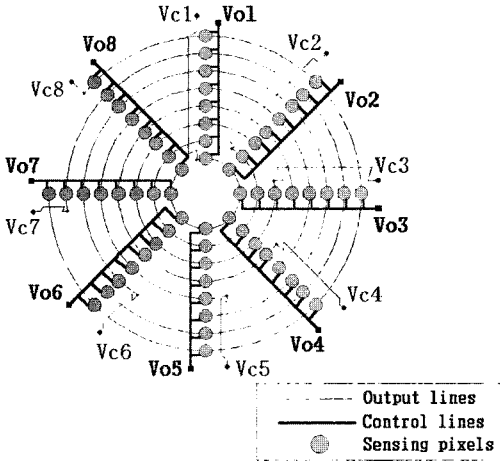
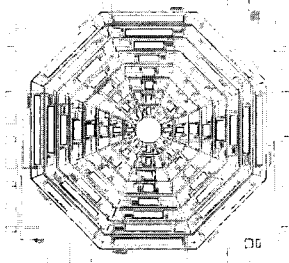
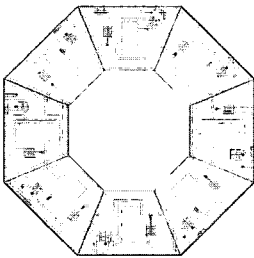


그림 10. 시각칩의 구조  
Fig. 10. Structure of retina chip



(a)



(b)

그림 11. 시각칩의 레이아웃 (a) 전체 레이아웃 (b) 첫 번째 링의 레이아웃

Fig. 11. Layout of retina chip (a) Layout of entire chip (b) Layout of first ring

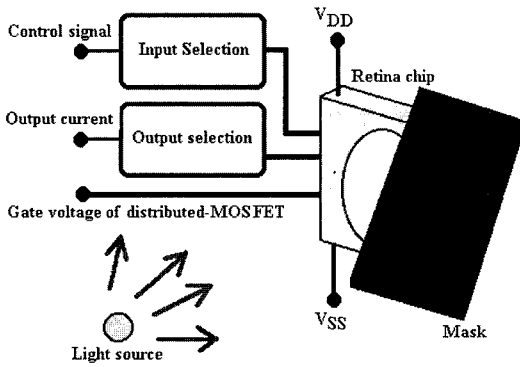


그림 14. 측정장치의 블록다이아그램  
Fig. 14. Block diagram of measurement system

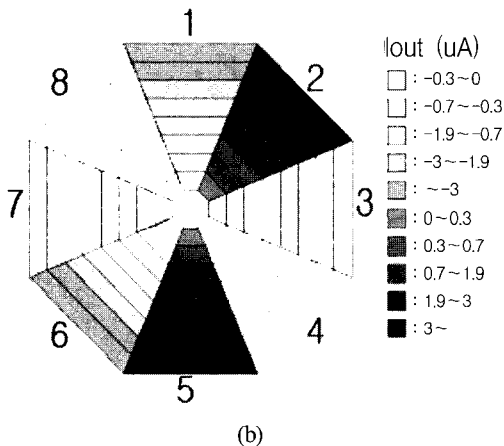
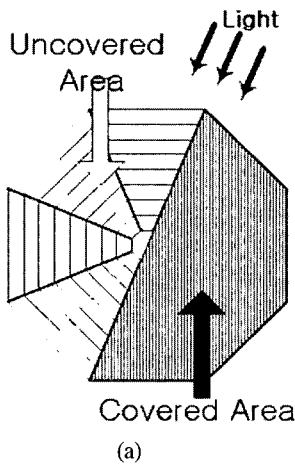


그림 15. 입력광에 대한 시각칩의 출력  
(a) 입력광의 패턴 (b) 출력전류  
Fig. 15. Output of retina chip for input signal.  
(a) Input light signal  
(b) Output currents of retina chip for input signal.

실험은 시각칩의 절반을 가리고 나머지 절반에만 빛을 주어 각 픽셀의 출력전류의 변화를 측정하였다.  $V_C$  와  $V_O$ 를 순차적으로 하나씩 선택 하면서 출력전류를 측정하였고, 입사되는 빛은 포토트랜지스터의 크기가 상대적으로 크다는 것을 고려하여 일반적인 백열등을 사용하였다. 측정된 입력광의 파워는  $8W/m^2$  이었다.

### V. 결과에 대한 고찰

그림 15의 결과에서 윤곽부근의 픽셀들에서는 분명히 양과 음의 출력전류의 스윙(swing)을 확인할 수 있었으며 이로 인하여 입력신호에서 윤곽을 찾을 수 있었다. 픽셀의 수가 작아 복잡한 패턴에 대한 실험은 할 수 없었지만 픽셀수가 많아진다면 영상신호 처리에 있어 방사형 구조의 장점을 확인할 수 있을 것이다. 실험을 통하여 확인한 설계한 칩의 문제점은 윤곽이 아닌 부분의 픽셀들이 어느 수준 이상의 출력전류를 나타낸다는 사실이다. 생각되는 원인으로는 우선 단위셀 내에서 두 포토트랜지스터의 광전류의 차이로 생각할 수 있다. 비록 두 포토트랜지스터의 베이스 영역의 넓이를 평면적인 수치상으로 같게 만들었지만 두 포토트랜지스터의 구조적인 형상은 서로 다르다. 이러한 구조적인 차이점이 단위픽셀 내부의 두 포토트랜지스터의 광전류의 차이를 가져오고 따라서 어떤 빛이 단위픽셀에 입사하였을 때 두 포토트랜지스터의 광전류의 차이만큼 항상 출력트랜지스터를 통해 나타나는 것으로 생각된다. 본 연구에서는 픽셀의 수를 64개로 제한하여 단위픽셀의 크기가 일반적인 이미지 센서의 단위픽셀보다는 크다. 따라서 포토트랜지스터도 큰 면적을 가지며, 그 결과 이러한 현상이 더 크게 나타난 것으로 생각된다. 3차원 소자 시뮬레이션을 통해 포토트랜지스터를 시뮬레이션 하는 작업이 우선되어야 할 것 같다.

Distributed-MOSFET 구조를 쓰기 위해서는 두 포토트랜지스터 사이의 서로 다른 구조적 차이점은 반드시 존재하게 되며 따라서 이러한 차이를 고려하면서도 두 광전류를 같게 만들 수 있는 소자 시뮬레이션 작업이 병행되어야 할 것 같다.

또한 윤곽을 검출함에 있어서 윤곽의 위치는 분명히 찾아낼 수 있지만, 서로 다른 크기의 포

토티랜지스터를 사용했기 때문에 같은 입사 광에 대해 윤곽신호의 크기는 안쪽 링의 픽셀들과 바깥쪽 링의 픽셀들이 서로 다르다. 이러한 사실은 복잡한 패턴에 대한 윤곽검출을 수행함에 있어 문제점이 될 수 있을 것으로 생각된다.

## VI. 결론

인간의 망막은 빛을 전기신호로 바꾸는 광수용기로서의 기능뿐만 아니라 윤곽검출과 움직임 검출 등의 시각 정보처리를 행하고 있다. 구조적으로도 시세포의 위치에 따라 다른 분포로 인하여 효율적인 정보처리를 할 수 있다. 이러한 망막을 회로적으로 모델링하여 하드웨어로 구현하면 뛰어난 시각정보 처리 기능을 실현할 수 있다.

본 연구에서는 망막의 윤곽검출의 원리를 포토트랜지스터와 MOS트랜지스터를 이용하여 간단한 구조의 전자회로로 구현하였으며, 이렇게 구성된 단위픽셀을 중심에서부터 방사형으로 배치하여 선택적 데이터의 감소라는 장점을 얻을 수 있도록 하였다. 실험을 통하여 실제 제작된 시각칩이 물체의 윤곽검출을 수행함을 확인하였고, 또한 픽셀의 배치에 있어서 방사형 구조의 가능성을 확인할 수 있었다. 방사형 구조의 픽셀 배치는 영상신호 처리에 있어서 선택적인 데이터의 감소를 가능하게 한다. 서로 다른 크기의 픽셀들 사이의 출력의 스케일링하는 메커니즘을 제시하였고, 시뮬레이션을 통해 확인하였다.

각 픽셀 사이에 distributed-MOSFET으로 수평세포의 기능을 구현함과 동시에 쌍극세포의 기능을 하는 전류미러를 픽셀 내부에 배치함으로써 필요한 금속배선의 수를 줄였다. 중심에서부터 8개의 링으로 구성하였고, 각 링마다 8개의 픽셀을 가지게 하여 전체 픽셀수를 64개로 설계하였다. 외각의 링으로 갈수록 픽셀의 면적을 증가시켜 한 픽셀이 센싱해야 하는 면적을 증가시켰다. 개구율은 약 40 %이고, 전체 어레이의 면적은  $2.5\text{mm} \times 2.5\text{mm}$ 이며, 전체 칩의 면적은  $3\text{mm} \times 3\text{mm}$ 이다.

향후 해상도를 높이기 위해 픽셀의 수를 증가시켜야 함과 동시에, 효율적인 포토트랜지스터 설계방법이 연구되고, distributed-MOSFET의 특성에 대한 연구가 이루어진다면 보다 더 안

정한 동작의 윤곽검출을 위한 시각칩의 설계와 제조가 가능할 것으로 생각된다. 또한 배경광과 입력광의 강도에 따른 평활작용의 범위에 대한 연구, 배경광의 세기에 따른 윤곽신호의 평준화, 윤곽신호의 검출을 위한 주변회로의 구성이 이루어진다면 실용적인 응용이 가능할 것이다.<sup>(9)</sup>

본 연구는 한·일 국제공동연구사업(KISTEP)과 뇌과학연구개발사업(과학기술부)의 지원에 의해 수행되었음.

## 참고 문헌

- [1] C. A. Mead, Analog VLSI and Neural Systems, Addison-Wesley, 1989.
- [2] C. Y. Wu and C. F. Chiu, "A new structure of the 2-D silicon retina", IEEE J. Solid-State Circuits, vol. 30, pp. 890~897, 1995.
- [3] Alireza Moini, Vision Chips or Seeing Silicon, CHIPTec, 1997.
- [4] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu, J. K. Shin, "An adaptive silicon retina performing an edge extraction with a MOS-Type spatial wiring and smart pixel Circuits", International Conference on Solid State Devices and Materials, Hamamatsu, pp. 386~387, 1997.
- [5] H. Ikeda, K. Tsuji, T. Asai, H. Yonezu, J. K. Shin, "A Novel Retina Chip with Simple Wiring for Edge Extraction", IEEE Photonics Technology Letters, vol. 10, NO. 2, pp. 261~263, 1998.
- [6] F. Pardo, J. A. Boluda, J. J. P´erez, S. Felici, B. Dierickx, and D. Scheffer, "Response properties of a foveated space-variant CMOS image sensor", IEEE Int. Symp. Circuits and Systems, ISCAS'96, Atlanta, GA, May, vol. 1, pp. 373~376, 1996.
- [7] F. Pardo, B. Dierickx, D. Scheffer, "CMOS Foveated Image Sensor: Signal Scaling and



- Small Geometry Effects", IEEE Transactions On Electron Devices, vol. 44, NO. 10, October, pp. 1731~1737, 1997.
- [8] Marc Boldue, Martin D. Levine, "A Review of Biologically Motivated Space-Variant Data Reduction Models for Robotic Vision", Computer Vision and Image Understanding, vol. 69, NO. 2, February, pp. 170~184, 1998.
- [9] C. Y. Wu and H. C. Jiang, "An Improved BJT-Based Silicon Retina with Tunable Image Smoothing Capability", IEEE Transactions On Very Large Scale Integration (VLSI) Systems, vol. 7, NO. 2, June, pp. 241~248, 1999.

---

 著 者 紹 介
 

---



김 현 수

1976년 5월 14일생.

1999년 경북대학교 전자전기공학부 졸업(공학사).

현재 경북대학교 대학원 전자공학과 석사과정

주관심분야 : CMOS retina chip, 아날로그 회로설계



이 수 경

1976년 5월 7일생

2000년 경북대학교 전자전기공학부 졸업(공학사).

현재 경북대학교 대학원 전자공학과 석사과정

주관심분야 : CMOS retina chip, 디지털 회로 설계



박 대 식

1974년 12월 17일생.

2000년 경북대학교 전자전기공학부 졸업(공학사).

현재 경북대학교 대학원 전자공학과 석사과정

주관심분야 : CMOS retina chip, 아날로그 회로설계

이 민 호

1965년 12월 19일생

1988년 2월 경북대학교 공과대학 전자공학과(학사).

1995년 8월 한국과학기술원 전기 및 전자공학과(석사, 박사).

1995년 9월 ~ 1998년 2월 한국해양대학교 전기공학과(전임강사, 조교수).

1998년 3월 ~ 현재 경북대학교 전자전기공학부 전임강사, 조교수

1998년 3월 ~ 현재 경북대학교 전자전기컴퓨터학부/센서기술연구소(전임강사, 조교수)

주관심분야 : 신경망, 지능정보처리시스템

류 병 우

1973년 12월 12일생.

1999년 경북대학교 전자전기공학부 졸업(공학사).

현재 경북대학교 대학원 전자공학과 석사과정

주관심분야 : CMOS retina chip, 아날로그 회로설계

**신 장 규**

1978년 서울대학교 전자공학과 졸업(공학사).

1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사).

1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사).

1995년~1997년 일본 토요하시 기술과학대학교 교환교수.

1980년~현재 경북대학교 전자전기공학부 교수.

주관심분야 : 반도체 센서, 시각칩