

# 마이크로프로세서의 미래

## The Future of Microprocessor: GHZ, SMT and Code Morphing



글 | 朴 星 培  
 (Park, Sung Bae)  
 전자계산기기술사,  
 삼성전자(株) Sytem LSI 사업부 수석연구원.  
 E-mail: scpu1997@samsung.co.kr

### 목 차

1. 서 론
2. GHZ, SMT 및 Code Morphing 기술 소개
3. 결 론

## 1. 서 론

1998년 1360억달러의 세계 반도체 시장에서 마이크로프로세서는 <표 1>에서와 같이 255억 달러의 매출액을 기록, 전체 반도체 시장의 약 18.7%를 점유하고 있다.

<표 1> 세계 반도체 시장 분야별 매출 규모  
 (Dataquest, June, 1999)

	1998	1999	2000	2001	2002	2003
Total	\$136.1B	\$155.4B	\$181.5B	\$215.5B	\$250.8B	\$250.0B
Memory	\$ 24.6B	\$ 32.7B	\$ 43.7B	\$ 60.0B	\$ 79.5B	\$ 65.4B
Micro-processor	\$ 25.5B	\$ 27.9B	\$ 30.4B	\$ 33.1B	\$ 36.1B	\$ 38.6B
Micro/ASIC	\$ 38.8B	\$ 42.9B	\$ 50.1B	\$ 58.7B	\$ 65.8B	\$ 72.7B
Discrete	\$ 47.7B	\$ 51.9B	\$ 57.3B	\$ 63.7B	\$ 69.4B	\$ 73.3B

국내 삼성전자는 메모리를 중심으로 1999년 세계 반도체 시장에서 총 71억달러의 매출을 기록,

Within 10years, it will be possible to integrate 10B transistors on a single chip microprocessor which will operate far beyond GHZ, and it will execute about 20~200 instructions per clock cycle from widely variable instruction streams leveraging SMT(Simultaneous Multithreading) technology.

Also it will decouple the current legacy X86 binary compatibility by translation layer such as code morphing technology.

세계 4위를 기록하고 있으나, <표 2>에서 보여 주고있는 바와 같이 마이크로프로세서만으로 반도체 세계 1위를 기록하고 있는 미국 Intel사와 비교하면 2위 NEC, 3위 Toshiba, 4위 삼성의 총 매출액을 합하여도 Intel에 미치지 못하며, Intel은 순수익만 100억달러 이상을 기록, 2위 NEC의 총매출액보다 더 큰 이익을 기록함으로써 마이크로프로세서 산업이 반도체 시장에서 차지하고 있는 비중과 고수익 중심의 마이크로프로세서 시장 특성을 알 수 있다.

<표 2> 세계 반도체 시장 회사별 매출 규모  
 (Dataquest, July, 2000)

Rank	회사	1998	1999
1	Intel	\$ 22.8B	\$ 26.8B
2	NEC	\$ 78.5B	\$ 92.1B
3	Toshiba	\$ 59.1B	\$ 76.2B
4	삼성	\$ 47.4B	\$ 71.2B
5	TI	\$ 58.2B	\$ 71.2B

미국 Intel사가 기록적인 매출과 순이익을 올리고 있는 것은, Pentium II, Pentium III 등으로 총칭되는 x86 CPU에 기인한다. Intel은 거의 동일한 설계로 구성되어있는 Pentium II와 Celeron을 각각 고가 CPU와 저가 CPU로 차별화, <표 3>에서와 같이 Pentium-II에서만 54억달러의 순이익을 올리며 Celeron에서는 2억달러내외의 순이익을 기록, AMD, Cyrix 등 다른 x86 CPU 벤더들과 차별화 전략을 통해 CPU 시장을 독점, 표준화하고있다.

<표 3> 1998년 Intel VS. AMD 매출 비교

	Revenue	Shipment	ASP	Profit	Profit/Chip
AMD compute CPU	\$1,251M	13,500K	\$ 93	103M loss	\$7 loss
- K6 < 300MHz	\$596M	7,090K	\$ 84		
- K6 >= 300MHz	\$654M	6,400K	\$102		
Intel compute CPU	\$20,052M	93,600K	\$214	\$6,225M	\$ 66
- Celeron	\$1,485M	5,300K	\$280	\$196M	\$ 40
- Pentium II	\$17,886M	46,800K	\$382	\$5,414M	\$115

마이크로프로세서 설계 초기에 고려되어야 할 가장 중요한 요소 중 하나인 기존 시스템과의 호환성(compatibility)은 CPU 시장에서 성공하기 위한 중요 요소라기 보다는 이제 필수적인 요소로서, 이것은 마이크로프로세서가 개발된 후 사용될 시스템에서, CPU 하나의 부품 교체 비용에 국한된 개발비용이 아니라, 지난 20여년동안 최종 사용자에게 의해 자연스럽게 형성되어 온 PC Computing infra에 기반을 둔 수억 이상의 소비자에게 좌우되고 있는 시장에 천문학적 비용이 투입되어 온 것을 감안해야 하기 때문이다. 이로서 마이크로프로세서 산업은 이미 Wintel (Microsoft Windows OS+ Intel x86 CPU) 의 손을 떠나 규모의 경제에 의해 좌우되는 초대규모 시장 원리에 따라 지배되고 있으며, 얼마나 성능이 앞선

x86 호환 CPU를 개발하느냐가 시장에서의 성공을 좌우하고 있다.

Intel은 2000년 7월, 세계에서 가장 빠른 1.13GHz Pentium III를 상용 판매할 것과 2000년 하반기에는 1.4-1.5GHz Pentium 4를 공급할 것으로 발표하며 마이크로프로세서 속도 경쟁에서 가장 앞서 나가고 있다. 향 후 서버를 타겟으로 하여 개발되고있는 Intel IA-64 Itanium(구 Merced) 프로세서의 경우 약 800MHz내외의 동작속도로 발표될 것으로 알려져 있는데 이 경우 1.5GHz의 Pentium 4와 비교되어 동작 주파수도 1/2정도이며, 더욱이 IA-32 x86명령어를 IA-64 mini-VLIW 명령어로 변환하여 실행함으로써 x86 성능이 상당히 떨어질 것으로 예상되어, Pentium 4 이후 x86의 성능 개선 로드맵이 주어지지 못할 경우 AMD의 K8에서 x86-64 (64비트 x86)에 의해 도리어 x86 시장이 Intel 주도에서 AMD 주도로 역전될 가능성까지 존재함으로써, 앞서 설명한대로 마이크로프로세서 마켓은 이미 Intel이나 Microsoft같은 몇몇 회사에 의해 좌우되기보다는 규모의 경제에 의해 결정 지워질 것으로 전망되고 있는 것이다.

마이크로프로세서에서 성능, 곧 프로그램을 실행하는데 소요되는 시간 (초 단위)은 다음과 같은 수식에 따라 결정되며 여기서 성능은 소요되는 시간이 짧을수록 높다.

$$\text{Seconds} / \text{프로그램} = (\text{명령어 개수} / \text{프로그램}) \times (\text{명령어} / \text{Cycle}) \times (\text{Seconds} / \text{Cycle})$$

어떤 프로그램을 1GHz (1ns cycle time) CPU에서 몇 초에 걸쳐 실행하는지 예를 들어 살펴보면 다음과 같다. 우선 프로그램 크기가 10억 개의 다이내믹 명령어(실제 실행되는 명령어 개

수를 가리키며, 이것은 프로그래머가 write한 프로그램, 즉 static 명령어에서 예를 들어 100개의 기계 명령어로 구성된 static 프로그램에서 loop를 10회 실행 경우 다이내믹 명령어, 즉 실제 실행된 명령어 총 개수는 1,000개가 됨)로 구성되고 일반적으로 6-Way superscalar CPU에서 6개의 명령어가 한 사이클에 실행됨으로 1GHz 즉, 1초동안 10억회의 전기신호가 변환되는 동안 60억개의 명령어가 처리됨으로 10억개의 명령어를 처리하는데는 1/6초, 즉 0.17초가 소요된다. 이 수식에서 알 수 있듯, 마이크로프로세서의 성능을 높이기 위해서는 프로그램당 명령어 개수를 최소화해야 하고(아키텍처 최적화), 한 사이클당 처리 명령어 개수를 최대화해야 하며 (명령어 병렬성 / 파이프라인 최적화) 마지막으로 단위 사이클당 소요 시간을 최소화 (반도체 구현 기술 최적화) 해야 한다. Pnetium 4가 1.5GHz에 이르게 되면 0.67ns의 사이클 타임을 기록, 670ps 동안 아주 복잡한 연산을 완료해야 한다.

이 식에 보이는 바와 같이 마이크로프로세서의 성능을 높이기 위해 CPU 설계자들은 1) GHz 이상의 동작 속도를 통해 사이클 타임을 1ns 이하로 줄여나가며, 2) SMT (Simultaneous Multithreading) 마이크로아키텍처를 통해 이론적으로 18-150 IPC(Instruction Per Cycle)인 명령어 수준의 병렬성 (ILP: Instruction Level Parallelism)을 최대화해 나가고 있으며, 여기에 더해 앞서 설명한 바와 같이 초대규모 독점 시장이 형성되어있는 3) x86 CPU·호환성 (drop-in-replaceable: 소켓에서 이전 CPU를 추출하여 새로운 CPU로 대체하여 성능을 높이면서 이전의 모든 소프트웨어 및 하드웨어를 그대로 이용)을 위해 x86의 복잡한 아키텍처를 고속 실행 프로세서로부터 decoupling 시켜, 코어 프로세서의 속도를 극대화시키며 기존의 x86 코드

는 binary translation으로 호환성을 보장해 주는 Code Morphing 기술등, 세 가지 기술이 미래 마이크로프로세서의 핵심 기술을 이룰 것으로 전망된다.

본 고에서는 이와 같이 미래 마이크로프로세서의 3대 축을 이루는 각 기술에 대해 최근 개발된 기술적인 내용들을 소개하고자 한다.

## 2. GHz, SMT 및 Code Morphing 기술 소개

### 2.1 GHz 마이크로프로세서[1]

반도체 분야의 올림픽과도 같은 ISSCC (International Solid-State Circuits Conference)에서 2000년 2월 4개회사가 1GHz 이상의 속도를 갖는 마이크로프로세서를 발표했다.

#### 1) 삼성-Compaq-API 1GHz 21264 CPU

삼성전자는 21264 CPU를 1999년 6월 PC Expo에서 세계에서 처음으로 실온 (85도)에서 2.0V에 1GHz에서 동작되는 시스템 데모를 했으며, ISSCC에서 발표된 1GHz CPU는 여기에 다시 0.18um 기술을 적용하여 Compaq과 공동 개발된 것으로 1.65V 에서 1GHz로 동작시킨 칩이다. 193 sq.mm 칩 크기에 1,500만개 트랜지스터가 집적되어있으며 587핀의 PGA 패키지를 사용한다. 약 65W 전력이 소모되어 40A의 전류가 공급됨으로 곧 10mΩ 정도의 전원 저항에 의해 400mV 전압 강하가 발생함으로 1.65V를 VDD로 공급하더라도 1.25V 밖에는 공급이 안되어 속도가 저하되는 문제를 해결하기 위해 정밀하게 설계된 전원 공급 네트워크가 필요하며 실제로 최악 조건에서 320mV의 전압 강하가 발생한다. 따라서 1GHz 속도를 위해 WB(Wirebonding)이 아닌 FC (Flip Chip)을 통해 전압 강하를 125mV로 제한함으로 80-100MHz 속도를 개선하고 있다. 이와 함께 leakage에 민감하지 않은 드라이

버 회로단에 low-Vt (normal Vt 대비 80-110mV 낮음) 트랜지스터를 사용, 구동 능력을 높이며, NMOS only Passgate 회로의 잡음 마진을 개선하였다.

### 2) Intel 1GHz Pentium III CPU

Intel은 이미 2000년 3월부터 1GHz Pentium III를 시판하고 있으며 ISSCC에서 발표된 기술적 내용은 다음과 같다. 0.18um 공정 기술을 사용하여 2,300만 트랜지스터를 106 sq.mm에 집적하였으며 주 속도 개선책으로 1999년 IEDM (International Electron Devices Meeting)에서 발표된 notched poly 공정 기술에 의존하는 것으로 판단된다. Gate poly를 게이트 아랫단에서 깎아냄으로서 gate-overlap capacitance에 대한 걱정 없이 작은 저항 값을 위해 소스-드레인 도핑 농도를 높임으로 Idsat을 대폭 향상시킴으로 동작 속도를 크게 개선하고 있다. Shmoo에서 1.7V에 1.1GHz를 보여주고 있으며 1.45V에서 30W의 전력을 소모하며 1.0GHz를 기록하였다. 고속 동작을 위해 SECC2 (Single Edge Contact Cartridge) 모듈을 사용했으나 구형의 저가 Socket 370 패키지에 organic fiberglass 기판과 decoupling capacitor를 부착함으로써 고속 인터페이스를 가능하게 하고 있다. IBM이나 삼성과 같은 고속 CPU를 공급하는 반도체 회사들과 달리 Intel은 0.13um에서나 Cu interconnection을 사용할 것인데, 그 이유로서 연결선 지연이 문제인 약 3%정도의 회로에 리퍼터를 추가함으로써 아 작은 전체 critical path에서 연결선 지연이 아닌 트랜지스터 지연에 의해 속도가 좌우됨으로 fab.에서 Cu의 위험성을 도입하기보다는 설계적으로 해결하고 있다고 밝히고 있다.

### 3) AMD 1GHz Thunderbird

AMD 역시 3월부터 1GHz Athlon 칩을 판매하고 있는데, ISSCC에서는 Thunderbird로 불리

는 가장 최신의 Athlon 칩을 1.1GHz에서 동작시키는 것을 데모하였다. 이 칩은 Athlon에 256KB의 L2 캐쉬 메모리가 내장된 칩으로 모토로라에서 라이선스한 Cu 기술이 사용된 HIP6L 공정을 사용하여 AMD의 최신 fab.인 독일 Dresden Fab 30에서 제작되었다.

이러한 ISSCC의 GHz 경쟁 속에 앞서 소개한 바와 같이 Intel은 지난 7월초 2000년 하반기, 수퍼파이프라인 (Pentium III 파이프라인 사이클을 한번 더 나누어 2배 속도로 동작시키는) 구조를 채택한 1.5GHz Willamette (Pentium 4) CPU 공급 계획을 밝힘으로 CPU의 동작 속도 경쟁은 더욱 치열해 질 것으로 전망된다.

### 2.2 SMT (Simultaneous Multi-Threading) [2]

앞서 밝힌 바와 같이 CPU 설계자들은 동작 속도를 높이기 위해 파이프라인을 더욱 세분화시켜 나가고 있다. 그러나 파이프라인을 세분화 시켜나갈수록 동작 속도는 개선될 수 있으나 파이프라인 상의 1) Control Dependency, 2) Data Dependency, 3) Resource Dependency, 4) Memory Hierarchical Latency 등에 의한 성능 제한이 더욱 커지게 된다. 예를 들어 Pentium III 1GHz CPU는 12 스테이지의 파이프라인을 갖는데 Pentium 4 1.5GHz는 24 스테이지의 파이프라인을 갖게된다. 이 경우 branch 명령어 또는 예외처리와 같이 control dependency에 의해 다음 명령어의 실행 순서가 바뀌어지게 되는 경우 파이프 스테이지 거의 최종 단에서 결정 지워지며 각각 11번 스테이지, 23번 스테이지로 가정시, 각 스테이지에 3개의 명령어가 처리되는 것을 가정하면 Pentium III에서는 33개 명령어가 버려져야 하며, Pentium 4에서는 66개의 명령어가 버려지게 됨으로 그 낭비가 대단함을 알 수 있다. 따라서 이와 같은 상관성들을 최소화하며 실행 될 수

있는 명령어들을 최대한 선택하여 동시에 실행 될 수 있는 명령어 개수를 최대화시키는 것이 명령어 병렬성의 최대 목표로서, 이와 같이 동시에 실행 될 수 있는 명령어의 개수는 단일 사이클에 최대 18개에서 150개로 알려져있다. 그러나 이것은 컴파일러가 프로그램의 시작에서 종료시까지 전 명령어군에서 상관성을 최대한 제거시킨 가장 이상적인 경우로 보통 하드웨어 명령어 윈도우에서 20-30개의 명령어 군에서 판별되는 명령어 상관성은 상당히 작게된다. 따라서 이를 개선하기 위해 명령어 흐름을 단일 명령어 흐름이 아닌 복수개의 명령어 흐름군에서 병렬성을 최대한 찾아내어 각각 독립적으로 실행 시켜주는 FMT (Fine-grain Multi Threading)은 향후 필연적이며 이러한 아이디어가 최초로 구현된 것은 1964년 CDC 6600 슈퍼컴퓨터에서 였다.

차세대 아키텍처의 candidate로 Intel의 mini-VLIW (Very Long Instruction Word) 와 predicate H/W 지원에 의한 최적 컴파일러 도입과 같은 기존의 싱글 스트림 명령어에서 병렬성을 최대화하는 분야와 Compaq의 EV8에서와 같이 SMT 구조를 적극 채택, 복수개 명령어 스트림에서 병렬성을 최대화 하는 두 가지 마이크로 아키텍처가 경쟁이 되고있으나 SMT가 기존 컴파일러의 도움 없이 성능을 2배 개선 (6 Way -> 8 Way 확장 포함) 하는 장점을 고려할 때 향후 성능 개선의 초점은 싱글 스트림보다는 멀티 스트림의 명령어 군에서 하드웨어를 이용하여 병렬성을 최대화시키는 SMT 구조가 더욱 널리 사용될 것으로 예상된다.

이와 같은 스트림을 thread로 부르며 SMT 마이크로프로세서 내에는 복수개의 thread를 지원하기 위해 우선 각각의 스트림으로부터 명령어를 동시에 가져오는 fetch unit부터 기존 프로세서와 설계가 달라지며 각 개별 스트림에 대해

branch prediction, 어드레스 변환 등이 별도로 실행되어야 한다. 이로서 각 스트림의 제어 회로는 각각 분기 명령어 예측 실패시 복구회로, precise interrupt 처리에 대한 회로, 서브루틴 복귀 회로, 명령어 retire 회로 등이 각각 존재해야 하는 복잡도를 갖게된다. 이와 같은 구조들을 모두 내장한 Compaq의 EV8 CPU는 0.125um 공정 기술에 250M 트랜지스터를 내장하며 약 3M 바이트 캐쉬의 On-Chip L2 캐쉬를 갖게될 것이며 1.4GHz 에서 2GHz에 이르는 동작 속도를 타깃으로 하고있다.

### 2.3 Code Morphing [3]

수 GHz 의 동작 속도에 SMT를 사용하여 3-5 IPC 명령어 병렬성등 현재 마이크로프로세서 대비 수배-수십배에 달하는 성능을 갖더라도 기존 천문학적인 자원이 투입된 x86 프로그램 및 시스템 환경과 호환성을 갖지 못한다면 결코 CPU 시장에서 생존할 수 없다. 이와 같은 x86 binary 호환성을 위해 여러 가지 다양한 방법이 사용되어 왔는데 크게 나누어 hardware translation과 software translation의 두 가지로 발전되어왔다. 이 방법은 컴퓨터의 명령어가 거의 유사하며 기본적으로 2~3개의 기본 명령어만 실행될 수 있으면 이론적으로 이 세상의 어느 컴퓨터도 다 에뮬레이션 해 낼 수 있다는 사실에 기초를 둔다. 즉, 컴퓨터라는 것은 논리적으로 실행해 나가야 할 기계적인 일들을 가장 공통적인 하드웨어를 사용하여 명령어로서 제어, 실행함으로 연산, 분기의 두 종류 단순 명령어만 있으면 나머지 모든 종류의 메모리 이동, 연산, 분기 등 제반 명령어를 모두 에뮬레이션하여 실행이 가능하다. 다만, 성능이 떨어지게 될 뿐이지 결과는 같아지게 된다.

Hardware translation은 RISC와 같이 고속의 CPU에 x86 명령어가 입력되면 하드웨어를 사용

하여 RISC가 사용하는 명령어로 변환하여 실행하는 타입으로 IBM PowerPC 615가 이러한 시도를 했던 것으로 알려져 있으며, Centaur x86 CPU는 MIPS RISC CPU를 사용하여 이와 유사한 방식으로 개발되었다. Intel Itanium CPU도 x86 명령어를 받아 IA-64 mini-VLIW 명령어로 실행하는 것으로 알려져있다. Hardware translation 방식은 상대적으로 우수한 성능이 가능하며, native 명령어 프로세서의 약 70-80% 성능을 얻을 수 있으나 유연성이 부족함으로 설계 시 오류에 대한 수정이 난해하고, 차세대 설계 개선이 어려운 단점을 갖고있으며 Intel로부터 특허 라이선스 공격을 피하기가 어려운 것이 가장 큰 취약점으로 생각 할 수 있다.

Software translation은 SoftDOS / Windows 등 Insignia의 S/W 기법부터 Compaq의 FX!32, Sun의 WABI (Windows Application Binary Interface) 등이 있으며 Motorola / IBM이 PowerPC 와 x86을 결합시키기 위해 개발하던 에뮬레이터 등이 있으나 대부분 성능이 native RISC 에 비해 20~30% 수준에 미치지 못하며 100% 호환성을 OS / Device Driver 수준에서 제공해주는데 문제점들이 나타나 널리 사용되지는 못했다.

2000년 상반기에 Crusoe x86 호환 CPU를 발표한 Transmeta의 Dave Ditzel 사장은 1995년 Sun에서 VLIW 과제를 추진하며 VLIW 코어를 이용하며 x86과의 변환을 S/W 및 H/W의 장점을 취해 최적 해결책을 연구한 결과, native processor 대비 70~80%의 성능을 얻는 code morphing 기술을 개발하였으며, 이로서 x86 아키텍처어를 완전히 VLIW CPU로부터 decoupling 함으로서 Intel로부터의 특허 라이선스 공격을 피하는 것은 물론, CPU의 성능을 순

수한 단순 고속 VLIW CPU 성능 개선으로 떼어냄으로 향후 미래 CPU 기술의 기반 기술을 달성하였다. 아직은 동작 주파수가 500~700MHz 수준으로 낮으나, 단순 고속형 구조의 장점을 최대한 살리게되면 동작 주파수는 x86 기존 프로세서에 비해 크게 높일 수 있으므로 아키텍처 분야에서 혁신적인 성과를 거두었다. 호환성 문제시 S/W 코드 수정을 통해 쉽게 접근이 가능하며 향후 모든 성능 경쟁을 단순 프로세서 개발로 전환함으로 초고속 반도체 설계기술을 최대한 활용하여 CPU 사업 분야에서 Intel과 fair 한 경쟁이 가능하게 된 전기를 마련할 수 있게 되었다.

### 3. 결론

미래의 마이크로프로세서는 앞서 기술한 Beyond GHz를 가능케 하는 반도체 설계 및 공정 기술, 15~180개의 명령어 병렬성을 최대한 이용가능하게하는 SMT 파이프라인 기술, 그리고 거대한 x86 시장 진입을 Intel과 충돌 없이 가능하게 하는 Code Morphing 기술이 최적화되어 개발되어 나갈 것으로 예상되며 국내에서도 이런 고수익 대규모 CPU 시장을 개척하기 위한 연구 개발이 활발하게 이루어지기를 기원한다.

(원고 접수일 2000. 7. 11)

### References

- [1] Keith Diefendorff, Processors penetrate Gigahertz territory, Microprocessor Report, pp. 20-24, February, 2000
- [2] Keith Diefendorff, Compaq chooses SMT for Alpha, Microprocessor Report, pp. 1-11, Dec. 1999
- [3] Linda Geppert, et al., Transmeta's Magic Show, IEEE Spectrum, pp. 26-33, May, 2000