

1.9GHz CMOS RF Up-conversion 믹서 설계

Design of 1.9GHz CMOS RF Up-conversion Mixer

崔 鎭 榮*

(Jin-Young Choi*)

요 약

회로 시뮬레이터인 SPICE를 이용하여 1.9GHz 대역의 CMOS up-conversion 믹서를 설계하였고, 회로 설계를 위한 시뮬레이션 과정을 소자 모델링을 포함하여 상세히 설명하였다. 0.5 μ m 표준 CMOS 공정을 이용하여 칩을 제작한 결과, 제작된 칩의 특성과 초기 시뮬레이션에 의해 예상되는 특성 사이에 큰 차이점이 발견되어 이에 대한 원인 분석을 시도하였다. 발견된 문제점들을 고려한 경우의 시뮬레이션을 통해 시도한 시뮬레이션 방법의 타당성을 증명하였고, 이러한 문제점들을 보완할 경우 사용한 표준 CMOS 공정으로도 GaAs MESFET 공정을 사용한 유사 칩의 특성에 근접하는 칩 특성의 구현이 가능함을 보였다.

Abstract

Utilizing the circuit simulator SPICE, we designed a 1.9GHz CMOS up-conversion mixer and explained in detail the simulation procedures including device modeling for the circuit design. Since the measured characteristics of the chip fabricated using the 0.5 μ m standard CMOS process had shown a big deviation from the characteristics expected by the original simulations, we tried to figure out the proper reasons for the discrepancies. Simulations considering the discovered problems in the original simulations have shown the validity of the simulation method tried for the design. We have shown that the utilized standard CMOS process can be used for the implementation of the chip characteristics similar to those of the equivalent chip fabricated using the GaAs MESFET process.

Keyword: RF, CMOS, mixer, up-conversion, modeling

I. 서 론

근래의 무선통신 단말기에서는 화합물 반도체나 실리콘 바이폴라 기술을 사용하여 RF 송수신기의 주요부를 구성하고 base band에 대하여는 CMOS 기술을 사용하고 있으나, 저가의 시스템 구현을 위해서는 CMOS 기술을 이용한 칩의 단일화가 필요하다고 인식되고 있다. 현재 사용되고 있는 RF 대역에서 필요한 시스템에는 CMOS 기술의 급속한 발전과 더불어, 값비싼 화합물 반도체 혹은 실리콘 바이폴라 기술과

* 弘益大學校 電子電氣컴퓨터工學部

(School of Electrical, Electronic & Computer Engineering, Hongik University)

接受日: 2000年7月3日 修正完了日: 2000年11月9日

※ 이 논문은 1998년 한국학술진흥재단의 학술연구비에 의하여 지원되었습.

동등한 수준의 성능을 유지하면서도 가격의 저렴화가 가능해지고 있는 CMOS 기술의 대체 사용이 증가하고 있다.

CMOS 기술을 이용한 RF IC의 최근 개발 동향을 보면, LNA의 경우 900MHz대의 설계[1][2][3][4]는 이미 상당 수 보고된 바 있다. 믹서의 경우에도 900MHz 대역의 down-conversion 믹서 설계[1][2][3][5][6]가 이미 상당 수 보고되었고 1.8GHz 대역에서의 개발[7][8]도 발표된 바 있으나, 믹서에 대한 연구 발표는 주로 down-conversion 믹서에 치중되어 왔다. Down-conversion 형태에서는 입력 신호들은 고주파이고 출력신호는 MHz대의 저주파이기 때문에 성공적으로 CMOS화가 가능하였지만, up-conversion 경우에는 고주파의 local oscillator(LO)와 저주파의 입력신호가 곱해져 고주파의 출력신호를 만들어 내고 그후의 모든 신호처리는 고주파에서 이루어지므로, 이러한 과정은 기존의 CMOS 기술로 처리할 경우 매우 어렵고 전력소모 또한 과대하다. 근래에는 0.9-1GHz 대역의 up-conversion 믹서 개발에 대한 연구 발표 [9][10][11][12]가 계속되고 있으나, pcs 폰의 사용 주파수 대역인 1.8-1.9GHz 대의 up-conversion 믹서에 대한 발표[13]는 극히 미미하였다.

본 논문에서는 0.5 μ m CMOS 기술을 이용한 1.9GHz 대역의 up-conversion 믹서의 설계과정과 제작된 칩의 특성에 대해 알아보고, 개발 과정에서 나타난 설계상의 문제점과 이를 개선하기 위한 RF 소자 모델링 및 회로 설계의 방안에 대해 논의함으로써 이 주파수 대역의 up-conversion 믹서 개발을 위한 CMOS 기술의 적용 가능성에 대해 논의해 본다.

2장에서는 제안한 CMOS up-conversion 믹서 회로에 대해 설명하고, 3장에서는 소자 모델링 및 칩 제작 공정에 대해 설명한다. 4장에서는 시뮬레이션 결과와 측정된 결과의 비교를 통해 본 설계의 문제점을 분석해 보고 1.9GHz 대역에서의 CMOS up-conversion 믹서의 구현 가능성을 검토해 본다.

II. Up-conversion 믹서 회로

본 장에서는 본 연구에서 선택한 헤테로다인 up-conversion 믹서의 구조 및 회로에 대해 알아본다. 선택한 up-conversion 믹서 구조는 0.5 μ m GaAs MESFET 공정을 이용한 up-conversion 믹서[14]의 후단 드라이브 앰프를 제외한 부분에 대한 CMOS 버전으로, 블록 다이어그램은 그림 1과 같다. 중대역 신호(IF)의 주파수와 local oscillator 신호(LO)의 주파수는 각각 230MHz과 1.67GHz이고, 출력(RF) 주파수는 1.9GHz로 설정하였다. 입출력 임피던스 정합은 칩 내의 50 Ω 정합을 시도하였으며, 칩 크기를 줄이기 위해 상대적으로 저주파인 IF와 LO 입력측에는 저항 정합을 시도하였고, 고주파 출력측에는 LC 정합을 시도함으로써 필터의 역할도 겸하게 하였다. 저항 정합은 전력누수 면에서 불리하고 잡음특성을 저하하나, 후단의 증폭기에서 이득을 얻을 수 있고, 또한 발신기 블럭에서의 잡음은 그리 큰 문제가 되지 않는다는 점이 고려되었다.

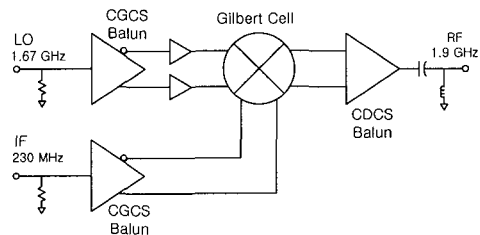


그림 1. CMOS up-conversion 믹서의 블록 다이어그램

Fig. 1. Block diagram of the CMOS up-conversion mixer.

그림 1의 CGCS(common-gate common-source) Balun은 balanced된 IF 및 LO 신호를 발생하기 위한 위상 분리기 회로이다. IF-RF 변환이득(conversion gain)의 증가를 위해 LO CGCS Balun의 출력신호는 그림 1에서 볼 수 있듯이 추가의 증폭기를 거치도록 하였다. 주파수 변환과 출력측으로의 LO feedthrough 억제를 위해 그림 1의 doubly balanced Gilbert 셀과 CDCS(common-drain common source) Balun 형태의 출력 회로를 사용하였다.

그림 1의 IF 및 LO의 CGCS Balun 내부 회로를

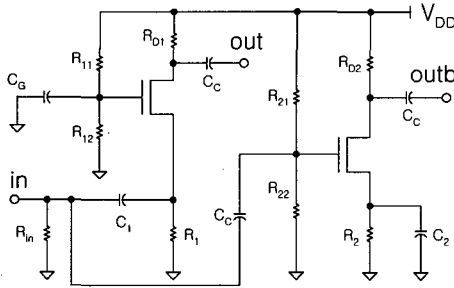


그림 2. CGCS(common-gate common-source) Balun의 내부 회로

Fig. 2. Internal circuit of the CGCS(common-gate common-source) Balun

입력 정합 저항을 포함하여 그림 2에 도시하였다. 이 회로는 하나의 입력 신호로부터 2개의 다른 출력을 발생시킨다. 그림에서 R11, R12, R21, R22는 바이어스 저항들이고, CC는 결합 커패시터들이다. Rin은 입력 임피던스 정합을 위한 저항으로서 신호반사율을 나타내는 s-파라미터인 s11의 크기가 -10dB 이하가 되면서 최대의 전압이득을 얻도록 그 값을 조정하였다. R1, R2, C1, C2 값을 조절함으로써 주어진 주파수 (230MHz 또는 1.67GHz)에서 동일한 크기와 180도의 위상차를 갖는 2개의 출력이 얻어지도록 하였다. 3.3V에서의 시뮬레이션 결과, IF CGCS Balun의 dc 전류 소비는 5.16mA였고, 230MHz에서의 전압이득은 9.753dB이며 두 출력 신호의 이득 차이는 0.181dB, 위상차는 179.82도였다. LO CGCS Balun 경우 1.67GHz에서의 두 출력신호의 이득 차이는 0.111dB, 위상차는 181.15도였으나, 전압이득은 0.377dB로 매우 낮았다. 추가의 이득을 얻기 위한 그림 1의 버퍼 증폭기 구조는 그림 2에 도시한 CGCS Balun의 common-source(CS) 증폭기 회로를 2단으로 cascade한 형태를 사용했으며, 이 버퍼 증폭기의 전압이득은 11.51dB였다. LO Balun과 두 버퍼 증폭기에서 소비되는 dc 전류는 총 37.61mA였고, 이 LO 경로의 총 전압이득은 11.89dB, 이득 차이는 0.116dB이고 위상차는 181.36도였다. CMOS 기술로서 1.67GHz대에서 충분한 이득을 얻기 위한 전력 소모는 매우 크다는 것을 알

수 있다.

그림 2의 CGCS Balun 회로에서의 mismatch에 의한 IF 및 LO 경로 출력신호의 balance 정도를 추정해 보기 위해 그림 2의 트랜지스터 폭과 R2 값이 각각 10% 정도 차이가 발생할 경우의 Gilbert 셀에 입력되는 balanced 신호의 이득차와 위상차를 조사해 보았다. 트랜지스터 mismatch 경우에는 IF 이득차, 위상차는 각각 0.30dB, 179.35도이고, LO 이득차, 위상차는 각각 0.785dB, 181.48도였다. 저항 R2 mismatch 경우 IF 이득차, 위상차는 각각 0.20dB, 179.58도이고, LO 이득차, 위상차는 각각 0.192dB, 181.17도로서, 두 경우 모두 칩의 동작에 이상을 일으킬 수준이 아님을 확인할 수 있었다.

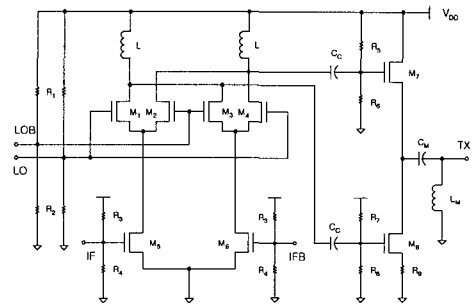


그림 3. Gilbert 셀과 CDCS(common-drain common-source) Balun의 내부 회로

Fig. 3. Internal circuit of the Gilbert cell and the CDCS(common-drain common-source) Balun

그림 3에는 그림 1의 Gilbert 셀과 CDCS Balun의 내부 회로를 출력 LC 정합 회로를 포함하여 함께 도시하였다. 그림에서 LO와 LOB는 LO CGCS Balun 및 버퍼 증폭기를 통과한 출력신호들이고, IF와 IFB는 IF CGCS Balun의 출력신호들이다. R1, R2, R3, R4는 바이어스 저항들이고, 트랜지스터 M1-M6는 인덕터 부하 L과 함께 balanced Gilbert 셀을 구성한다. CC는 결합 커패시터들이고, 출력 측의 M7과 M8은 CDCS Balun 회로를 구성하는 트랜지스터들로서 M7은 common drain 구조, M8은 common source 구조를 취하고 두 구조가 같은 크기의 이득을 갖도록 R5, R6, R7, R8, R9의 저항 값들을 조절하였다. 믹서의 선형

특성 연장을 위해 모든 트랜지스터들이 최대한 포화 영역에서 동작하도록 바이어스를 조정하였으며, 또한 Gilbert 셀의 레이아웃에서는 최선의 믹서 동작 특성을 얻기 위해 레이아웃의 좌우대칭이 이루어지도록 최대한의 주의를 기울였다.

III. 소자 모델 및 공정

칩 제작에 사용된 공정은 MOSIS에서 제공하는 HP 0.5um AMOS14TB 공정[15]을 사용하였다. 이 공정은 p형 기판에 n 웰을 사용하는 표준 공정으로서, 최소 feature 크기는 0.6 μ m이고 1 poly 층과 3 metal 층을 사용하며 MOS 트랜지스터의 유효 채널길이는 0.5 μ m이다. 기 수행된 MOS 트랜지스터의 모델링 결과 [16]를 본 회로 시뮬레이션에 적용하였으며, HP 0.5um AMOS14TB 공정의 bsim3v3 모델 파라미터 세트를 기준으로 하여 RF 대역에 적용할 수 있도록 여러 가지 기생 성분들을 고려한 매크로 모델을 사용하였다. 회로 설계에는 증가형 NMOS 트랜지스터만을 사용하였고, 트랜지스터의 게이트 선폭(L)은 0.6 μ m, finger 당 소자폭(W)은 10 μ m로서 multi-finger 형태의 구조를 사용하였다. 설계에는 finger 수 m이 최소 10 이상인 트랜지스터들을 사용하였으며, m=20으로 소자폭이 200 μ m인 NMOS 트랜지스터의 측정된 차단주파수 f_t 는 약 18GHz였고 최대 오실레이션 주파수 f_{max} 는 약 17.5GHz였다.

그림 4는 시뮬레이션에 사용한 NMOS 트랜지스터의 매크로 모델을 보여 주고 있다. 그림 4의 점선 사각형 부분은 회로 시뮬레이션 시 사용되는 finger 수 만큼으로 병렬 처리되는 부분을 의미한다. 그림 4의 R_S 와 R_D 는 finger 수와 무관하게 고정된 값으로 multi-finger 형태에서 소스와 드레인에 연결되는 콘택 및 배선저항의 고려를 위한 것으로서, 이들 저항 값으로는 dc 전류-전압 특성을 맞추기 위해 1.2 Ω 을 지정하였다. 이들 저항은 측정 결과에서 나타나는, finger 수 증가에 따른 드레인 전류의 증가를 감소를 보정하는 기능을 한다. 그림 4의 R_G 와 R_{SUB} 는 게이트 저항과 기판 저항으로 트랜지스터의 고주파 특성을 좌우하는

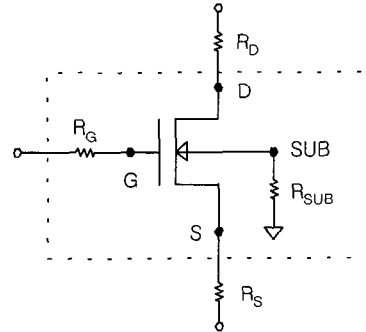


그림 4. NMOS 트랜지스터의 매크로 모델

Fig. 4. Macro model of the NMOS transistor.

주요한 변수들이다. 이들의 값은 개략적으로 finger 수 증가에 따라 반비례하여 감소하는 특성을 나타내며 트랜지스터 자체의 s-파라미터 fitting 과정을 통해 finger 수 m이 1인 경우 85 Ω 과 4.5K Ω 으로 각각 지정하였다. 예를 들어 m=20으로서 소자폭이 200 μ m인 경우의 R_G 와 R_{SUB} 는 병렬 처리되어 각각 4.25 Ω 과 225 Ω 으로 지정된다. 접합 커패시턴스의 값을 결정하는 소스와 드레인 면적은 실제 레이아웃 크기에 의거하여 정확히 지정하였다.

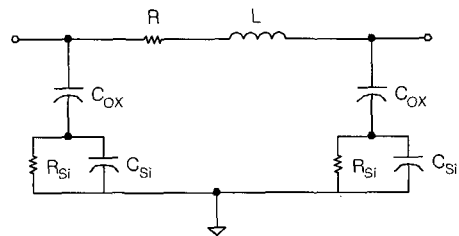


그림 5. 나선 인덕터의 등가회로

Fig. 5. Equivalent circuit of the spiral inductor.

그림 5는 칩 설계에 사용한, metal3 층을 이용한 on-chip 나선 인덕터의 등가회로이다. 그림에서 L은 금속배선의 인덕턴스이고, R은 금속배선의 저항에 해당된다. COX는 금속배선과 기판간 커패시턴스, RSi와 CSi는 기판의 분포저항과 기생 커패시턴스이다. 그림

의 각 변수 값들은 인덕터의 s-파라미터 fitting 과정에서 추출하여 지정하였다. 제작된 인덕터의 Q는 5 정도로 측정되었다.

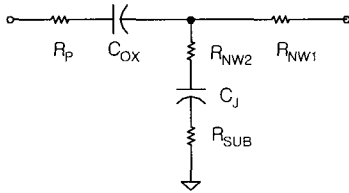


그림 6. N 웰 커패시터의
등가회로

Fig. 6. Equivalent circuit of the
n-well capacitor.

사용된 HP 0.5 μ m 공정은 1 개의 폴리 층만을 사용하므로 설계에 필요한 커패시터로는 n 웰 커패시터를 사용하였다. N 웰 커패시터는 폴리사이드 전극/게이트 산화막/n 웰 전극으로 이루어지나, n 웰과 p 기판 사이에 접합 커패시턴스등의 기생 요소들이 존재하므로 그림 6의 등가회로로 표현할 수 있다. 그림 6의 R_p 는 폴리사이드 전극의 배선저항이고, R_{NW1} 은 게이트 산화막 바로 밑의 노드(n 영역)와 n 웰 콘택 사이의 분포저항에 해당되며, R_{NW2} 는 게이트 산화막 바로 밑의 노드에서 웰/기판 접합에 이르는 분포저항에 해당된다. C_J 는 웰/기판 접합의 커패시턴스이고, R_{SUB} 는 웰/기판 접합에서 기판 콘택에 이르는 분포저항에 해당된다.

n 웰 커패시터 등가회로의 각 변수 값들을 추출하기 위한 모델링 과정이 사전에 이루어졌어야 하나 인위적인 문제로 그러하지 못하는 상황이 되었다. 따라서 회로 시뮬레이션시 등가회로의 C_{OX} 와 C_J 값으로는 공정 파라미터로 제공된 면적당 값들을 그대로 사용하였고, R_p , R_{NW1} 은 작은 것으로 판단하여 무시하고, R_{NW2} 값은 n 웰 면적을 고려하여 개략적인 추정치를 지정하였다. R_{SUB} 는 MOS 트랜지스터에서 추출된 값으로부터 n 웰 면적을 고려하여 계산한 추정치를 사용하였다. 레이아웃 형태는 면적 최소화를 위해 폴리사이드와 n 웰 모두 정사각형 형태로 하였고,

상부 층인 폴리사이드 층에는 금속 배선을 추가하여 저항 감소를 추구하였으나 R_{NW1} 저항의 감소를 위한 배려는 고려치 않았다.

칩 설계에 필요한 저항으로는 폴리 저항을 사용하였고, 저항의 증가회로에는 기생 성분들을 무시하고 저항만을 고려하였다.

그림 7은 제작된 up-conversion 믹서 칩의 SEM 사진으로서, 실제 칩 크기는 1.3mm \times 1.4mm이다. 상부 중앙에는 VSS, VDD, VSS 전원 패드를 위치시켰고, 좌측 중앙에는 GSG 형태의 IF 입력 패드, 하부 중앙에는 LO 입력 패드, 우측 중앙에는 RF 출력 패드를 위치시켰다. 상부의 좌우에 위치한 2개의 큰 사각형은 Gilbert 셀에 부하로 사용된 나선형 인덕터들이고, 중앙 우측의 큰 사각형은 RF 출력 매칭에 사용된 나선형 인덕터이다.

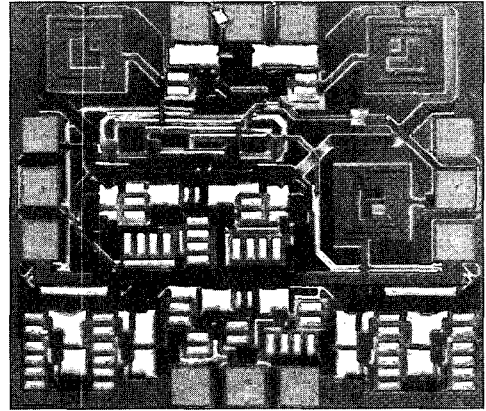


그림 7. 제작된 up-conversion 믹서 칩의 사진

Fig. 7. Photograph of the fabricated
up-conversion mixer chip.

IV. 칩 특성 분석

회로 시뮬레이션에는 Silvaco사의 SmartSpice[17]를 사용하였다. 제작된 칩의 측정 결과, 초기 시뮬레이션에 의해 예상된 칩의 특성과 제작된 칩의 특성 사이에는 큰 차이가 발견되었다. 본 장에서는 초기 시뮬레이션에서의 문제점을 분석하고 파악된 문제점들을 고

려한 2차 시뮬레이션 결과와 측정 결과의 비교를 통해 사용된 공정을 이용한 up-conversion 믹서의 구현 가능성에 대해 논의해 본다.

4.1 초기 시뮬레이션 결과와 측정 결과의 비교 분석

초기 시뮬레이션 결과에서 입출력 임피던스 정합 정도는 신호 반사율에 해당되는 s11 또는 s22의 크기가 IF 입력 측 경우 -12.6dB, LO 입력 측 경우 -14.7dB, RF 출력 측 경우 -28dB로서 모두 일반적인 요구 사양인 -10dB 미만을 충족하는 수준이었다.

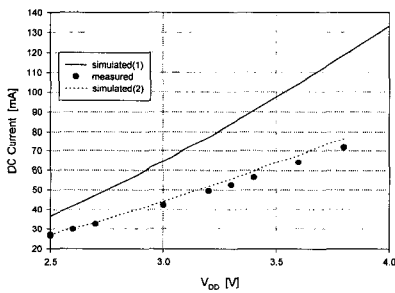


그림 8. DC 전류-전압 특성
Fig. 8. DC I-V characteristics.

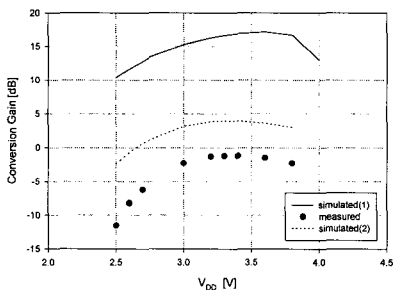


그림 9. 전원전압에 따른 IF-RF 변환이득 특성; PIF=-31dBm, PLO=-1dBm
Fig. 9. IF-RF conversion gain vs supply voltage characteristics; PIF=-31dBm, PLO=-1dBm.

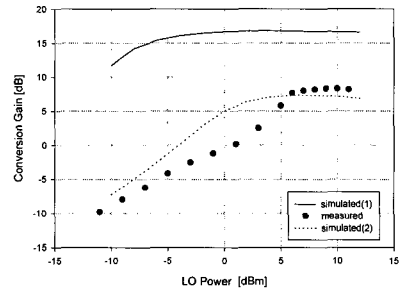


그림 10. LO 입력 전력에 따른 IF-RF 변환이득 특성; PIF=-31dBm, VDD=3.3V
Fig. 10. IF-RF conversion gain vs LO input power characteristics; PIF=-31dBm, VDD=3.3V.

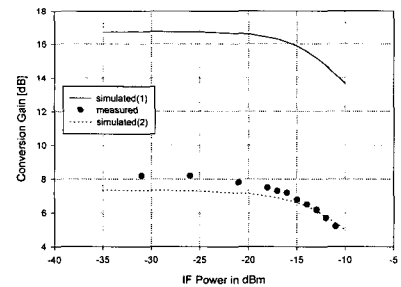


그림 11. IF 입력 전력에 따른 IF-RF 변환이득 특성; PLO=7dBm, VDD=3.3V
Fig. 11. IF-RF conversion gain vs IF input power characteristics; PLO=7dBm, VDD=3.3V.

그림 8에는 초기 시뮬레이션에 의한 dc 전류-전압 특성(simulated(1): 실선)을 도시하였다. 3.3V의 공급 전원에서 예상되는 총 dc 전류는 약 84mA였다. 그림 9에는 초기 시뮬레이션에서 IF 입력 전력이 -31dBm이고 LO 입력 전력이 -1dBm 경우 전원전압에 따른 IF-RF 변환이득 특성(simulated(1): 실선)을 도시하였다. 3.3V의 전원전압에서 변환이득은 17dB로 만족할 수준이 예상되었다. 그림 10에는 초기 시뮬레이션에서 IF 입력 전력이 -31dBm이고 전원전압이 3.3V인 경우 LO

입력 전력에 따른 IF-RF 변환이득 특성(simulated(1): 실선)을 도시하였다. 그림 11에는 초기 시뮬레이션에서 IF 입력 전력에 따른 IF-RF 변환이득 특성(simulated(1): 실선)을 도시하였다. 그림의 특성은 LO 입력 전력이 7dBm이고 전원전압은 3.3V인 경우이다. 초기 시뮬레이션에 의한 입력 1dB compression point P1dB(in)은 -14dBm 정도로 예상되었다. 시뮬레이션에 사용한 LO 입력 전력의 크기는 측정결과에서 변환이득이 충분히 나오는 경우와 비교하기 위해 큰 값을 사용하였다.

그림 8-11에는 초기 시뮬레이션 결과(simulated(1): 실선)와 제작된 칩의 측정 결과(measured: 점)를 함께 도시하였다. 측정결과 VDD=3.3V, PLO=7dBm, PIF=-31dBm에서 변환이득은 8dB 정도로 초기 시뮬레이션치인 17dB에 대비 매우 작았다. 측정 결과 LO 입력측의 s11의 크기는 1.67GHz에서 -6.7dB 정도로 -10dB 사양을 만족하지 못하였으나, RF 출력측의 s11의 크기는 1.9GHz에서 -20dB 정도로 양호하였다. 출력 신호의 LO suppression 정도는 LO 입력 대비 -20dBc 정도로 일반적 사양을 만족하는 수준이었다.

그림 8-11에서 볼 수 있는 바와 같이 초기 시뮬레이션 결과와 측정 결과 사이에는 큰 차이가 나타났으며, 이에 대한 원인 분석을 시도하였다. 우선 그림 8에서 보면 dc 전류가 시뮬레이션에 의한 예상치와 대비하여 크게 감소하였음을 알 수 있다. 제작된 칩 내의 트랜지스터 자체 특성을 조사한 결과 dc 전류-전압 특성이 초기 시뮬레이션의 예상치에 비교하여 다소 감소하였으나 그림 8에서와 같은 큰 차이를 야기할 정도는 아니었다. 따라서 가능한 원인으로는 전원 배선저항에 의한 전압강하와 칩 설계에 저항으로 사용한 폴리 저항 값의 증가를 들 수 있었다. 시뮬레이션으로 폴리 저항 값의 증가에 따른 특성 변화를 조사한 결과 그림 8에서와 같은 큰 차이는 발생할 수 없음을 확인하였고, 이에 근거하여 주된 원인은 전원 배선저항에 의한 전압강하인 것으로 결론지을 수 있었다. 이에 따라 전원배선의 저항을 고려한 시뮬레이션을 시도하여 측정치에 fitting을 시도하여 보았다. 하지

만 dc 전류 값이 유사해지도록 전원의 배선저항을 고려한 경우에도 그림 9-11에서와 같은 변환이득의 큰 차이는 나타나지 않았다. 상세 분석 결과 이러한 차이는 등가 모델링이 미비하였던 n 웰 커패시터의 잘못된 등가회로 변수 값들의 사용에 기인한다고 결론지을 수 있었다. n 웰 커패시터의 레이아웃 시, n 웰 저항이 1 \square 에 불과하다는 판단 아래 참고문헌 [18]에서와 같이 저항을 줄이기 위한 노력을 하지 않은 것이 큰 문제를 야기한다는 사실을 뒤늦게 발견하였다. 설계에 가장 많이 사용된 10pF의 n 웰 커패시터 경우, 그림 6의 등가회로 각 변수 값들을 초기 시뮬레이션에서는 C_{OX}=10pF, C_J=0.5pF, R_F=0 Ω , R_{NW1}=0 Ω , R_{NW2}=50 Ω , R_{SUB}=200 Ω 으로 지정하였다. 이들 저항 중 0 Ω 으로 무시한 R_{NW1}이 변환이득 값의 예측에 큰 차이를 야기한다는 사실을 시뮬레이션을 통해 확인할 수 있었다. 이러한 오류는 그림 10에서 알 수 있듯이 그림 1의 LO CGCS Balun 및 버퍼 증폭기에서 예상했던 전압이득이 전혀 나오지 못하는 결과를 초래한 것으로 추정된다. 또한 그림 7에서 전력 소모가 큰 LO CGCS Balun 및 버퍼 증폭기를 공급전원 패드에서 가장 먼, 칩의 하단부에 위치시킨 것도 전원 배선저항에서의 전압강하 영향을 극대화하는 문제를 야기한 것으로 판단된다.

4.2 2차 시뮬레이션 결과와 측정 결과의 비교 분석

이러한 판단에 근거하여 전원 배선에서의 전압강하를 고려하고 n 웰 커패시터의 등가저항 값들을 조정된 2차 시뮬레이션 결과(simulated(2): 점선)를 그림 8-11에 함께 도시하였다. 2차 시뮬레이션에서 VSS 및 VDD 배선저항의 값들은 각각 4 Ω 으로 지정하였다. 설계에 가장 많이 사용된 10pF의 n 웰 커패시터 경우, 커패시터 등가회로의 저항 값들을 2차 시뮬레이션에서는 R_{NW1}=20 Ω , R_{NW2}=5 Ω , R_{SUB}=50 Ω 으로 수정하여 지정함으로써 비교적 측정 결과에 가까운 시뮬레이션 결과를 얻을 수 있었다. 그림 8-11에서 알 수 있

듯이 초기 시뮬레이션 결과와 비교할 때 2차 시뮬레이션 결과(simulation(2): 점선)와 측정 결과(measured: 점)의 차이가 현저하게 줄었음을 알 수 있다. 이러한 결과는 본 연구에서 시도한 회로 시뮬레이션 방법이 어느 정도 타당함을 보여준다고 할 수 있겠다.

참고로 2차 시뮬레이션 결과에서 Gilbert 셀에 입력되는 balanced 신호의 이득과 위상차를 조사해 보았다. IF 신호 경우의 이득, 이득차 및 위상차는 각각 7.715dB, 0.15dB, 176.76도이고(1차 시뮬레이션 결과: 9.753dB, 0.181dB, 179.82도), LO 신호 경우의 이득, 이득차 및 위상차는 각각 -0.68dB, 2.02dB, 186.98도(1차 시뮬레이션 결과: 11.89dB, 0.116dB, 181.36도)로서 2차 시뮬레이션 경우 LO 신호의 이득이 전혀 얻어지지 못함을 알 수 있었다. 이는 그림 10의 LO power가 클 경우에만 어느 정도의 변환이득이 얻어지는 실험결과와 일치한다.

2차 시뮬레이션 결과, 설계에 사용한 n 웰 커패시터의 등가저항 RNW1의 값은 20Ω 정도로 예상되었으나 폴리사이드 전극의 레이아웃을 multi-finger 형태로 개선하여 n 웰 콘택의 수를 최대화함으로써 RNW1의 값은 크게 감소시킬 수 있을 것으로 사료된다. 레이아웃 개선을 통해 10pF 커패시터의 RNW1을 20Ω에서 5Ω으로 줄일 경우의 변환이득을 시뮬레이션한 결과 LO 입력 전력이 7dBm, 전원전압이 3.3V인 조건에서 10.983dB로 향상됨을 확인하였다. 또한 추가로 전원배선을 보강하여 배선저항 값을 2Ω으로 줄일 경우의 시뮬레이션에 의한 변환이득은 12.307dB로 향상됨을 확인하였다. 이러한 특성 개선의 예측을 기반으로 VDD=3V, RNW1=5Ω, RM=2Ω를 가정한 시뮬레이션에 의해 예상되는 칩의 특성을 표 1에 정리하였다.

표에서 볼 수 있는 것과 같이 전원 배선저항 및 n 웰 커패시터의 레이아웃 개선을 통해 칩 특성의 개선이 가능하며, 이들 값이 개선될 경우 VDD=3V, PIF=-20dBm 조건에서 PLO=-5dBm 경우 9dB, PLO=0dBm 경우 11dB의 변환이득을 보이는 참고문헌 [14]의 칩 특성에는 다소 부족하나 유사한 특성 구현이 가능하다는 판단이 든다. 하지만 표 1에 정리한 특성은 단지 RNW1과 전원 배선저항의 값만을 개선한 설계에 의해 예상되는 결과로서 칩 특성의 최적화를

표 1. 예상 칩 특성

Table 1. Expected chip characteristics.

변수	예상 특성	조건
IF 입력 조건	PIF=-35dBm	
LO 입력 조건	PLO=-5dBm	
변환이득	-6.17dB	PLO=-5dBm
	9.93dB	PLO=0dBm
	10.55dB	PLO=7dBm
P1dB	-13.8dBm,	입력 기준, 출력 기준
	-8.63dBm	
IP3	-3dBm, 1dBm	입력 기준, 출력 기준
매칭 정도	IF: -13.44dB	신호반사율 s11의 크기
	LO: -9.30dB	
	RF: -20.69dB	
LO suppression	-36.72dBc	LO 입력 대비
image suppression	-4.23dBc	RF 출력 대비
dc 소비전류	51.45mA	3V

위한 설계 개선이 안된 상황이라는 점을 고려한다면 표 1보다 우월한 특성을 구현하는 것이 가능하다고 기대된다. 하지만 그림 10의 특성에서 볼 수 있는 것처럼 1.67GHz 대역에서의 충분한 LO 신호 증폭에는 다소 문제가 있는 것으로 보이며 이를 해결하기 위해서는 좀더 미세한 CMOS 공정을 사용해야 할 것으로 판단된다.

V. 결론

회로 시뮬레이터인 SPICE를 이용하여 1.9GHz 대의 CMOS up-conversion 믹서를 설계하였고, 회로 설계를 위한 시뮬레이션 과정을 소자 모델링을 포함하여 상세히 설명하였다. 0.5 μ m HP CMOS 공정을 이용하여 칩을 제작한 결과, 제작된 칩의 특성과 초기 시

물레이션에 의해 예상되는 특성 사이에 큰 차이점이 발견되어 이에 대한 원인 분석을 시도하였다. 분석 결과, 전원 배선저항에 의한 전압강하와 사용한 n 웰 캐패시터의 레이아웃 형태 및 등가회로 모델링에 미비점이 있었다는 결론을 내릴 수 있었다. 이러한 문제점들을 고려한 2차 시물레이션 결과, 측정 결과와 유사한 특성을 시물레이션할 수 있었다. 이 두 가지 설계의 미비점들이 개선될 경우의 칩 특성을 시물레이션을 통해 조사하였고, 이 경우 MESFET 공정을 사용한 유사 칩의 특성에 다소 부족하나 근접하는 칩 특성의 구현이 가능함을 보였다. 초기 시물레이션의 예상에서 벗어난 부분을 고려하여 설계의 최적화를 시도한다면 본 연구에 사용한 공정으로도 1.9GHz 대역의 CMOS 믹서 구현의 가능성이 보이나, 충분한 LO 신호의 증폭을 위해서는 좀더 미세한 공정의 사용이 필요치 않나 하는 판단이 든다.

참고 문헌

- [1] A. Rofougaran, J. Y.-C. Chang, M. Rofougaran, and A. A. Abidi, "A 1 GHz CMOS RF front-end IC for a direct-conversion wireless receiver," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 880-889, July 1996.
- [2] A. N. Karanicalas, "A 2.7V 900MHz CMOS LNA and mixer," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 1939-1944, Dec. 1996.
- [3] A. Rofougaran et al., "A single-chip 900-MHz spread-spectrum wireless transceiver in 1- μ m CMOS__Part II: Receiver design," *IEEE J. Solid-State Circuits*, vol. 33, no. 4, pp. 535-547, April 1998.
- [4] J. Zhou and D. J. Allstot, "A fully integrated CMOS 900MHz LNA utilizing monolithic transformers," *ISSCC, Digest of Technical Papers*, pp. 132-133, San Francisco, CA, Feb. 1998.
- [5] J. Crols and M. S. J. Steyaert, "A single-chip 900Mhz CMOS receiver front-end with a high performance low-IF topology," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1483-1492, Dec. 1995.
- [6] F. Piazza and Q. Huang, "A high linearity, single-ended input double-balanced mixer in 0.25 μ m CMOS," *Proceedings of the 24th European Solid-States Circuits Conference*, pp. 60-63, Hague, Netherlands, Sept. 1998.
- [7] S. Wu and B. Razavi, "A 900MHz/1.8GHz CMOS receiver for dual band applications," *ISSCC, Digest of Technical Papers*, pp. 124-125, San Francisco, CA, Feb. 1998.
- [8] J. Janssens, M. Steyaert, and T. Ohguro, "A 0.25 μ m CMOS I/Q-channel downconversion mixer with active coil for DCS-1800 applications," *Proceedings of the 24th European Solid-States Circuits Conference*, pp. 56-59, Sept. 1998.
- [9] P. Kinget and M. Steyaert, "A 1-GHz CMOS up-conversion mixer," *IEEE J. Solid-State Circuits*, vol. 32, no. 3, pp. 370-376, Mar. 1997.
- [10] M. Borremans and M. S. J. Steyaert, "A 2-V, low distortion, 1-GHz CMOS up-conversion mixer," *IEEE J. Solid-State Circuits*, vol. 33, no. 3, pp. 359-366, March 1998.
- [11] A. Rofougaran et al., "A single-chip 900-MHz spread-spectrum wireless transceiver in 1- μ m CMOS__Part I: Architecture and transmitter design," *IEEE J. Solid-State Circuits*, vol. 33, no. 4, pp. 515-533, April 1998.
- [12] P. Orsatti, F. Piazza, and Q. Huang, "A 20-mA-receive, 55-mA-tansmit, single-chip GSM transceiver in 0.25- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 34, no. 12, pp. 1869-1880, Dec. 1999.
- [13] B. Razavi, "A 900-MHz/1.8GHz CMOS transmitter for dual-band applications," *IEEE J. Solid-State Circuits*, vol. 33, no. 5, pp. 573-579, May 1999.
- [14] H. Ma et al., "A GaAs upconverter MMIC with an automatic gain control amplifier for 1.9GHz PHS," *IEEE J. Solid-State Circuits*, vol. 33, no. 9, pp. 1297-1304, Sept. 1998.

- [15] <http://www.mosis.org/Technical/Processes/proc-hp-amos14tb.html>
- [16] 최진영, "RF 적용을 위한 MOS 트랜지스터의 매크로 모델링," 전자공학회논문지, 제36권, D편, 제5호, pp. 54-62, 1999년 5월.
- [17] SmartSpice Utmost III 12.3.0, a general purpose data acquisition, extraction, and modeling program for device characterization and SPICE modeling of semiconductor devices, Silvaco International, 1996.
- [18] C.-M. Hung, Y.-C. Ho, I.-C. Wu, and K. O., "High-Q capacitors implemented in a CMOS process for low-power wireless applications," IEEE Trans. Microwave Theory and Techniques, vol. 46, no. 5, pp. 505-511, May 1998.

저 자 소 개

崔 鎮 榮 (正會員)



1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월 ~ 1992년 8월 삼

성전자 반도체부문 수석연구원. 1992년 8월 ~ 현재 홍익대학교 과학기술대학 전자전기컴퓨터공학부 부교수. 주관심 분야는 RF 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임.