

정전 열 접합을 이용한 FED 스페이스의 초정정 정렬/탑재 공정 개발

論 文
49C-11-8

Development of Ultra-Clean Aligning/Mounting Process of FED Spacers using Electrostatic Bonding

朱炳權* · 姜文植** · 李允熙*
(Byeong-Kwon Ju · Moon-Sik Kang · Yun-Hi Lee)

Abstract - In this paper, a new idea about ultra-clean aligning and mounting method of FED spacers was introduced. The glass-to-glass electrostatic bonding process was employed in order to bond the micro-structures of spacers to black matrix area formed on an FED anode substrate. It is possible to get adhesive-free bonding interface and well-aligned spacer array on an FED anode substrate with a $\pm 5\mu\text{m}$ accuracy. Finally, 1 inch-sized FED panel was demonstrated to make sure of its applicability to FED panel fabrication.

Key Words : FED spacer, spacer alignment, spacer bonding, electrostatic bonding

1. 서 론

FED(Field Emission Display)에 있어서 스페이스는 그림 1에 보인 바와 같이 수 십 마이크로에서 수 밀리에 이르는 진공 간격(vacuum gap)을 일정한 폭으로 유지하고, 외부의 대기 압력에 의하여 진공 상태에 있는 전면(face-plate)과 후면(base-plate)이 붕괴되는 것을 방지하며, 디스플레이 동작 시에 cross-talk를 방지하는 역할을 한다[1].

본 연구에서는 FED 스페이스의 새로운 정렬/탑재 방식으로 정전 열 접합에 의한 스페이스-유리 일괄 정렬/접합

메커니즘을 도입하였으며, 이를 이용하여 스페이스-유리 접합, 스페이스 정렬 탑재용 기구의 설계 및 제작을 수행하였다. 이의 응용도 검증을 위하여 FED R&D 패널을 제작/평가하였으며, 음극 공정-양극 공정-스페이스 정렬/탑재 공정-패키징 공정-패널 동작 특성 평가를 수행하였다.

2. FED 스페이스의 정렬/탑재 공정

2-1. 스페이스-유리 정전 열 접합

정전 열 접합은 프리트를 사용하지 않는 접합, 저온-고강도-고정밀 접합을 특징으로 하며, 이를 바탕으로 하여 FED와 같은 진공 마이크로 전자 소자의 조립 및 패키징에 효과적으로 응용될 수 있다[2].

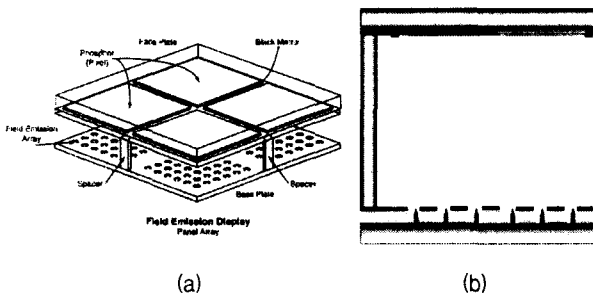


그림 1. FED의 상-하부 기관을 지지하는 스페이스의 개념도(a) 및 단면도(b)[1]

Fig. 1. Schematic diagram(a) and cross-sectional view(b) of FED spacers supporting upper and lower plates[1]

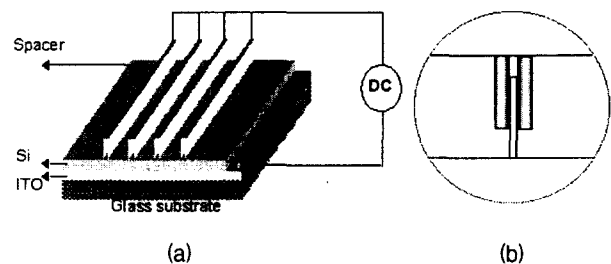


그림 2. 스페이스 어레이-유리 기관의 정전 열 접합 개념도(a) 및 스페이스 지지 및 전압 인가용 전극 구조(b)

Fig. 2. Schematic diagrams of spacer array-glass substrate electrostatic bonding process(a) and electrode structure for both supporting spacer and applying bias(b)

* 正 會 員 : KIST 情 報 材 料 素 子 研 究 中 心 研 究 員 / 先 任 / 責 任 研 究 員
接 受 日 字 : 2000年 3月 16日
最 終 完 了 : 2000年 5月 17日

비정질 실리콘 interlayer와 ITO(Indium Tin Oxide) 박막 전극을 이용하는 유리-유리 정전 열 접합 메커니즘은 앞서 설명된 바 있다[3]. 이를 토대로 하여 복수 개의 유리 스페이서를 유리 기판 상에 동시에 정렬/탑재시킬 수 있는 방법을 고안하고자 하였으며, 이의 개념도는 그림 2(a)에 보인 바와 같다. 즉, 스페이서들을 유리 기판 상에 정렬한 뒤 온도를 올린 상태에서 각각의 스페이서에 전압을 인가함으로써 정전 열 접합이 일어나도록 하였다. 이때 스페이서를 지지함과 동시에 전압 인가용 전극 역할을 하는 스페이서 전극은 그림 2(b)와 같이 클립 모양으로 설계하였다. 전압 인가용 전극의 경우, 스페이서를 핸들링하는 역할도 겸하기 때문에 클립 모양으로 설계되어야 하며, 이때 후면이 아닌 측면 전위가 인가되므로 이에 따른 스페이서 내의 전위 분포에 대한 해석이 선행되어야 한다.

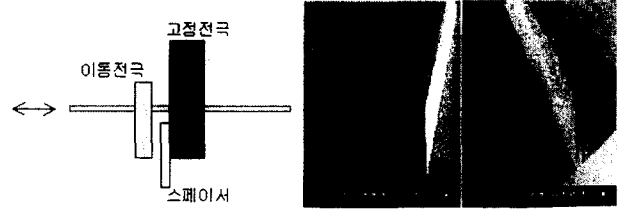


그림 4. 클립형 음극 구조(a)와 접합된 스페이서의 SEM 확대 사진(b)
 Fig. 4. Clip-shaped electrode structure(a) and SEM-magnified view of the spacer bonded on glass substrate(b)

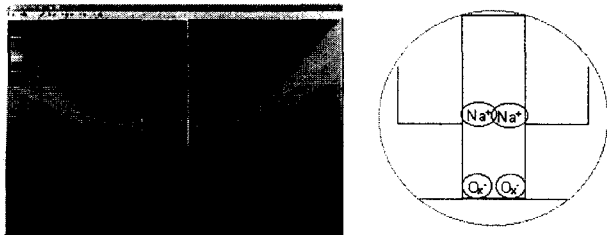


그림 3. 클립형 전극을 이용할 경우 스페이서 내부의 전위 분포(a) 및 이온 이동(b)
 Fig. 3. Potential distribution(a) and ion movement(b) in a spacer by using clip-shaped electrode

그림 2(b) 구조에 대해 Maxwell 전자기 시뮬레이터를 이용하여 전위 분포를 해석한 결과를 그림 3(a)에 나타내었다. 시뮬레이션 파라미터를 살펴보면, 스페이서 및 클립형 음극의 재질은 각각 파이렉스와 알루미늄으로 설정하였고, 스페이서의 폭은 80 μ m, 유리 기판과 금속 전극간의 거리는 100 μ m, 인가 전압은 300 V로 가정하였다. 스페이서 내부의 전위 분포를 살펴보면, 그림 3(a)에 보인 바와 같이 음극과 접촉되어 있는 지점으로부터 유리 기판과 접촉되어 있는 지점에 이르기까지 전위차가 존재하는 것으로 나타났다. 이를 통하여 스페이서의 온도가 상승한 상태에서 측면 전위가 인가되면 전위차에 의해 그림 3(b)에 보인 바와 같이 나트륨 이온이 음극 쪽으로 이동하고 스페이서-유리 계면에는 고정된 산소 음이온들이 형성됨으로써 정전 열 접합이 진행될 것으로 판단된다.

상기 시뮬레이션 결과를 토대로 한 사전 예비 실험으로써 클립형 음극을 이용한 측면 전위에 의해 단위 스페이서를 정전 열 접합하여 보았다. 사용된 스페이서는 rib 형으로 폭 80 μ m, 높이 2.1 mm, 길이 45 mm이고, 이를 다른 유리 기판 상에 정전 열 접합하는 기구의 측면 전극 구조는 그림 4(a)에 나타내었듯이 동축을 중심으로 고정 전극과 이동 전극으로 구성되어 있으며, 가공성 및 열 전도성을 고려하여 알루미늄 합금을 재료로 하였다. 또한 스페이서와 직접 접촉되는 전극물질로 얇은 구리 재질의 금속판을 사용하였다.

스페이서 어레이와 유리 기판 간의 정전 열 접합 조건(온도-전압)은 250 $^{\circ}$ C-300 Vdc로 하였으며, 이를 통하여 유리 기판 상에 탑재된 스페이서의 모양을 그림 4(b)에 보였다. 이는 ITO와 실리콘 interlayer가 코팅된 유리 기판 위에 길이가 45 mm이고, 종횡비가 21:1(높이 2.1 mm, 폭 80 μ m)인 유리 스페이서를 정전 열 접합한 경우에 해당한다.

2-2. 스페이서 정렬/탑재용 기구의 설계 및 제작

전술한 사전 예비 실험 결과를 토대로 하여 FED 스페이서 어레이를 FED 양극 기판 상에 동시에 정렬/탑재할 수 있는 기구를 설계, 제작하였다. 이러한 기구의 기본적인 개념은 그림 5에 나타낸 바와 같다. 즉, 복수 개의 스페이서들을 클립형 음극을 이용하여 핸들링한 뒤 일괄 정전 열 접합을 수행하는 원리를 이용하며, 여기에 부가 공정으로 스페이서 어레이들을 loading하여 탑재하고자 하는 양극 기판 위치로 이동시킨 뒤 정렬 및 정전 열 접합 후에 unloading하는 메커니즘이 추가되었다. 그림 6은 제작된 스페이서 정렬/탑재 기구로서, 정전 열 접합용 온도-전압 인가용 전가 장치가 함께 설치된 전체 시스템의 모양을 나타낸 것이다.

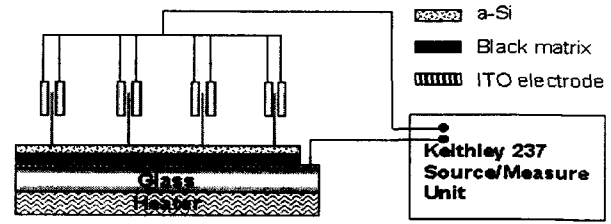


그림 5. 정전 열 접합 공정을 이용한 스페이서 일괄 정렬/탑재 기구의 개념도
 Fig. 5. Schematic diagram of FED spacer alignment and mounting tools using electrostatic bonding

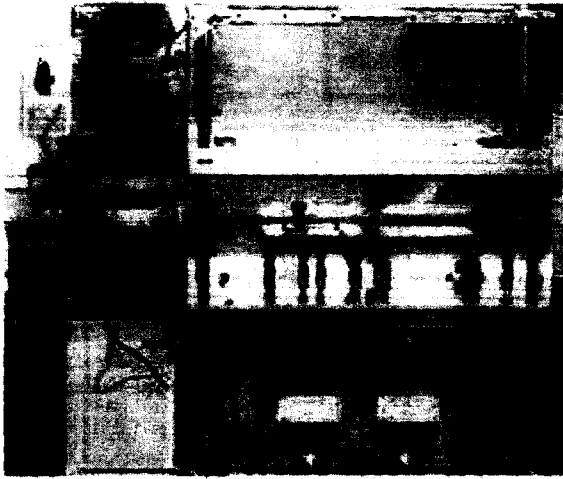


그림 6. FED 스페이스 정렬/탑재 기구
 Fig. 6. FED spacer alignment and mounting tools

3. FED 패널 응용

고안된 스페이스 정렬/탑재 공정 및 기구의 응용도를 평가하기 위하여 음극 제조-양극 제조-스페이스 정렬/탑재-패키징-특성 평가 과정을 거쳐 R&D 용 FED 패널을 제작하여 보았다.

3-1. 음극 공정

전계 방출용 음극으로서 탄소 박막 전자 방출원을 제작하였다. 즉, 유리 기판 상에 스퍼터링에 의해 2,000 ~ 2,500 Å 두께의 크롬 전극을 증착한 뒤 이 위에 500 Å 두께의 탄소 박막을 증착하였다. 탄소 박막 증착은 RF 마그네트론 스퍼터링을 사용하였고, graphite target, 200 W RF power, Ar ambient, 5×10^{-3} Torr working pressure, annealing (400 °C -30 min, $8N_2/2H_2$ ambient) 조건을 취하였다.

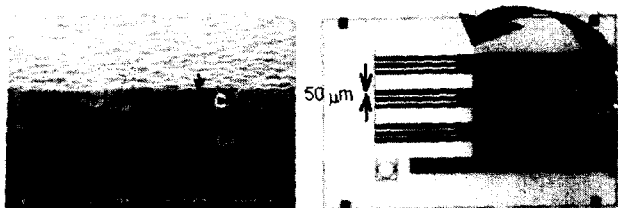


그림 7. 탄소박막/크롬전극을 이용한 FED 음극 기판의 SEM 단면도(a) 및 구조(b)
 Fig. 7. SEM cross-sectional view(a) and structure(b) of FED cathode using carbon film/chromium electrode

크롬 전극 및 탄소 박막을 증착한 후에 사진 식각 공정을

이용하여 패터닝 하였는데, 탄소 박막의 경우 RIE(Reactive Ion Etching), 크롬 전극의 경우 CR-7을 이용한 습식 식각 방법을 이용하였다.

탄소 박막 전자 방출원의 경우, 후속 열 처리 과정을 통하여 표면 거칠기 및 재료 구조를 변화 시켰으며, 또한 가장자리 방출 효과를 증가시키기 위하여 50 μm의 선폭을 갖도록 패터닝 함으로써 전자 방출 성능을 향상시키고자 하였다. 증착된 크롬 전극/탄소 박막 구조와 완성된 음극 기판의 모양을 그림 7에 나타내었다.

3-2. 양극 공정

양극 기판의 제조 공정은 그림 8을 통하여 설명될 수 있다. 즉, 유리 기판 (ITO-coated, 두께 1.1mm, sodalime, 8cm 8cm cutting)에 대해 ITO를 패터닝 한 뒤(276 lines), 이 위에 BM(Black Matrix)로서 Cr_xO_y + Cr 박막을 RF 스퍼터링에 의해 증착하였다(증착 조건 : 분위기 $Ar + (N_2 + O_2)$, 진공도 4 mTorr, 두께 2,500 Å).

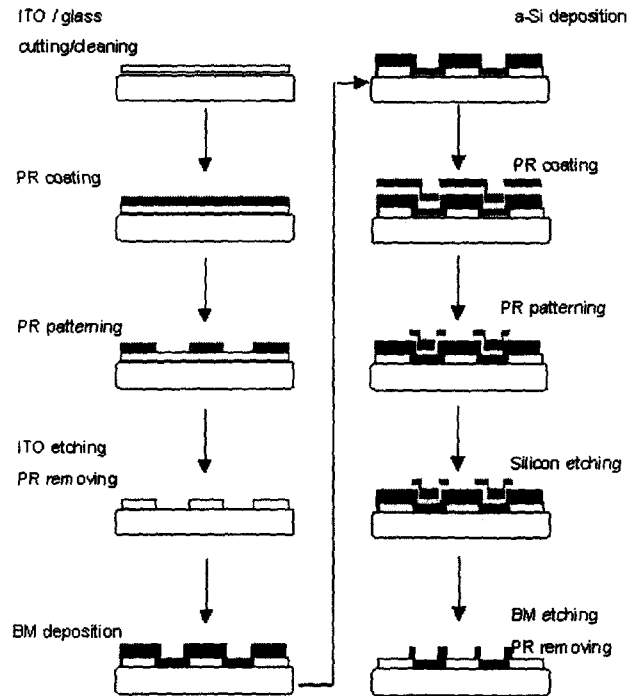


그림 8. FED 양극 기판의 제조 공정 순서도
 Fig. 8. Fabrication process of FED anode plate

다음으로 스퍼터링을 이용하여 실리콘 interlayer를 증착한 뒤(증착 조건 : 분위기 Ar, 두께 2,500 ~ 3,000 Å), BM 층과 실리콘 층을 리소그래피하여 패터닝하였다. 이때 실리콘은 RIE에 의해 건식 식각 하였으며, BM은 CR-7 용액을 이용하여 습식 식각 하였다. 마지막으로 전자선 증착법을 사용하여 ZnS:Mn 박막 형광체를 증착 하였으며, 전자선 증착 과정에서 스페이스가 정전 열 접합될 실리콘 interlayer/BM 영역은 shadow mask를 사용하여 선택적으로 보호하였다.

3-3. 스페이스 정렬/탑재 공정

앞서 고안된 스페이스 정렬/탑재용 기구를 사용하여 제조된 양극 기관의 BM 영역 내에 스페이스 어레이들을 일괄적으로 정전 열 접합하였다. 정전 열 접합 공정 조건은 250°C - 300 Vdc로 설정하였으며, 제작된 기구를 사용하여 스페이스 loading 정렬/탑재 정전 열 접합 스페이스 unloading 과정을 순차적으로 적용하였다. 그림 9는 정전 열 접합 공정시 나타나는 전류 파형을 나타낸 것이고, 1 개의 스페이스 및 25 개의 스페이스 어레이가 정렬/탑재된 양극 기관의 모양을 그림 10에 보였다.

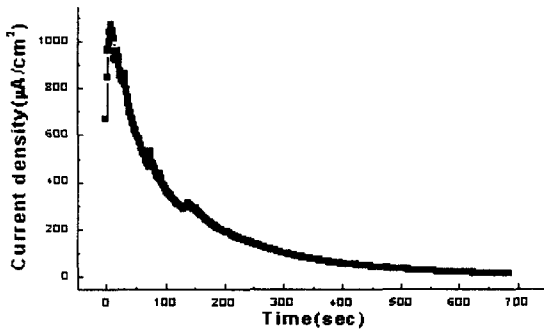


그림 9. 스페이스와 양극 기관의 정전 열 접합 과정에서 나타나는 전류 파형

Fig. 9. Current curve appeared during the electrostatic bonding between spacer and anode plate

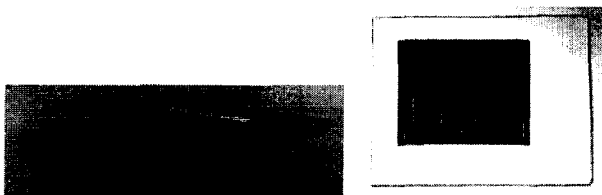


그림 10. 1 개의 스페이스(a) 및 25 개의 스페이스 어레이(b)가 정렬/탑재된 양극 기관의 모양

Fig. 10. Anode plates having well-aligned and bonded 1 spacer(a) and 25 spacer array(b)

3-4. 패키징 공정

제조된 음극 기관과 스페이스가 정렬/탑재된 양극 기관의 FED 패널 응용도를 검증하기 위하여 진공-정전 열 접합 메커니즘을 이용하는 tubeless 패키징 공정을 수행하여 FED R&D 패널을 제작하였다. FED tubeless 패키징은 앞서 보고된 바 있으며[3], 이의 공정 순서도와 이로서 패키징된 두 종류의 FED R&D 패널을 각각 그림 11과 12에 나타내었다.

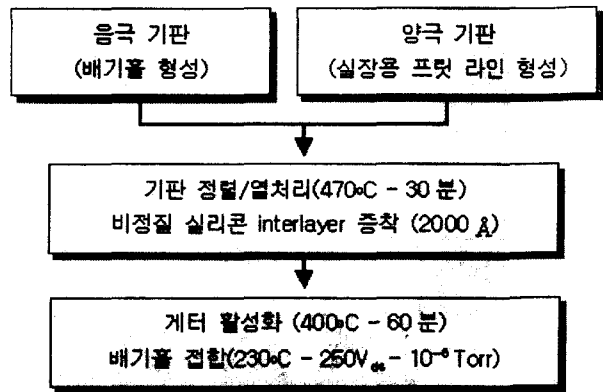


그림 11. FED tubeless 패키징의 공정 순서도

Fig. 11. Process chart of FED tubeless packaging

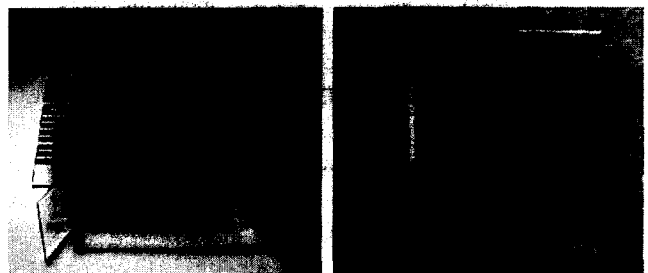


그림 12. 3,000 µm(a)와 600 µm(b) 피치를 갖는 FED R&D 패널의 모양

Fig. 12. Fabricated FED R&D panels with a pitch of 3,000 µm(a) and 600 µm(b)

3-5. FED R&D 패널 동작 특성 평가

상기 제반 공정을 거쳐 패키징된 FED R&D 패널의 동작 특성을 확인하였다. 그림 13은 패널 동작 시 얻어지는 전류

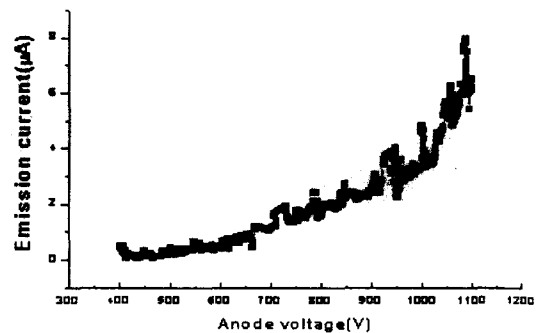


그림 13. FED R&D 패널의 방출 전류-전압 특성

Fig. 13. Emission current-voltage curve of the FED R&D panel

-전압 특성 곡선이고, 그림 14는 한 개의 화소에 대해 발광 전과 후의 모양을 나타낸 것이다.

3. 결 론

본 연구에서는 <유리-유리 간 정전 열 접합>을 토대로 한 <FED 스페이서 정렬/탑재 공정에 대한 기반 개념 구축>과 <FED R&D 패널 응용도 검증>에 중점을 두었다. 결과적으로 정전 열 접합 공정이 FED 스페이서의 정렬/탑재 공정에 적용 가능함을 제시할 수 있었으며, 아울러 본 연구를 통하여 제조된 FED R&D 패널이 청정함(cleanness) 면에서는 충분한 독창성이 있음을 강조하고자 한다. 즉, 탄소계 후막 방출원을 탄소계 박막 방출원으로, 후막 형광체를 박막 형광체로, 후막 BM을 박막 BM으로, 프린트 계열 스페이서를 유리 구조물 스페이서로, 프린트 접합을 정전 열 접합으로, 튜브가 있는 패키징을 튜브가 없는 패키징으로 전환하고자 하였다. 이러한 시도가 FED 선행 기술 연구의 토대가 되기를 바라며, 향후 스페이서의 기계적 강도 및 전자 축적에 따른 방전현상에 대한 실험 또한 수행 되어야 할 것이다.

감사의 글

본 연구는 전자통신연구원(ETRI)가 주관하는 정보통신부 선도기술사업에 의하여 수행되었으며, 이에 감사 드립니다.

참 고 문 헌

- [1] D.A.Cathey, Jr, Field-emission displays, Information Display, pp.16-20 (1995.10.).
- [2] 주병권, 오명환, 기관 접합 공정 및 이를 이용한 MEMS/FED packaging 기술 동향, 전기학회지, 제47권, 12호, pp.21-29 (1998.12)
- [3] W.B.Choi, B.K.Ju, Y.H.Lee, S.J.Jeong, N.Y.Lee, M.Y.Sung and M.H.Oh, Glass-to-glass bonding for vacuum packaging of field emission display in an ultra-high vacuum chamber using silicon thin film, J.Electrochem.Soc., vol.146, no.1 pp.400-404 (1999.1)

저 자 소 개



주 병 권 (朱炳權)
2000년 전기학회논문지 제 49C권 1호 참
조 관심분야 : 디스플레이 및 나노소자
Tel : 02-958-5775
E-mail : jbk@kist.re.kr



이 윤 희 (李允熙)
전기학회논문지 제 48C권 1호 참조 관심
분야 : 탄소나노튜브전자총 및 디스플레이
Tel : 02-958-5772
E-mail : lyh@kist.re.kr



강 문 식 (姜文植)
1971년 9월 10일생. 1998년 2월 상지대학
교 물리학과 졸업. 2000년 2월 경희대학원
정보디스플레이공학과 졸업(석사), 2000년
2월~현 KIST 정보재료소자 연구센터 인
턴연구원. 관심분야 : 전계방출표시소자

및 3차원 절연구조체