

멀티 드롭 멀티 보드 시스템을 위한 새로운 IEEE1149.1 경계 주사 구조

論 文
49D - 11 - 7

New IEEE 1149.1 Boundary Scan Architecture for Multi-drop Multi-board System

裴相民* · 宋東燮* · 姜成昊** · 朴英鎬***

(Sang-Min Bae · Dong-Sup Song · Sung-Ho Kang · Young-Ho Park)

Abstract - IEEE 1149.1 boundary scan architecture is used as a standard in board-level system testing. The simplicity of this architecture is an advantage in system testing, but at the same time, it makes a limitation of applications. Because of several problems such as 3-state net conflicts, or ambiguity issues, interconnect testing for multi-drop multi-board systems is more difficult than that of single board systems.

A new approach using IEEE 1149.1 boundary scan architecture for multi-drop multi-board systems is developed in this paper. Adding boundary scan cells on backplane bus lines, each board has a complete scan-chain for interconnect test. This new scan-path insertion method on backplane bus using limited 1149.1 test bus has less area overhead and more efficient than previous approaches.

Key Words : boundary scan, multi-drop multi-board system, system testing

1. 서 론

IEEE 1149.1 경계 주사(boundary scan)구조는 보드 수준의 상호 연결 테스트(interconnect test)에서 검증하는 테스트의 복잡성과 그에 따른 테스트 용이도와 비용의 문제를 생각해 볼 때, 기존의 in-circuit 테스트를 대체하는 효율적인 구조적인 테스트 용이화 설계(design for test)기법이다. VLSI의 집적도가 향상되며, 보드의 집적도가 증가하고 소자의 실장기술이 발전함에 따라 보드에 직접적인 물리적인 접점을 가하는 기존의 ATE(automatic test equipment)에 의한 in-circuit 테스트 방법은 비용 및 테스트 용이성의 문제점에서 한계를 가지게 되었다. 따라서, 각 소자의 입출력 단자 안쪽에 주사 이동 레지스터를 달아, 이를 직렬로 연결하여 경계 주사 경로를 만들어, 소자의 외부에서 표준화된 4개의 테스트 버스로 이를 제어할 수 있는 IEEE1149.1 경계 주사 구조는 보드 레벨의 시스템 테스트를 위한 표준으로 자리잡았다. [1][2][3]

마이크로프로세서와 메모리소자의 발전에 따라 시스템이 점점 더 복잡해짐에 따라, 현재의 디지털 시스템은 PC(personal computer) 시스템과 같이 규격화된 백플레인 버스(backplane bus)상에 각각의 역할을 갖는 보드들을 개발/유지/보수하는 멀티드롭(multi-drop) 멀티보드(multi-board) 시스템이 일반적인 경향이다. 기존의 IEEE

1149.1 경계 주사 구조는 하나의 환형 직렬 주사 경로만을 지원하기 때문에, 이를 보드 레벨에서 멀티드롭 멀티보드 시스템에 적용하기 위해서는 여러 가지 한계점을 가지고 있다. 단순한 환형의 IEEE 1149.1의 경계 주사 경로를 확장하여, 시스템 수준의 테스트에 적용하기 위한 연구가 행해져 왔는데, 다중 보드 시스템에 대하여 여러개의 IEEE 1149.1 주사경로를 구축할 수 있는 BT-Link(backplane test bus link)나 shadow protocol등의 IEEE 1149.1 믹싱(muxing) 구조에 대한 연구나, 프로토콜(protocol)의 패킷(packet) 변환을 통하여, IEEE 1149.1 경계 주사 구조와 연결할 수 있는 IEEE1149.5 MTM 버스의 표준이 세워졌다.[4]

IEEE 1149.1 경계 주사 구조를 보드 수준의 상호 연결 테스트에 적용하기 위해, 테스트 벡터의 알고리즘과 이를 BIST(build-in-self-test)로 구현하기 위한 구조에 대한 연구가 행해져왔다. 상호 연결 테스트에서, 네트(net)의 고장을 탐지해내고, 그 위치를 찾아내기 위한 효율적인 테스트 벡터와, 네트에 연결되어있는 다중 드라이버에 의한 충돌 문제나 삼상 드라이버에 의한 모호성의 문제를 해결하는 문제와, 상호 연결 테스트를 구현하는데 있어서 하드웨어와 테스트 시간의 오버헤드(overhead)가 적은 BIST에 대한 다양한 연구가 행해졌다. [5][6] 그런데, 일반적으로 멀티드롭 다중 보드 시스템에서는 각각의 보드들의 백플레인 상의 위치가 결정되어있지 않으며, 테스트 하고자 하는 보드가 백플레인 상의 슬롯에 위치해 있지 않을 수도 있다. 따라서, 보드 수준의 상호 연결 테스트에서 생겼던 여러 문제들이 더 복잡한 양상으로 나타나게 된다.

본 논문에서는 이제까지의 보드 수준에서의 상호 연결 테스트를 멀티드롭 다중 보드 시스템으로 확장하는데 있어서 생기는 여러 문제점을 살펴보고, 보드와 백플레인 사이의 상호 연결 테스트를 위한 효율적인 경계 주사 구조를 제안한

* 準 會 員 : 延世大 工大 電氣電子工學科 碩士課程

** 正 會 員 : 延世大 工大 電氣電子工學科 副教授 · 工博

*** 正 會 員 : 韓國電子通信研究院 前任技術員

接受日字 : 2000年 10月 14日

最終完了 : 2000年 11月 9日

다. 2장에서는 기존의 IEEE 1149.1 경계 주사 구조를 시스템 수준으로 확장하는 방법과 그 문제점을 살펴보고, 3장에서는 멀티드롭 다중 보드 시스템의 상호 연결 테스트를 위한 효율적인 경계 주사 구조를 제안한다. 4장에서는 3장의 경계 주사 구조를 적용하기 위한 시스템의 구조를 살펴본다. 5장은 3장과 4장의 구조를 이용한 시스템의 상호 연결 테스트 방법에 대하여 설명하도록 하겠다. 마지막으로 6장에서 본 논문에서 제안한 구조의 제한점과 장단점을 요약하고, 결론을 맺도록 하겠다.

2. IEEE 1149.1의 확장과 이에 따른 문제점

기존의 IEEE 1149.1 경계 주사 구조는 직렬 환형(serial ring)형태의 주사사슬(scan chain)만을 지원한다. 이를 다중 보드 시스템에 적용하기 위해서는 주사 경로를 Daisy Chain, Multiplex, Multi-drop형태로 구현할 수 있다. Daisy Chain형태는 각 보드의 TDI와 TDO가 직렬로 연결되어 있어서, 전체 주사 경로가 하나의 긴 직렬 환형 형태를 가지게 된다. 따라서, 각각의 보드를 동시에 테스트 할 수 없으며, 중간에 보드가 하나라도 빠져있으면 주사 경로가 끊어져 테스트를 할 수 없게 된다. Multiplex형태는 각각의 보드마다 TMS 선을 가지고 있어, 마스터 보드쪽에서 테스트하고자 하는 TMS선을 활성화시키는 구조이다. 따라서 모든 보드가 백플레인상에 없어도 되나, 각 보드들을 동시에 테스트 할 수 없고, N개의 보드에 대하여 3+N개의 테스트 버스의 오버헤드가 필요하다. Multi-drop형태는 기존의 4개의 테스트 버스를 통하여 테스트하고자 하는 보드의 주소를 전달하여, 테스트시에 그 보드만이 활성화되는 구조이다. 이 구조는 테스트 버스의 오버헤드가 없고, 각 보드가 가진 BIST에 의해 동시 테스트가 가능하고, 계층적인 시스템에도 적용할 수 있다는 장점이 있다. 그래서, 이와 같은 멀티드롭 다중 보드 시스템을 지원하기 위해서 BT-Link나 ASP(Address Scan Port)를 이용한 shadow 프로토콜 등이 개발이 되었다.

위에서 설명한 멀티드롭 형태의 경계 주사 구조를 이용하여, 그림 1과 같이 멀티드롭 다중 보드 시스템을 구성하면 마스터 보드 상에서 개별 보드의 테스트 버스를 하나의 IEEE 1149.1 경계 주사 구조를 사용하는 것과 같이 접근할 수 있다.

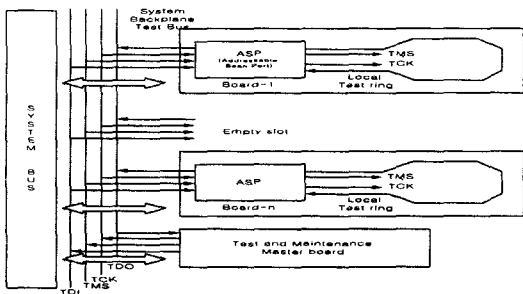


그림 1. 멀티드롭 멀티보드 시스템
Fig 1. Multi-drop multi-board system

그림 1과 같이 경계 주사 경로를 구성하였을 때에, 멀티드롭 멀티보드 시스템의 상호 연결 테스트는 단일 보드 수

준에서 보다 더 복잡한 문제점을 발생시킨다.[7] 먼저 하나의 보드내의 소자의 입출력중 일부는 보드 내 소자간에 연결이 되어 있고, 다른 일부는 백플레인 버스를 통하여 다른 보드와의 상호 연결에 사용되며, 보드 안의 소자와 다른 보드와 공통으로도 연결될 수 있다. 또한 백플레인상의 특정 보드의 존재 유무에 따라 입력단이 유동(floating)상태로 될 수도 있다. 따라서, 특정한 한 보드의 완전한 상호 연결 테스트를 위하여서는 백플레인 상에 그 보드이외에 한 개 이상의 보드가 존재해야 함을 알 수 있다.

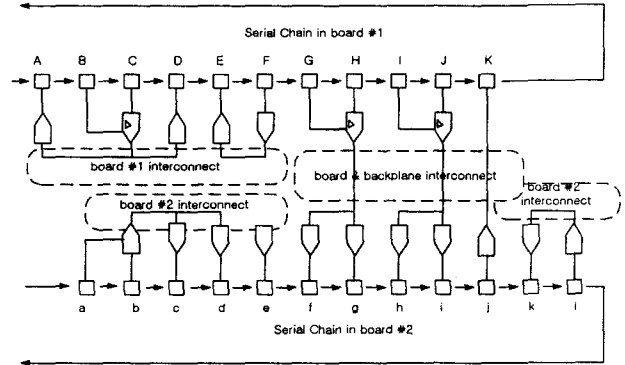


그림 2. 다중 보드의 주사 사슬 구성
Fig 2. scan chain in multi-board system

그림 2와 같이 두 개의 보드가 백플레인을 통해 연결되어 있을 때, 네트 H와 g, J와 i의 연결상태를 보기 위해서는 보드 #1과 보드#2의 각각의 직렬경로에 대해서 주사입력(scan-in), 주사출력(scan-out)을 해주어 함을 알 수 있다. 따라서, 각 보드 자체의 BIST를 꾸미기 위해서, 보드의 백플레인상에 접해있는 다른 보드의 경계 주사 셀에 대한 정보가 필요함을 알 수 있다. 그렇다면, 한 보드의 BIST를 수행하기 위하여 백플레인상에 있는 다른 모든 보드의 네트 정보를 알아야하는 경우가 생길 수 있으며, 각각의 보드마다 다른 길이의 주사 경로와 네트 정보가 개별 보드의 BIST의 ROM에 저장되어야 한다면, 오버헤드가 상당히 크며, BIST의 구조 자체도 매우 복잡해질 것임을 예측할 수 있다. 또한, 개별 보드 안의 회로 구성이 바뀌어지게 되면, 그에 따라 시스템내의 모든 보드의 BIST의 ROM 내용을 바꾸어야 하므로, 비효율적인 방법이 될 것이다.

따라서, 각 보드의 BIST 회로를 설계할 때, 다른 보드의 구성에 상관없이 개별 보드의 상호 연결 테스트와 보드와 백플레인간의 상호 연결 테스트가 가능한 구조의 연구가 필요하게 된다.

3. 멀티드롭 다중 보드 시스템을 위한 새로운 경계 주사 구조

멀티드롭 다중 보드 시스템에서 개별 보드의 상호 연결 테스트와, 보드와 백플레인간의 상호 연결 테스트를 하기 위한 가장 효율적인 방법은 그림 3과 같이 보드를 설계 시에 보드와 백플레인간의 접점에 경계 주사 셀(boundary scan cell)을 삽입하여, 보드와 백플레인 사이를 분리하는 방법이

다. 개별 보드의 상호 연결 테스트를 수행 할 경우에는 개별 보드 상에 위치한 보드와 백플레인 사이의 경계 주사 경로에 개별 보드의 넷 구성에 적절한 논리 값을 주사 입력력 하고 주사 출력하여, 개별 보드 상의 소자들의 경계 주사 경로와 비교함으로써, 개별 보드의 모든 넷이 하나의 보드 위에 있는 것으로 설정하고 상호 연결 테스트를 수행 할 수 있다. 이에 따라, BIST 회로의 구성도 단순해지는 장점이 있다. [2]

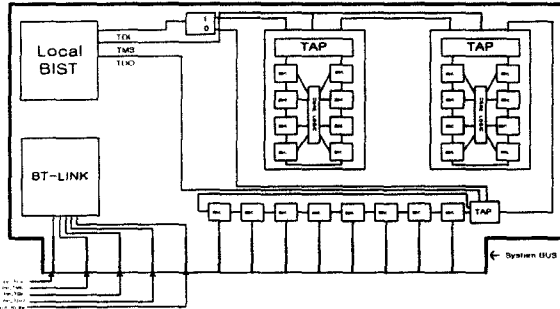


그림 3. 멀티보드의 일반적인 경계 주사 구조 구성
Fig 3. Typical boundary scan chain in multi-board system

그러나, 실제 보드를 설계할 때 그림 3과 같이 개별 보드와 백플레인사이의 경계 주사 경로를 구성하기 위하여 보드 내의 소자와 백플레인 사이에 경계 주사 셀이 포함된 버스 트랜시버(transceiver)와 리시버(receiver) 역할을 하는 소자를 삽입해야 하는 것은, 개별 보드내의 임출력 단자의 수와 소자 수가 증가되는 오버헤드가 있으며, 개별 보드의 설계자가 버스와 인터페이스를 위해 보드 내 소자와 버스 트랜시버/리시버 소자와의 AC, DC특성까지 포함하여 고려해야 하는 부담이 생기게 된다. 또한, PCI(peripheral component interface) 브리지(bridge) 소자와 같이 백플레인 버스와 직접 연결하도록 설계된 소자는 보드 설계에 사용할 수 없는 단점이 생기게 된다.

백플레인 버스와 개별 보드간의 인터페이스를 담당하는 브리지 소자의 내부에 기존의 경계 주사 경로이외에 위에서 언급한 또 다른 보드/백플레인간의 경계 주사 경로를 가지는 것도 하나의 대안이 될 수 있으나, 이는 주사 경로를 구분하기 위한 적절한 멀티플렉싱(multiflexing) 구조가 필요하게 됨을 의미하며, 따라서 소자의 설계가 IEEE 1149.1 표준을 벗어나게 된다.

따라서, 본 논문에서는 이에 대한 해결책으로 개별 보드의 소자가 IEEE 1149.1 표준만을 지원한다는 가정 하에 개별 보드의 BIST구조와 테스트 마스터 보드의 구조를 변경하여, 상호 연결 테스트를 수행할 수 있는 구조를 제안한다.

이 구조는 마스터 보드 쪽에 백플레인 버스의 값을 관찰하고 제어 할 수 있는 양방향 경계 주사 셀을 이용한 경계 주사 경로를 구성하고, 개별 보드의 BIST모드시에는 백플레인 버스상의 기존의 테스트 버스를 이용하여 개별 보드의 IEEE 1149.1 경계 주사 경로와 연결하여, BIST쪽에서 보았을 때 한 개의 주사경로처럼 보이게 하는 것이다. 이때 기존의 테스트 버스를 이용하기 위하여, 개별 보드 Local BIST의 TMS 신호는 양방향성을 가져야 하며, BIST의 시작과 끝을 알릴 수 있는 프로토콜이 있어야 한다. 또한 테

스트되지 않는 슬레이브 보드의 백플레인과 연결된 출력 드라이버들은 하이 임피던스(hi-impedance)의 상태로 되어 있어야 한다. 마스터 보드 쪽에서 개별 보드의 경계 주사 경로를 제어할 때는 그림 4와 같은 주사 경로가 형성되어진다.

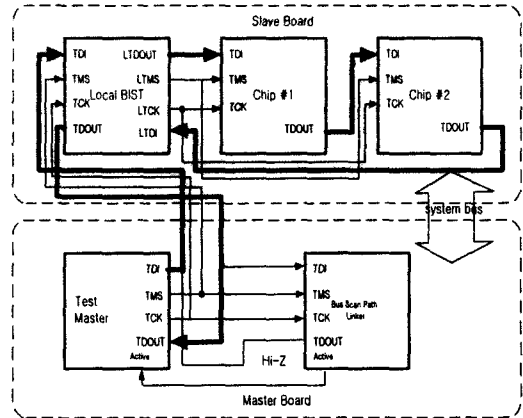


그림 4. 테스트 마스터가 경계 주사 사슬을 제어 할 때의 주사 경로
Fig 4. Scan-path under test master controls boundary scan cells.

이 경우 TMS는 테스트 마스터에서 Local BIST 회로 쪽으로 전달된다. 그래서 TMS와 TCK는 테스트 마스터의 출력에 동기되게 된다. 또한 마스터보드의 Bus Scan Path Linker의 TDO는 하이 임피던스 상태를 가지게 된다. 전체 주사 경로는 Test Master쪽에서 하나의 IEEE 1149.1 버스를 보는 것처럼 제어 할 수 있다.

그림 5는 개별 보드에서 BIST동작을 실행 시에 주사 경로를 나타낸 것이다. 이 경우 TMS는 Local BIST 회로 쪽에서 Bus Scan Path Linker쪽으로 향하게 되고, 테스트 마스터의 TMS와 TDI는 하이 임피던스 상태를 가지게 되며, 개별 보드에서 보았을 때, 백플레인의 주사 경로까지를 포함하여 하나의 IEEE 1149.1 버스를 보는 것처럼 제어 할 수 있다. BIST동작이 끝난 후에도 여전히 TCK는 테스트 마스터쪽 출력의 TCK에 동기되어있고, 테스트 마스터쪽의 TDO으로 여전히 신호가 들어가나, TMS 신호가 BIST 동작전에 하이 임피던스의 상태로 있으므로, 유효한 신호를 전달하기 어렵다. 따라서, Bus Scan Path Linker쪽의 테스트 버스를 이용하여, BIST가 끝났다는 신호를 주며, Bus Scan Path Linker가 Active단자를 이용하여, 테스트 마스터 쪽에 슬레이브 보드의 BIST동작이 끝났음을 알리고, 테스트 마스터쪽의 TDI, TMS 신호를 하이 임피던스에서 동작상태로 바꾸게 된다.

그림 5의 구조를 가지면, 마스터 보드의 버스 쪽에 양방향 경계 주사 셀을 삽입함으로써, 개별 보드의 상호 연결 테스트시 개별 보드의 백플레인 경계면에 주사 셀을 삽입한 것만큼, 주사 경로가 단순해지며, 개별 보드와 백플레인 간의 상호 연결 테스트 시에도 주사 경로가 단축된다. 그러나, 개별 보드에 백플레인과의 경계면에 경계 주사 셀을 단 것과는 달리 동시에 개별 보드의 BIST를 진행 할 수 없는 단점이 있다.

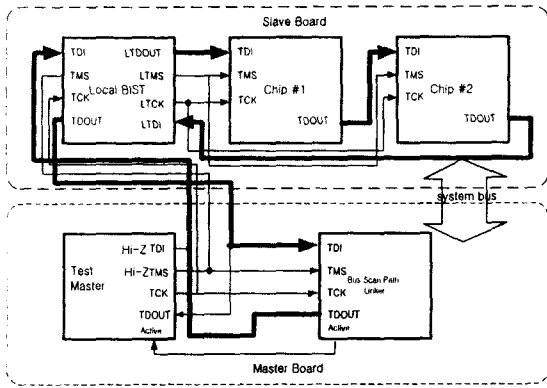


그림 5. Local BIST가 경계 주사 사슬을 제어 할 때의 주사 경로
 Fig 5. Scan-path under local BIST controls boundary scan cells

4. Local BIST 및 Master Board의 구성

4.1 Local BIST 구조

Local BIST는 각각의 개별 보드에 위치하여, 개별보드의 상호 연결 테스트를 수행하는 역할을 한다. 기존의 상호 연결 테스트를 위한 BIST 구조에 추가하여 TAP 제어기를 통하여 IEEE 1149.1 확장 명령어 방식으로 RUNBIST 명령을 디코드 하여, 새로운 주사 경로를 설정하고, Local BIST를 실행시키는 회로가 추가된다. 또한 Local BIST 회로가 테스트를 끝마친 결과를 마스터 보드의 Bus Scan Path Linker에 보내어, 테스트 마스터를 다시 활성화시키기 위해 IEEE 1149.1 확장 명령어를 보내는 회로가 추가로 필요하다.

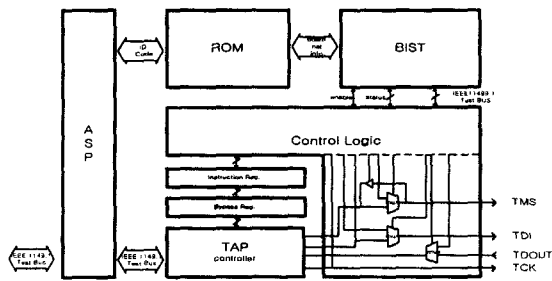


그림 6. Local BIST의 블록 다이어그램
 Fig 6. Local BIST block diagram

그림 6에서 보는 것과 같이 Local BIST에는 ROM 블록에 BIST를 위한 네트 정보 이외에 개별 보드 내 소자와 백플레인 버스간의 경계 주사 셀을 하이 임피던스 상태로 만들기 위한 주사 경로 지정 정보가 추가로 들어가 있고, 확장된 IEEE 1149.1 명령어 형식으로 TAP 제어기에 의하여 BIST동작이 활성화(ENABLE)/비활성화(DISABLE)되게 된다. 이때, 백플레인 버스상에 위치한 경계 주사 셀의 구조는 백플레인 버스의 구조에 의하여 고정되어 있으므로, 다른 개별 보드의 구성에 상관없이 개별 보드의 테스트 회로를 설

계할 수 있다.

4.2 테스트 마스터 보드의 구조

Bus Scan Path Linker는 시스템 버스상에 양방향 경계 주사 셀을 삽입하는 역할을 한다. Local BIST의 IEEE 1149.1 확장 명령어 ENABLE/DISABLE에 의하여 활성화 또는 비활성화가 된다. 또한 개별 보드의 테스트가 끝난 후 액티브 신호를 테스트 마스터에 보내 활성화 시키는 역할을 한다.

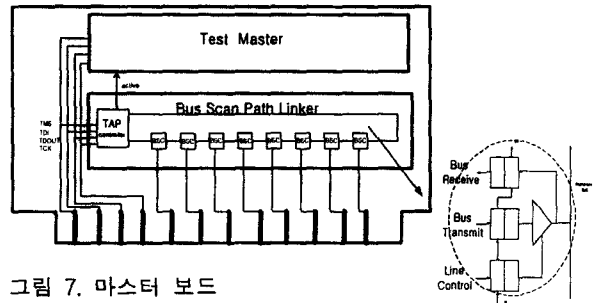


그림 7. 마스터 보드
 Fig 7. Master Board

그림 7을 보면, 마스터 보드의 Bus Scan Path Linker의 양방향 경계 주사 셀이 시스템 버스쪽에 연결되어 있는 것을 볼 수 있다. 테스트 마스터는 Bus Scan Path Linker의 Active 단자에 의하여 활성화가 된다.

5. 새로운 경계 주사 구조를 이용한 테스트 방법

3장과 4장에서 제시한 경계 주사 구조를 이용하여, 개별 보드의 상호 연결 테스트를 하기 위한 IEEE 1149.1 버스를 이용한 테스트 순서를 살펴보도록 하겠다.

새로운 경계 주사 구조를 이용한 테스트 방법은 그림 8에서와 같이 진행된다.

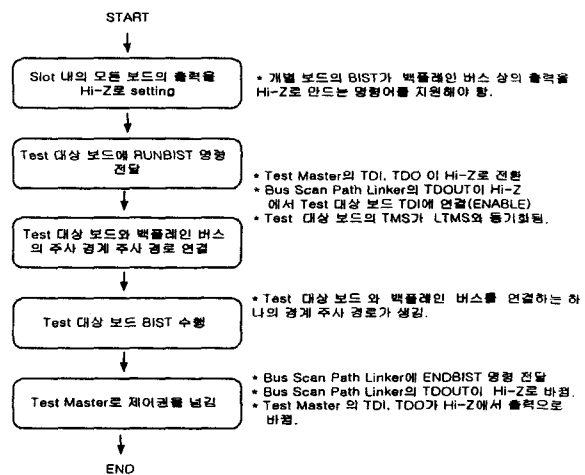


그림 8. 개별 보드의 상호 연결 테스트 순서
 Fig 8. Test sequence for individual board interconnect test

각각의 개별 보드는 BT-Link 또는 ASP(Addressable Scan Port)를 이용한 Shadow 프로토콜에 의하여 백플레인 상의 테스터 마스터 보드와 연결되어 있다. 우선 각각의 다중 보드에 있는 Local BIST 회로에 하이 임피던스 명령을 주어서, 테스트 하고자하는 보드 외의 다른 보드의 출력을 백플레인 버스와 분리시킨다. 다음 테스트하려는 보드의 주사 경로를 ASP의 쉐도우(shadow) 프로토콜을 통하여 연결하고, 테스트 하고자하는 보드의 Local BIST 회로에 RUNBIST 명령을 전달한다. 명령어를 전달하는 것과 동시에 테스트 마스터(Test Master)의 TDI와 TMS는 하이 임피던스 상태가 된다. 이와 동시에, Local BIST 회로는 마스터 보드의 Bus Scan Path Linker(이하 BSPL)에 대하여 ENABLE 명령을 주어, BSPL 안에 위치해있는 백플레인 버스에 대한 경계 주사 경로와 테스트하고자 하는 보드의 지역 경계 주사 경로와 연결되게 한다. 이후에, Local BIST 회로의 ROM에 저장된 보드의 구성에 따라 테스트 벡터를 주사입력/주사출력을 반복하며, 테스트 하고자 하는 보드의 상호 연결 테스트를 수행하게 한다. 테스트 하고자 하는 보드의 BIST가 끝나면, Local BIST 회로는 마스터 보드의 BSPL을 경유하여, 마스터보드의 테스트 마스터가 제어하게 하도록 한다. 이때 테스트 마스터의 TMS는 하이 임피던스 상태이므로, TDI와 TCK만으로는 유효한 제어신호를 받아들일 수 없으므로, BSPL과 Local BIST사이의 테스트 버스를 이용하여, BSPL에 의해 만들어진, Active 신호를 통하여 테스트 마스터가 제어를 하도록 한다. 이때 테스트의 모든 동작은 테스트 마스터의 TCLK에 의해 동기되며, TMS 신호만이 양방향성을 가지게 된다.

표 1. 상호 연결 테스트 시스템의 비교

Table 1. Comparison of interconnect test systems

	[7]	[2]	본 논문의 접근 방법
H/W 오버헤드	저	고	중
테스팅 시간	고	저	중
BIST 설계 용이성	하	상	상
시스템 설계 용이성	하	하	상

본 논문에서 제안한 경계 주사 구조를 사용할 경우, 개별 보드상에 경계 주사 셀을 삽입하지 않고, 두 개 이상의 개별 보드를 사용하여 상호 연결 테스트를 수행하는 경우와 비교하여, 표 1에서 비교한 것과 같이 주사 경로는 1/2 이하로 줄어들어, 테스트 수행시간이 줄어드는 효과가 있으며, 개별 보드의 설계자가 독립적으로 설계를 진행 할 수 있는 장점이 있다. 그 밖에도, 멀티 드롭 다중 보드 시스템에 대해서도, 단일 보드의 상호 연결 테스트에 쓰이는 BIST구조를 유사하게 적용 할 수 있다. 또한, 개별 보드상에 경계 주사 셀을 삽입하는 경우와 비교해도 주사 경로는 동일한 길이를

가지며, 각각의 개별 보드에 경계 주사 셀을 삽입하는 것 만큼의 오버헤드가 줄어드는 효과가 있다. 단 이 경우에는 각각의 개별 보드의 BIST를 동시에 수행할 수 있는 장점은 없어지게 되나, 백플레인 버스의 중간에 소자를 삽입하는 온라인 상의 시스템의 오버헤드에 비교해서, 오프 라인상의 테스트 시간의 오버헤드는 충분히 적다고 말할 수 있다. 따라서, 본 논문의 접근 방법이 시스템 설계의 용이성과 BIST 설계의 용이성에서 기존의 방법보다 우수하다. 또한 하드웨어 오버헤드와 테스트 시간의 측면에서도 장점을 가지고 있다.

6. 결 론

본 논문에서는 IEEE 1149.1 경계 주사 구조를 멀티 드롭 다중 보드 시스템의 상호 연결 테스트에 적용하여, 자체 내장 테스트가 용이하고, 시스템 오버헤드가 적은 확장된 경계 주사 구조를 제안하였다. 멀티 드롭 다중 보드 시스템에서는 단일 보드의 상호 연결 테스트의 삼상 드라이버에 의한 충돌 문제와 하이 임피던스에 의한 모호한 네트의 논리 값 검출 문제가 보다 더 복잡적으로 나타나, 상호 연결 테스트를 위한 자체 내장 테스트 회로의 설계를 더욱 더 어렵게 만든다. 본 논문에서 제안한 경계 주사 구조는 백플레인 버스에 양방향 경계 주사 셀을 삽입하고, 이를 테스트 대상 보드의 경계 주사 경로와 연결하여 테스트 대상 보드에서 자체 내장 테스트 회로를 구현하기 쉽게 만들어 준다. 이를 위하여 마스터 테스트 콘트롤러와 개별 보드 BIST회로의 수정이 필요하나, 각각의 개별 보드 설계자가 다른 보드의 구성에 상관없이 테스트 구조를 설계할 수 있는 경계 주사 경로의 단순화의 장점이 더 크다.

참 고 문 헌

- [1] K. P. Parker The Boundary-Scan Handbook, Kluwer Academic Publishers, 1992.
- [2] Texas Instruments IEEE Std 1149.1 (JTAG) Testability, Semiconductor Group, 1997.
- [3] A. Hassan, J. Rajski, V. K. Agarwal "Testing and Diagnose of Interconnects using Boundary Scan Architecture", Proc. of International Test Conference, pp. 126-137, 1998.
- [4] L. Whetsel, "Hierarchically Accessing 1149.1 Applications in a System Environment", Proc. of International Test Conference, pp. 517-526, 1993.
- [5] C. Su, S. Jou, and Y. T. Ting, "Decentralized BIST for 1149.1 and 1149.5 Based Interconnects", Proc. of European Design and Test Conference, pp. 120 -125, 1996.
- [6] C. Su, and Y. T. Chen, "Comprehensive Interconnect BIST Methodology for Virtual Socket Interface", Proc. of Asian Test Symposium, pp. 259-263, 1998.
- [7] C. Su, and Y. T. Chen, "Boundary Scan BIST Methodology for Reconfigurable Systems", Proc. of International Test Conference, pp. 774-782, 1998

저 자 소 개



배 상 민 (裵 相 民)

1973년 10월 15일생. 1998년 광운대 제어
계측공학과 졸업. 2000년~현재 연세대 전
기전자공학과 석사과정

E-mail : warmice@cowboys.yonsei.ac.kr



강 성 호 (姜 成 昊)

1963년 4월 13일생. 1986년 2월 서울대
공대 제어계측공학과 졸업. 1988년 5월
The University of Texas at Austin 전
기 및 컴퓨터공학과 졸업 (석사). 1992년
5월 The University of Texas at Austin

전기 및 컴퓨터공학과 졸업(공학). 미국 Schlumberger연구
원. Motorola 선임연구원. 현재 연세대학교 공과대학 전기전
자공학과 부교수.

Tel : 02-2123-2775, Fax : 02-313-8053

E-mail : shkang@yonsei.ac.kr



송 동 섭 (宋 東 燮)

1974년 7월 24일생. 2000년 전국대 전기공
학과 졸업. 2000년~현재 연세대 전기전자
공학과 석사과정

E-mail : dssong@cowboys.yonsei.ac.kr



박 영 호 (朴 英 鎬)

1985년 대전산업대학교 전자계산학과 졸
업. 1983~현재 한국전자통신연구원. 교환
전송기술연구소 시스템종합팀 선임기술원.
관심분야 : CAD, 컴퓨터네트워크

E-mail : yhpark@etri.re.kr