

ESD에 의한 반도체 소자의 손상특성

김두현[†] · 김상렬^{*}

충북대학교 안전공학과 · *안동과학대학 산업보건과
(2000. 8. 30. 접수 / 2000. 12. 13. 채택)

Damage and Failure Characteristics of Semiconductor Devices by ESD

Doo-Hyun Kim[†] · Sang-Ryull Kim^{*}

Department of Safety Engineering, Chungbuk National University

^{*}Department of Industrial Health, Andong Science College

(Received August 30, 2000 / Accepted December 13, 2000)

Abstract : Static electricity in electronics manufacturing plants causes the economic loss, yet it is one of the least understood and least recognized effects haunting the industry today. Today's challenge in semiconductor devices is to achieve greater functional density pattern and to miniaturize electronic systems of being more fragile by electrostatic discharges(ESD) phenomena. As the use of automatic handling equipment for static-sensitive semiconductor components is rapidly increased, most manufacturers need to be more alert to the problem of ESD. One of the most common causes of electrostatic damage is the direct transfer of electrostatic charge from the human body or a charged material to the static-sensitive devices. To evaluate the ESD hazards by charged human body and devices, in this paper, characteristics of electrostatic attenuation in domestic semiconductor devices is investigated and the voltage to cause electronic component failures is investigated by field-induced charged device model(FCDM) tester. The FCDM simulator provides a fast and inexpensive test that faithfully represents ESD hazards in plants. Also the results obtained in this paper can be used for the prevention of semiconductor failure from ESD hazards.

Key Words : static electricity, electrostatic discharges(ESD), field-induced charged device model(FCDM), semiconductor failure

1. 서 론

정전기 장해대책의 기본은 정전기의 발생을 억제하는 것과 축적된 전하를 될 수 있는 대로 조속히 완화시키는 것이다. 정전기로 인한 장해는 여러 분야에서 발생되고 있으며 그 중요성 및 심각성을 간과할 수 없다. 특히 반도체 분야는 경제성, 고성능화, 고신뢰성화의 실현을 위한 기술경향은 미세화, 집적화를 필요로 하며 접합깊이, 게이트 산화막, 트랜지스터의 길이 등이 더욱 더 작아지고 있다. 이러한 반도체 분야에서의 기술개발의 경향으로 인해 소자가 정전기방전(ESD; Electrostatic Discharge)으로부터 입을 수 있는 손상의 가능성은 날로 증가하고 있다. 이에 대한 대책으로 정전기에 대한 보호회

로를 설계하고 소자에 부착하고 있기 때문에 어느 정도의 정전기방전에 대한 내성을 보유하고 있으나 그 근본적인 해결책으로는 미흡하다. 따라서 막막소형화, 경량화로 인해 정전기 내성이 줄어드는 반도체소자를 위한 대한 대책이 꾸준히 제시되어야 한다. 정전기에 의한 반도체소자의 파괴현상은 외부의 정전기가 소자에 방전된 경우나 정전기를 축적한 소자가 외부의 접지 도전체에 접촉되어 방전한 경우 그리고 소자 주위의 전기장 환경이 급변할 때 발생하기 때문에 소자의 정전기에 대한 내성을 강화하는 방법 이외에도 정전기로부터 자유로운 환경을 조성하는 것도 중요하다. 정전기를 적절하게 제어하기 위해서는 소자의 정전기 완화특성, 정전기내성 및 주위의 정전기의 특성과 이력 등에 대한 폭넓은 조사 및 연구가 필요하다. 정전기 방전현상을 해석하기 위한 모델로 여러 가지가 제시되고 있으며 이들을 이용한 실험 및 연구가 활발

[†] To whom correspondence should be addressed.
dhk@cbucc.chungbuk.ac.kr

히 진행되고 있다. 그러므로 정전기 방전으로 인한 피해를 최소화하기 위해서는 실제의 정전기 방전 환경과 가장 근접하게 일치하는 모델을 선정하여 해석하고 대책을 수립하는 것이 바람직하다.

본 연구에서는 반도체소자의 정전기 완화특성 실험^{1,2)}에서 나타난 반도체소자의 완화특성을 이용하여 반도체소자의 정전기방전 특성을 해석한다. 또한 반도체소자의 대전방지 및 방전으로 인한 피해정도를 규명하기 위하여 소자의 전계유도에 의한 대전현상을 해석하는데 가장 적합한 유도대전소자모델(Field-induced Charged Device Model : FCDM)³⁻⁶⁾을 적용한다. FCDM Simulator를 제작하고 현재 많이 생산·사용되고 있는 반도체소자를 이용한 실험을 통하여 자료를 수집하고 이를 분석하여 반도체소자의 손상 특성 및 위험성을 제시하고자 한다

2. 유도대전소자모델(FCDM)

2.1. 유도대전소자모델

반도체소자가 제조공정이나 운반 등에서 여러 가지 원인에 의해 소자 자체가 대전상태가 된 후 다른 물체와 접촉하는 경우에 급속한 정전기방전을 일으킴으로써 소자의 파괴 가능성을 해석하는 모델은 대전소자모델(CDM)⁷⁻⁹⁾이다. 이에 비해 유도대전소자모델(FCDM)은 대전소자모델(CDM)과 매우 유사한 모델로서 소자주변의 전장(전계) 변화에 의해 소자내부에 발생하는 과도전압, 과전류에 기인하여 유도된 정전기방전현상을 해석하는 모델이다. 반도체소자는 미세화 됨에 따라 MOS(Metal Oxide Semiconductor) 트랜지스터의 게이트 산화막과 절연막의 박막화에 의해 절연내압이 낮아지고 있다.^{10,11)} 반도체 제조공정과 전자기기의 조립공정이 자동화되면서 소자의 마찰공정이 증가하여 소자 자체가 대전하는 현상이 발생하기 쉽도록 되어 있다. 대전된 디바이스의 리드핀이 금속체에 접촉하여 전하가 흐름에 의해 급속히 전압이 상승하고 그 전압에 의해 주로 전계파괴가 발생한다. MOS 트랜지스터와 같이 산화막 게이트 구조를 가진 소자의 경우 외부 전계에 의해 대전되어 CDM과 같은 피해를 수반한다. CDM은 소자의 핀에 직접적으로 대전되는 경우인데 생산공정에서 이런 경우는 거의 발생되지 않는다. 따라서 대부분 ESD 문제들은 소자가 주위 환경의 충전체 근처에 있을 때 정전유

도에 의해 발생되기 때문에 이러한 생산공정에서 FCDM의 적용이 유용하다.

2.2. 유도대전소자모델(FCDM)의 방전이론

전계유도모델을 반도체부품에 적용하기 위해서는 소자의 대전이 선행되어야 하는 데, 소자가 대전되는 경우는 두 가지로 고려할 수 있다. 즉, 근접 대전체로부터 부품소자로의 대전 과 한 부품소자내의 절연부의 고정전하에 의한 전계로 인해 도전부에 유도된 이동가능한 전하에 의한 대전이다. 전자는 외부 전계에 의한 대전을 의미하며 대전체에 의해 손상을 잘 입는 MOS소자와 같이 전계에 민감한 부품에서 쉽게 나타난다. 후자는 소자의 절연부로부터 전계유도에 의한 대전을 의미하며, 초기에 대전되지 않은 소자에서 소자의 대전된 절연부(패키지)에 의해 리드에 전하분리가 일어나고 분리된 한 극성의 전하가 지면으로 방전하게 되면 리드상에 반대극성의 잔류전하가 남게되는 과정으로 나타난다.

지면에 대한 소자의 정전용량은 정전기 방전시에 수반되는 방출 에너지량과 파괴 한계치의 초과 여부를 결정하는데 중요한 역할을 하며, 대전된 소자의 전하가 집적체를 통하여 방전이 이루어지는 데, 지면에 대한 소자의 정전용량, 과도파의 전력을 소비하는 소자의 저항, 리드의 인덕턴스, 방전경로상의 저항(R_p), 방전경로상의 정전용량(C_p), 방전경로상의 인덕턴스(L_p) 등과 같은 요소들을 고려하는 것이 일반적이다. 그러나 대부분 실제조건에서 L_p 는 무시할 수 있는 정도이며 지면으로의 적은 임피던스 경로가 나타나는데 이는 R_0 가 아주 적거나 C_p 가 상당히 크기 때문이다. 이런 이유 때문에 적은 저항을 갖는 모델이 실제 상황을 단순화하거나 분석을 하는데 충분히 사용될 수 있다. 해석을 간단하게 하기 위해 위와 같이 저항과 인덕턴스를 세분하지 않고 총 저항을 $R[\Omega]$, 인덕턴스 $L[nH]$, 정전용량 $C[pF]$ 라 하면 이 경우의 방전 전류파형은 식 (1)의 감쇠 정현파(damped sinusoid)로 주어진다.

$$I(t) = \frac{V_0}{\omega L} e^{-\alpha \sin \omega t} \quad [A] \quad (1)$$

$$\begin{aligned} \text{여기에서 } \alpha &= R/2L \\ \omega &= \frac{1}{2L} \sqrt{\frac{4L}{C} - R^2} \\ V_0 : t=0 \text{에서 대전전압} \end{aligned}$$

유효면적을 A라 할 때 평균전력밀도는 식(2)와 같이 주어진다.

$$\frac{P_{AV}}{A} = \frac{1}{tA} \int_0^t R i^2(t) dt \quad [w/cm^2] \quad (2)$$

방전에너지는 식(3)으로 주어진다.

$$\Delta E = \frac{1}{2} C V_o^2 \quad [J] \quad (3)$$

식(3)은 단지 소자 정전용량과 초기전압에만 의존하여 방출된 에너지량을 나타내며 식(1)을 이용하여 방전전하량 및 에너지를 계산 가능하다. 이러한 에너지가 소자가 견딜 수 있는 어떤 임계값을 초과하게 되는 경우 잠정적으로 소자의 장애를 일으킬 수 있다. 이들은 FCDM을 적용하여 소자의 손상 여부를 알아보기 위한 자료를 제공한다.

3. FCDM 실험

반도체소자의 정전기 완화특성 실험에서 소자의 대전에 따른 완화특성은 소자의 형태, package용 재료, pin수에 대한 각각의 정전기완화특성을 실험을 통하여 파악하였는데, 본 실험에서는 반도체소자의 ESD에 의한 좀더 구체적이고 정량적인 위험성을 알아보기 위하여 OP Amp로 시중에서 판매되고 있는 package(DIP)형 소자를 선정하였으며, pin수와 인가전압에 따른 위험성을 측정하였다. 대전방지의 관점에서는 외부 전계에 의한 소자의 대전여부와 방전시의 소자의 위험성 정도를 아는 것이 중요하며, 이를 위해서는 정전기방전으로 인한 소자의 특성변화의 측정 및 분석이 필요하다. 측정시 대전소자의 표면상태, 특히 수분의 흡착상태와 공기중의 습도에 따라 측정치가 달라지므로 주의해야 한다. 본 실험에서는 FCDM테스터를 통하여 전극에 전압을 인가하여 전계를 형성시켜 소자에 대전시킨 다음 소자의 핀에 방전용 탐침을 접근시키는 AD(Approaching Discharge) 방법을 이용하여 방전을 시켰다. 그 후 소자의 특성변화 내지는 파괴여부를 알아보기 위하여 소자의 주요 측정항목 중 High값, Low값, CMRR(Common Mode Input Signal Rejection Ratio) 등의 측정값을 정상소자와 비교 분석하여 소자의 위험성을 고찰하였다. 특성변화와 파괴의 판단 기준은 분석시스템을 이용하여 소자

의 Vcc pin에 전압을 인가하여 측정항목 중 +값이 나와야 하는 High값의 경우에 -값이 나오거나, -값이 나와야 하는 Low값인 경우에 +값이 나오면 소자가 손상을 입은 것이며, noise를 제거하는 능력을 나타내는 CMRR의 경우는 정상소자의 수치와 차이를 나타내는 경우는 특성변화가 있는 것이고, 측정값이 나오지 않는 경우는 소자가 파괴된 것이다.

3.1. 사용소자의 종류 및 특성

반도체소자는 DIP(Dual In-line Package)형태가 주로 사용되며, 그 외에 SIP, SOJ, SOP, TSOP, QFP, ZIP, GTO 등의 형태가 많이 제조되고 있다. 본 실험에서는 Package형 8pin, 14pin DIP Device를 선정하여 각각의 pin수, 각각의 인가전압에 따른 ESD에 의한 반도체소자의 위험성을 파악하였다. Op-Amp의 ESD에 대한 내전압은 190~2.5[kV]이고, 에너지적 한계는 1.62~31.5[μJ]이다.

3.2. 실험장치 및 방법

본 실험에서 사용한 반도체소자에 대한 FCDM tester¹²⁾는 AT&T Bell Laboratories에서 고안한 실험장치이다. package형 반도체소자의 정전기방전 메카니즘을 연구하는데 유용한 장치로서 Fig. 1에서 보는 바와 같이 구리판(전극)에 전압을 11,000 ~ 25,000[V]까지 Power Supply로 인가하여 전계를 형성시켜 DUT(Device Under Test)에 대전시킨 후 AD 전극으로 각각의 전압별로 방전시키고, 실험후의 반도체소자의 상태를 분석장치를 이용하여 항목별로 분석하여 정상소자의 데이터와 비교 분석한 다음 각 항목별로 분석 결과를 Fig. 2, 3, 4, 5에 나타

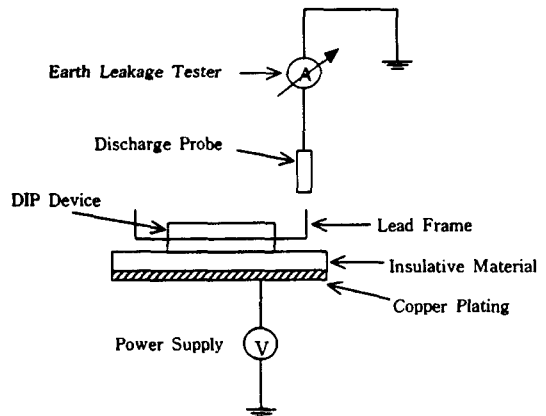


Fig. 1. Schematic diagram of FCDM tester

(Approaching Discharge) 방법으로 접지된 방전내었다. 실험시의 주위 환경조건은 20.7~22.3[°C]이고, 습도는 49~52[%]이다.

실험장치에 사용된 FCDM tester는 다음과 같이 구성된다.

- (1) Power Supply(50kV)
- (2) 정방형 구리판(전극)
- (3) 절연판(0.25mm Polyethylene Film)
- (4) 누설전류측정기(0.01~100 mA)
- (5) DUT(DIP-8pin, DIP-14pin, op-amp Device)

4. 결과 및 고찰

4.1. 결과

Fig. 2와 3은 FCDM테스터를 이용하여 반도체소자의 정전기방전시의 방전전류를 누설전류측정기(Yokogawa, 0.01~100mA, Japan)로 측정된 결과를 나타내었다. 반도체소자의 대전방지의 점에서는 외부 전계가 형성되는 것을 방지하는 것이 중요하다. 이를 위해서는 보호회로의 구성하거나 차폐(shield)를 하는 것이 유효하다. ESD에 의한 반도체소자의 방전에 의한 지수함수 곡선에 따른다고 할 수 있으나 정전기의 분포상황이나 시료의 형태에 따라 다소 차이를 나타낸다.

방전전류가 근접방전인 경우보다 공기방전인 경우가 다소 크게 나타났으며, 대부분 전극전압이 클수록 방전전류값이 크게 나타났으나, 6~7[kV]에서 작아지는 이유는 인가전압, 즉 전계가 커질수록 소자의 lead와 방전전극과의 간격이 큰 상태에서 공기방전(Breakdown)이 일어나기 때문인 것으로 판단된다. 대부분의 방전전류는 전극전압이 클수록 방전전류값도 큰 것으로 나타났다.

Fig. 4, 5, 6, 7은 FCDM테스터를 이용하여 반도체소자를 정전기방전 후의 소자의 특성을 알아보기 위하여 방전후의 소자의 측정전압 Low값과 High값을 나타낸 것이다.

Fig. 8, 9는 소자의 특성변화에 영향을 주는 CMRR(Common Mode Input Signal Rejection Ratio)을 측정 한 것이다.

4.2. 고찰

Fig. 2는 8pin 소자의 인가전압에 따른 소자의 방전전류를 나타낸 것으로 전극전압이 클수록 방전전류가 증가하는 경향을 나타낸다. 1[kV]~4[kV]

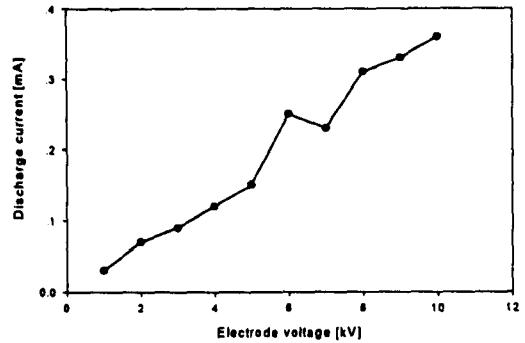


Fig. 2. Discharge current of devices(DIP-8)

까지는 소자의 lead와 방전전극과의 직접접촉에 의한 근접방전이며, 5[kV]~10[kV]까지는 소자의 lead와 방전전극과의 공기절연과피에 의한 공기방전이다. 7[kV]에서 방전전류 값이 작아지는 이유는 전극전압에 따른 전계가 커질수록 소자의 lead와 방전전극과의 간격이 큰 상태에서 공기절연과피가 일어나 소자의 lead와 방전전극과의 공기방전 거리가 커지는 한계점으로 판단된다.

Fig. 3은 14pin 소자의 전극전압에 따른 소자의 방전전류를 나타낸 것이다. 전극전압이 클수록 방전전류가 증가하는 경향을 나타낸다. 1[kV]~4[kV]까지는 소자의 lead와 방전전극과의 직접접촉에 의한 근접방전이며, 5[kV]~10[kV]까지는 소자의 lead와 방전전극과의 공기절연과피에 의한 공기방전이다. 8[kV]에서 방전전류 값이 작아지는 이유는 전극전압에 따른 전계가 커질수록 소자의 lead와 방전전극과의 간격이 큰 상태에서 공기절연과피가 일어나 소자의 lead와 방전전극과의 공기방전 거리가 커지는 한계점으로 판단된다.

Fig. 4는 8pin 소자의 전극전압에 따른 ESD후의 소자의 특성을 알아보기 위하여 ESD후의 측정전

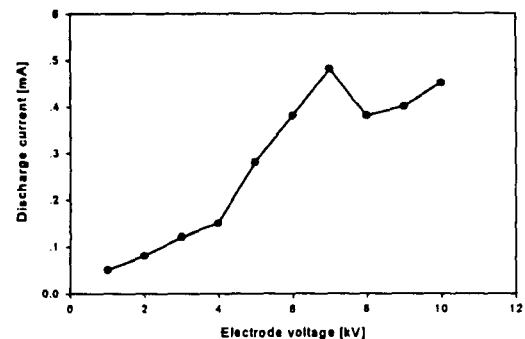


Fig. 3. Discharge current of devices(DIP-14)

압 Low값으로 정상적인 소자인 경우는 -3.5[V] 정도이나 실험소자의 경우는 최소 -3.5[V]에서 최대 0.6[V]의 값을 보이고 있어 소자의 특성변화가 있는 것으로 나타났다. Fig. 5는 High값으로 정상적인 소자인 경우의 4.2[V]정도이나 실험소자의 경우는 -3.6[V]에서 최대 4.1[V]값을 보이고 있는데, 전극 전압이 11[kV]~14[kV]에서는 4.0[V]로 소자의 특성변화가 발생하였으며, 특히 전극전압이 15[kV]~25[kV]에서는 0.9[V] 이하로 소자가 파괴된 것으로 분석되었다. 따라서 FCDM 실험에서 소자에 전하가 유도되어 어떤 경로를 통하여 ESD가 이루어진다면 소자의 파괴 또는 특성변화를 초래한다. 소자의 파괴는 물론 특성변화의 경우도 정밀도를 요하는 기기에서는 기기의 오동작을 일으킬 수 있어 완전한 파괴는 일어나지 않았다고 하더라도 소자의 특성이 변화되었으므로 소자로서의 기능을 상실했다고 할 수 있다.

Fig. 6은 14pin 소자의 전극전압에 따른 ESD후의 소자의 특성을 알아보기 위하여 ESD후의 측정전압 Low값으로 정상적인 소자인 경우는 1[V]정도이나 실험소자의 경우는 최소 1.0[V]에서 최대 5.0[V]의 값을 보이고 있는데, 전극전압이 11[kV]~17

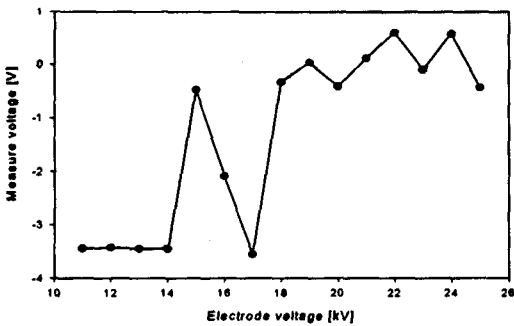


Fig. 4 . Measured voltage for 'low' state of devices(DIP-8)

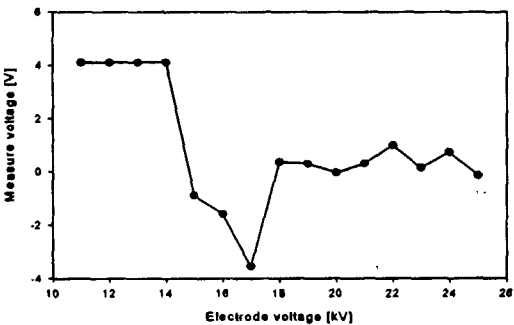


Fig. 5. Measured voltage for 'high' state of devices(DIP-8)

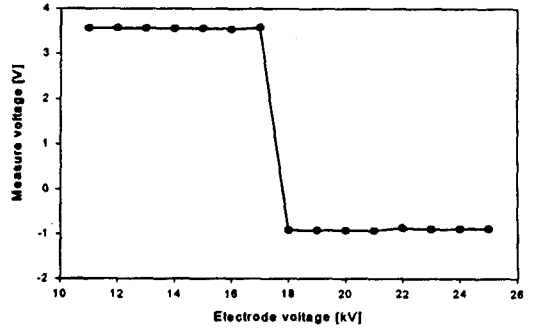


Fig. 6. Measured voltage for 'low' state of devices(DIP-14)

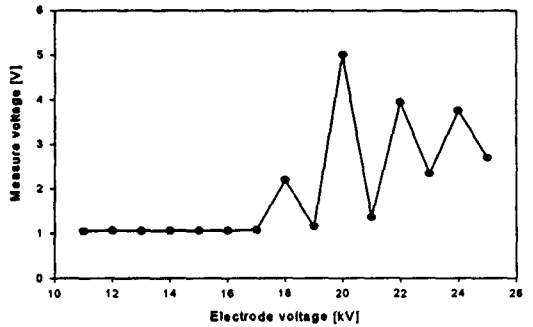


Fig. 7 Measured voltage for 'high' state of devices(DIP-14)

[kV]에서는 1.0[V] 정도로 변화가 없었으나 18[kV]~25[kV]에서는 1.1[V]에서 5.0[V]로 소자가 파괴된 것으로 나타났다. Fig. 7은 High값으로 정상적인 소자인 경우의 3.5[V]정도이나 실험소자의 경우는 -0.9[V]에서 최대 3.5[V]값을 보이고 있어 전극전압이 11[kV]~17[kV]에서는 3.5[V]로 변화가 없었으나 18[kV]~25[kV]에서는 -0.8[V]~0.9[V]로 소자가 파괴된 것으로 분석되었다.

Fig. 8은 8pin 소자의 Noise를 제거하는 특성을 알아보기 위해 CMRR(Common Mode Input Signal Rejection Ratio)을 측정한 것이다. 여기에서 정상소

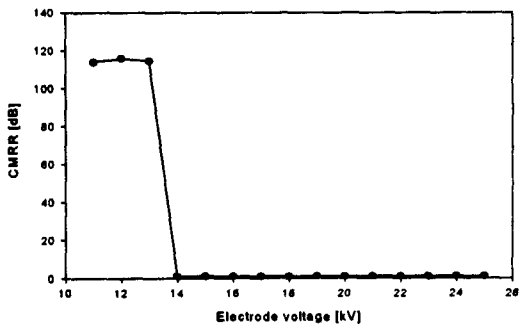


Fig. 8. CMRR of devices(DIP-8)

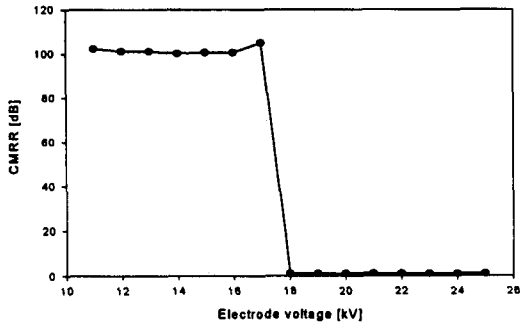


Fig. 9. CMRR of devices(DIP-14)

자의 경우 107[dB]정도이나 실험소자의 경우 전극 전압이 11[kV]~14[kV]에서는 113[dB]~115[dB]로 특성변화가 있었으나, 15[kV]~25[kV]에서는 측정값이 0[dB]로 파괴된 것으로 나타났다. CMRR은 소자가 기기의 오동작에 직접적으로 영향을 줄 수 있어 실험소자의 경우 기기의 오동작을 초래할 수 있으므로 소자의 기능이 상실되었다고 할 수 있다.

또한 Fig. 9는 14pin 소자의 CMRR(Common Mode Input Signal Rejection Ratio)을 측정한 것이다. 여기에서 정상소자의 경우 107[dB]정도이나 실험소자의 경우 전극전압이 11[kV]~17[kV]에서는 100[dB]~105[dB]로 특성변화가 있었으나 18[kV]~25[kV]에서는 측정값이 0[dB]로 파괴된 것으로 나타났다.

5. 결론

반도체소자의 위험성을 판단하는 근거는 소자가 어떤 경로를 통하여 대전되어 정전기방전(ESD)이 일어나면 소자는 여러 형태로 손상을 입게된다. 본 논문에서는 반도체소자의 대전으로 인한 정전기방전(ESD)의 위험성을 유도대전소자모델(FCDM)을 적용하여 분석하였다. 각각의 유도전압에 따른 소자를 분석한 결과 정전기방전(ESD)에 의해 소자의 특성변화와 파괴가 일어났는데 이는 어떤 형태로든 외부 전계에 의해 소자가 대전된 다음 방전이 일어난다면 소자가 손상을 입게되므로 전계가 유도되지 않도록 하여야 한다. 유도대전에 의한 소자의 대전 및 방전현상을 해석하는 유도대전소자모델(FCDM)에 의한 실험을 통하여 얻은 주요한 결론은 다음과 같다.

1) ESD에 의한 방전전류는 전극전압이 높을수록 증가하는 경향을 보인다.

2) ESD는 전극전압이 4[kV] 이하에서는 소자와 방전전극과의 직접접촉에 의한 근접방전이지만, 5[kV] 이상에서는 소자와 방전전극 사이의 공기절연과피에 의한 공기방전이 일어난다.

3) 8pin 소자의 경우 소자의 특성을 알아보기 위한 ESD 후의 측정전압 Low값에 대해서는 전 측정범위에서 특성변화만 나타났으나, High값에서는 전극전압이 11[kV]~14[kV]에서 특성변화가, 15[kV] 이상에서는 소자의 파괴가 일어났다.

4) 14pin 소자의 경우 소자의 특성을 알아보기 위한 ESD 후의 측정전압 Low, High값 모두 전극전압이 11[kV]~17[kV]에서는 특성변화가 없었으며, 18[kV] 이상에서 소자의 파괴가 일어났다.

5) CMRR 측정 결과, 8pin 소자의 경우 전극전압이 11[kV]~14[kV]에서는 특성변화만 나타났으나, 15[kV] 이상에서 소자의 파괴가 일어났다.

6) CMRR 측정 결과, 14pin 소자의 경우 전극전압이 11[kV]~17[kV]에서는 특성변화만 나타났으나, 18[kV] 이상에서는 소자의 파괴가 일어났다.

이상의 FCDM 실험 결과로부터 ESD으로 인한 반도체소자 위험성의 판단기준이 되는 특성변화와 파괴여부를 알 수 있었다. 향후 손상된 소자에 대한 보다 정확한 특성변화와 파괴여부를 판단하기 위해서는 소자내부의 상태분석과 다양한 소자에 대한 실험 및 분석이 필요한 것으로 판단된다.

참고문헌

- 1) 김두현, 김상렬, 반도체소자의 정전기 완화특성, 한국산업안전학회, Vol. 14, No. 3, pp. 69~77, 1999.
- 2) 和泉健吉, 靜電氣についての基礎實驗, 靜電氣學會, 18, No. 4, pp. 376~384, 1994.
- 3) Robert G. Renninger, M. C. Jon, D. L. Lin, T. Diep and T. L. Welsher, A Field-Induced Charged-Device Model Simulator, EOS/ESD Symposium Proceedings, EOS-11, pp. 59~71, 1989.
- 4) R. G. Renninger, M. C. Jon, D. L. Lin, T. Diep and T. L. Welsher, A field-induced charged-device model simulator, EOS / ESD Symposium Proceedings, EOS-11, 59, 1989.
- 5) 鈴木功一, 靜電誘導による半導體デバイスの故障メカニズム, 靜電氣學會, 23, No. 6, pp. 303~308, 1999.
- 6) 藤江明雄, 電子産業分野の靜電誘導のトラブル

- ル概要, 静電気學會, 23, No. 6, pp. 297~302, 1999.
- 7) P. R. Bossard, R. G. Chemellic and B. A. Unger, ESD damage from triboelectrically charged IC pins, EOS / ESD Symposium Proceedings, EOS-2, 17, 1980.
 - 8) Timothy J. Maloney, Integrated Circuit Metal in the Charged Device Model Bootstrap Heating, Melt Damage, and Scaling Laws, Journal of Electrostatics, 31, pp. 313~321, 1993.
 - 9) Robert G. Renninger, Mechanisms of Charged-Device Electrostatic Discharges, Journal of Electrostatics, 28, pp. 253~283, 1992.
 - 10) W. D. Greason, Constant Energy Device Test for Electrostatic Discharge(ESD) of Semiconductor Devices, IEEE Trans., Vol. 33, No. 1, pp. 286~297, 1997.
 - 11) B. A. Unger, Electrostatic Discharge Failures of Semiconductor Devices, Proceedings of the IEEE International Reliability Physics Symposium, 1981.
 - 12) M. C. Jon and T. L. Welsler, An Experimental Investigation of the Electrostatic Discharge (ESD) Mechanism in Packaged Semiconductor Devices, Journal of Electrostatics, 32, pp. 43~70, 1994.