

다결정 Si/SiO₂ || Si 적층구조에서 SiO₂층의 두께에 따른 유전특성의 변화

송오성, 이영민, 이진우
서울시립대학교 재료공학과

Dielectric Constant with SiO₂ thickness in Polycrystalline Si/SiO₂ || Si structure

O. S. Song, Y. M. Lee, J. W. Lee

Department of Materials Science and Engineering, The University of Seoul
90 Cheonnong-dong, Tongdaemoon, 130-743, Seoul, Korea

Abstract

The gate oxide thickness is becoming thinner and thinner in order to speed up the semiconductor CMOS devices. We have investigated very thin SiO₂ gate oxide layers and found anomaly between the thickness determined with capacitance measurement and these obtained with cross-sectional high resolution transmission electron microscopy.

The thicknesses difference of the two becomes important for the thickness of the oxide below 5nm. We propose that the variation of dielectric constant in thin oxide films cause the anomaly. We modeled the behavior as $\epsilon_{\text{eff}}(t) = \epsilon_{\text{bulk}} + \frac{2\epsilon_{\text{int}}}{t[\text{nm}]}$ and determined $\epsilon_{\text{bulk}} = 3.9$ and $\epsilon_{\text{int}} = -4.0$. We predict that optimum SiO₂ gate oxide thickness may be 20 Å due to negative contribution of the interface dielectric constant. These new results have very important implication for designing the CMOS devices.

1. 서 론

MOSFET를 이용한 반도체 소자의 속도향상을 위해서 가능한 한 채널전류를 크게 하기 위해 게이트 절연막을 얇게 할 필요가 있다. 따라서 게이트 옥사이드는 실리콘 산화층인 경우 향후 2004년 까지 20 Å 정도까지 얇아질 것이 예상된다¹⁾.

이러한 배경에서 50 Å 이하의 얇은 박막에서는 상대적으로 기존 bulk에 비해 계면 및 표면의 기여가 커질 것이 예상되고, 한편 이에 따라 조성이 변화하거나 비정량적 (nonstoichiometric)으로 조성이 변화하는 등 여러 가지 요인에 따라 우리가 알고 있는 유전특성이 변화하리라는 것이 예상되지만 아직 정량적인 보고는 많지 않다²⁻³⁾.

반도체 소자 공정에서는 절연막층의 유전 데이터를 이용하여 트랜지스터 소자의 채널전류, 임계전압, BV(breakdown voltage) 등을 모사하거나, 공정 중에서 캐퍼시턴스치를 측정하는 것으로 이때 절연막층의 '두께를' 측정하여 게이트 옥사이드 성막 공정을 모니터링하는데 주로 쓰고 있다.

그러나 실제로 여러 두께를 실제 수직단면 투과 전자현미경을 활용하여 비교하면 절연막층의 두께 모니터링에서, 게이트 옥사이드가 얇아질수록 두 방법 간에 차이가 커지는 것이 경험적으로 알려져 있어 기존 반도체 제조사에서는 수직단면전자현미경 등으로 실제 두께를 측정하고 측정기기를 실제 두께에 맞도록 절연막 두께 측정기를 보정하여 사용하는 것이 통례였다. 본 연구에서는 이러한 실제 두께와 C-V 측정에 의해 나타나는 절연막 두께의 변화를 정량적으로 검토하여 두께가 얇아짐에 따라 나타나는 오차를 계면에 의한 기여로 가정하고 이때의 유전상수 변화를 측정하여, 실제 공정에서 활용될 수 있는 유전상수를 검토해 보았다.

2. 실험방법

2.1. 시편의 준비

시편의 준비는 Fig. 1에 나타난 순서도와 같이 아래와 같은 반도체 일반 제조공정으로 준비되었다. 즉, 활성화 영역이 10^{20} boron/cm³의 고농도로 도핑된 p-type (100) 실리콘 기판을 사용하여 Fig. 1에 나타난 것과 같이 110Å 이하의 게이트절연막을 두께를 달리하여 형성시켰다. 즉 furnace를 이용하여 열산화법으로 옥사이드의 열산화시간을 달리하여 110, 80, 70, 60, 55, 50, 40, 38Å의 여러 가지 두께의 실리콘 산화박막을 각각 형성시키고, 실리콘 산화막 위에 화학기상증착법(CVD)을 사용하여 3000Å 두께의 다결정 실리콘 층을 형성시켰다. 이후 기판전면에 BF₃를 소오스로 하여 5E15 BF₃/cm²의 이온주입 밀도로, 25KeV 조건으로 이온주입하여 상부 다결정 실리콘 등의 전기저항을

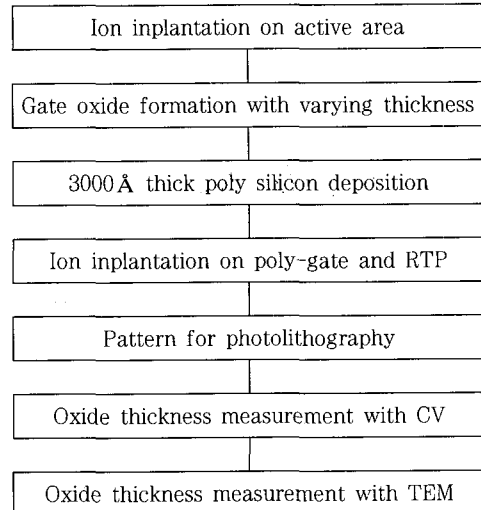


Fig. 1. Flow chart for experiment.

낮추고, 급열가열기 (rapid thermal processor)를 이용하여 975°C-120초 공정조건으로 안정화시켜 폴리실리콘 층이 depletion capacitance를 최소화할 수 있도록 하였다. 이후 상부 폴리실리콘 모양이 21 μ m \times 21 μ m의 정방형 패턴을 가지도록 사진식각법을 사용하여 제작하였다.

2.2. C-V 측정

기판을 하부전극으로 하고 상부 다결정 실리콘 층을 상부전극으로 하여 중간의 게이트 옥사이드를 유전박막으로 하여 HP4182 C-V측정기를 이용해 측정 frequency를 100KHz로 고정하여 ± 2.5 V 사이에서 측정하였다. 측정 전압을 작게 하여, 가능한 한 측정 시 직접 터널링(direct tunneling)과 간접 터널링 누설전류(Fowler-Nordheim leakage)에 의한 실험 오차를 감소시키고자 하였다. 각 두께에서의 기판 depletion이 없는 accumulation regime에서 2.0V에서의 capacitance 값을 결정하고 이때 Si의 유전상수 3.9를 적용하여 실리콘 산화막의 두께를 추정하였다.

2. 3. 수직단면 투과전자현미경

준비된 시편의 실제 물리적인 측정을 위하여 각 조건의 시편을 수직단면 투과전자현미경을 활용하여 확인하였다. 수직단면 투과전자현미경 관찰을 위한 단면시편은 3mm정도의 정방형 시편을 서로 맞붙여 절단하고 약 20 μ m두께까지 트리포드 (tripod)를 이용하여 연마하고 PIPS (precision ion polishing system 정밀 이온 연삭 시스템)를 이용하여 전자빔이 투과될 정도로 얇게 가공하여 관찰하였다.

3. 실험결과 및 고찰

3. 1. 수직단면 투과전자현미경의 산화막 두께 결과

각 산화시간을 달리한 공정에서의 두께를 확인하고 수직 단면으로 확인한 결과를 물리적인 실제 두께라고 정의하였다. 물리적인 실제 두께는 비정질 산화막과 단결정 실리콘과 상부 폴리실리콘 막을 사이에 두고 명암 차를 실제로 보여 쉽게 판단이 가능하였다.

Fig. 2에 40Å두께의 절연막층을 5개의 위치에 서 관찰하고 그 두께를 평균한 결과 $\pm 2\text{\AA}$ 의 계면

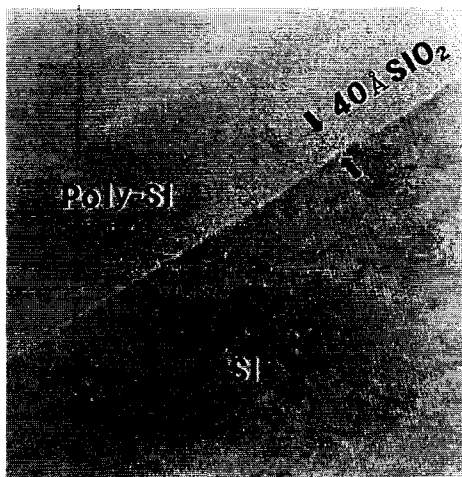


Fig. 2. Cross sectional view of 4nm-thick gate oxide.

조건을 유지하면서 평탄하게 성장하였음을 확인하였다. 이를 근거로 각 시편의 산화막 두께를 확인하였고 이때 계면은 각 주어진 두께에서 큰 유의차가 없음을 확인하였다.

3. 2. C-V 측정에 의한 산화막 두께와 실측두께와의 비교 결과

상기 투과전자현미경의 관찰결과로 확인된 각 두께조건의 시편을 C-V 측정기로 측정하고 $t = \frac{\epsilon A}{C}$ 의 결과로부터 측정된 결과를 실제 물리적 두께와 비교하여 Fig. 3에 표시하였다. 이때 $\epsilon = 3.9$ 를 채용하였다.

두께가 얇아지면서 수직단면투과전자현미경으로 실측된 실제두께가 35Å인 경우에는 C-V 측정에 의한 것이 실제두께보다 50%이상 더 크게 측정되는 문제가 있었다. 이러한 현상은 파괴검사인 수직단면 TEM에 비하여 필수적인 비파괴검사의 대표적인 C-V 측정이 어렵다는 의미로서 이러한 현상이 가능한 원인은 다음 몇 가지로 분류할 수 있었다.

첫째, 측정기기 자체의 오차 원인이 가능하다⁴⁾.

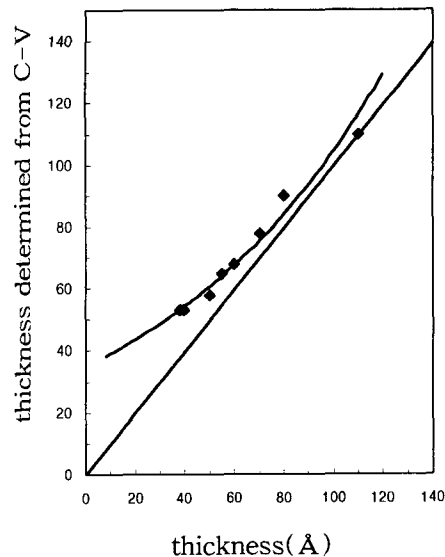


Fig. 3. Thicknesses of Capacitance measurement and TEM measurement.

얇은 박막에서는 터널링에 의한 누설전류의 감소로 측정자체의 오차가 커질 수 있다. 그러나 박막이 얇아짐에 따라 지수함수적으로 증가하는 측정오차의 전부를 다 설명할 수는 없었다.

둘째, 미세구조의 혼합에 의한 문제에 의한 면적변화로 인한 오차가 가능하다. 그러나 전자현미경 사진에서 볼 수 있듯이 각 계면은 매우 ($\pm 2\text{\AA}$ 정도) 균일하여 계면혼합에 의한 오차는 미소하다고 판단되었다.

셋째, 게이트옥사이드의 자체 조성의 변화가 가능하다. 기존 SiO_2 는 박막의 두께가 얇아짐에 따라 SiO_x 의 비정량적인 상이 형성되었을 것이라고 예측이 가능하지만 이렇게 얇은 막의 정량적인 조성 및 특성은 잘 보고되지 않고 있다.

넷째, 두께에 따른 계면효과에 따른 유전상수의 변화의 가능성이다. 두께의 감소에 따른 유전특성의 변화는 잘 알려지지 않았다. 그러나 자성박막에서 자성박막의 두께변화에 따라 자기이방성이 변화하듯이 유전상수도 전기장에 의한 분극의 척도를 나타내는 상수이므로 계면에 의한 유전상수 부를 두께에 반비례하는 관계를 가진다고 가정하고 상하 2개 계면을 고려하여 식(1)과 같은 형태로 가정하였다⁵⁻⁷⁾.

$$\epsilon_{\text{eff}}(t) = \epsilon_b + \frac{2\epsilon_i}{t} \quad (1)$$

즉, 박막의 실제유전상수는 식(1)과 같이 벌크의 유전상수 3.9와 두께가 감소함에 따라 기여도가 커지는 계면(또는 표면)에 의한 유전상수의 합이라고 가정하였다.

이러한 배경에서 Fig. 4와 같이 캐피시턴스측정에서 결정된 두께와 실측두께와의 캐피시턴스를 계면에 의한 유전상수기여라고 가정하여 이 차이로부터 ϵ_i 를 도출하였다. Fig. 5와 같이 $\Delta C \cdot t^2$ 을 y축으로 그리고 t에 대하여 plot하면 data가 상수값을 가질 것이 예상되어 최소자승법으로 외삽한 결과 $\epsilon_i = -4.0$ 으로 결정할 수 있었다. 따라서 SiO_2

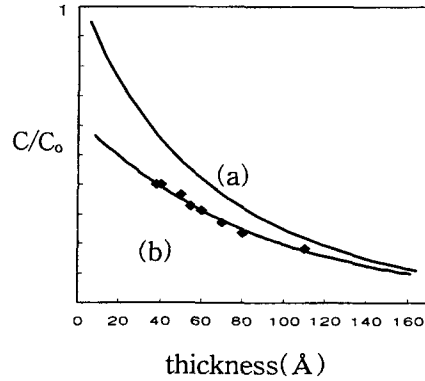


Fig. 4. Capacitance results of (a) ideal case (b) experimentally measured data.

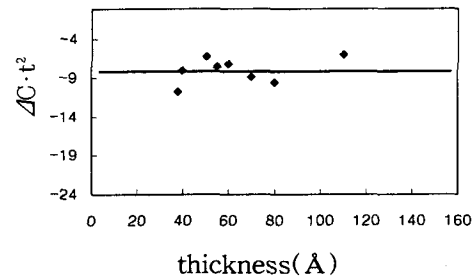


Fig. 5. Plot of $\Delta C \cdot t^2$ vs. t . ($2\epsilon_i = -8.0$)

박막의 실제 유전율은 $\epsilon_{\text{eff}}(t) = 3.9 - \frac{2 \times 4.0}{t[\text{nm}]}$ 으로 결정하였다.

이러한 논의를 기반으로 하면 SiO_2 절연박막은 두께가 감소하면 유전상수가 계면효과 때문에 감소하며, 20Å이 되면 유전효과가 매우 작아질 것이 예상되었다. 물론 이러한 예측은 원자단위의 계면 확대 효과나 측정기기의 오차, 계면에서의 미세 혼합 및 비정량적인 (nonstoichiometric) SiO_x 조성의 변화에 의해서도 변화할 수 있는 가능성이 있지만, SiO_x 물질의 경우 적어도 계면의 기여가 실제유전상수에 대해 음의 효과를 가진다는 직접 증거가 될 수 있었다.

이러한 사실에 기초하여 SiO_2 를 게이트·옥사이드 소재로 한정하는 경우 반도체 디바이스의 설계 등에서 단순히 MOSFET의 동작속도를 향상시키기 위해 게이트 옥사이드의 두께를 감소시키는 것

은 한계가 있으며 고유전율을 필요로 하는 게이트 옥사이드에서는 SiO₂와는 달리 계면효과가 양(+)의 효과를 갖는 물질의 개발이 효과적임을 확인하였다.

4. 결 론

110Å이하의 여러 가지 두께의 초박 SiO₂ 절연막층을 제작하여 각 조건에서의 절연막 두께를 수직단면 투과전자현미경으로 확인한 후, 캐퍼시턴스를 측정하여 간접적으로 두께를 비교한 결과 간접적인 측정방법의 두께가 실제 두께가 얇아지면서 더욱 커지게 측정되고 이러한 차이가 얇아질수록 커지는 문제가 있었다. 이러한 현상을 설명하기 위해 두께에 따른 실제 유전상수가 $\epsilon_{\text{eff}} = \epsilon_{\text{bulk}} + \frac{2\epsilon_i}{t}$ 형태로 변환한다고 가정하고 외삽한 결과 실험값과 잘 일치하였다. 이러한 가정에서 유추한 ϵ_{bulk} 는 3.9이고 계면에 의한 유전상수는 $\epsilon_i = 4.0[\text{nm}]$ 로 판단되었다. 상기현상이 모두 계면효과에 의해 발생한다고 가정하면 SiO₂ 게이트 옥사이드의 유전특성은 계면에 의한 유전상수의 음의 기여에 따라 20Å 정도의 두께에서 없어진다고 예상되었다.

참 고 문 헌

1. SIA roadmap 99, Process Integration, Devices, and Structures, 9
2. Chuan Lin, Anthany I. Chou, Kiran Kumar, Prasenjit Chowdhury and Jack C. Lee, : IEDM 96 (1996) 331
3. M. Kamal Khan, F. Zdancewicz, A. Bhalla, : Semiconductor International, 5 (1999) 97
4. Klaus F. Schuegraf, Donggun Park and Chenming Hu, : IEDM, 94 (1994) 609
5. D. S. Chuang, C. A. Ballentine, R. C. Ohandley : Physical Review B, 49 (1994) 49
6. V. Gradmann, Bergholtz and Bergter : IEEE Trans. on Mag., 20 (1984) 1840
7. N. C. Koon, B. T. Janker, F. A. Volkening, J. J. Krebs, G. A. Peinzz : Physical Review Letters, 59 (1987) 2463