

실리콘 직접 접합을 위한 선형가열법의 개발 및 SOI 기판에의 적용

이진우, 강춘식, 송오성*, 양철웅**

서울대학교 재료공학부, * 시립대학교 재료공학과, ** 성균관대학교 금속재료공학부

Development of Linear Annealing Method for Silicon Direct Bonding and Application to SOI structure

J. W. Lee, C. S. Kang, O. S. Song*, C. W. Yang**

School of Materials Science and Engineering, Seoul National University,
Shinrim9dong, Kwanakgu, Seoul 151-742, Korea

*Dept. Materials Science and Engineering, The University of Seoul, 90
Cheonnong-dong, Tongdaemun-gu, Seoul 130-743, Korea

** School of Metallurgical and materials Engineering, Sungkyunkwan University,
Chunchun-dong, Jangan-gu, Suwon, Kyunggi 440-746, Korea

Abstract

SOI (Silicon-On-Insulator) substrates were fabricated with varying annealing temperature of 25–660°C by a linear annealing method, which was modified RTA process using a linear shape heat source. The annealing method was applied to Si || SiO₂/Si pair pre-contacted at room temperature after wet cleaning process. The bonding strength of SOI substrates was measured by two methods of Razor-blade crack opening and direct tensile test. The fractured surfaces after direct tensile test were also investigated by the optical microscope as well as α -STEP gauge. The interface bonding energy was 1140mJ/m² at the annealing temperature of 430°C. The fracture strength was about 21MPa at the temperature of 430°C. These mechanical properties were not reported with the conventional furnace annealing or rapid thermal annealing method at the temperature below 500°C. Our results imply that the bonded wafer pair could endure CMP (Chemo-Mechanical Polishing) or Lapping process without debonding, fracture or dopant redistribution.

1. 서 론

실리콘 기판 직접접합은 두 기판을 접착제 없이

표면의 화학결합만으로 접합시키는 방법으로 MEMS¹⁾나 SOI (Silicon-On-Insulator)²⁾등에 폭 넓게 적용할 수 있기 때문에 활발한 연구가 진행중

이다. 이 방법은 최초 접합될 기판 표면을 화학적으로 활성화시키는 세척과정과 실제 물리화학적 접합을 가능케 하는 열처리과정, 그리고 소자를 적층할 수 있는 두께만 남기고 잉여의 실리콘 층을 제거하는 연마과정으로 구성되어 있다³⁾. 이러한 세 과정 중에서 최종 SOI기판의 접합강도에 직접적으로 영향을 미치는 공정이 열처리 공정으로 알려져 있다.

일반적인 로내 열처리법⁴⁾은 1100°C이상의 고온에서 1시간 이상의 장시간동안 수행되어 기판의 변형⁵⁾이나 도판트의 재배열과 같은 문제를 야기하므로 가능한 한 500°C이하의 저온에서 단시간동안 열처리하여 이러한 문제점을 극소화하고 비접합부가 없도록 하는 공정의 개발에 연구가 집중되고 있다.

이러한 배경에서 본 연구에서는 선형가열법을 개발하여 SOI구조의 기판쌍을 열처리온도를 달리 하며 제조하였고, 완성된 Si || SiO₂/Si의 샌드위치형 적층 구조 기판의 접합강도를 측정하여 보았다. 선형가열법은 한 개의 할로겐 램프 열원을 타원형 반사경을 이용하여 접합 시키고자 하는 기판쌍의 상부표면부에 집중시키고 일정한 온도구배를 기판위에 형성한 뒤 기판의 한쪽 끝에서 다른 한쪽 끝으로 일정한 속도로 이동시키면서 가열하는 새로운 방법이다. 이 때 접합과정중에 계면에서 발생하는 기상 계재물을 열원 이동시의 온도구배에 따라 같이 이동시켜 최종적으로 기판쌍 외부로 방출, 제거하여 비접합부가 없게 하는 공정이다. 더욱이 선형가열법의 총 공정 시간은 기판의 냉각을 포함하여 30분 이내의 단시간 공정이다.

상기 방법으로 가열부의 최고 표면온도를 25°C에서 700°C까지 변화시키면서 제조한 후, 완성된 SOI기판의 접합강도를 면도날 삽입 파괴법(Razor blade crack opening method)⁶⁾과 직접인장 시험법(direct tensile test method)⁷⁾으로 알아보았다.

2. 실험 방법

직경 10cm의 p-type (100) 실리콘 기판에 450Å 두께의 열산화막을 형성한 기판과 산화막이 형성되지 않은 기판을 준비하였다. 기판쌍은 물리적으로 접촉하기 전에 유기물 오염 및 대기중의 이물질 흡착을 방지하기 위해 Class 100의 청정실에서 SPM(Sulfuric Peroxide Mixture, H₂SO₄ : H₂O₂ = 3 : 1) 용액⁸⁾과 초순수(D.I.water)를 사용하여 세척을 진행하였다. 세척된 기판은 즉시 스핀건조기에서 건조 시킨 후 두 기판의 플랫폼을 일치시켜 물리적으로 접촉시켰다.

접촉된 기판쌍은 대기중에서 선형 열처리법으로 가열하였고, 기판쌍의 중앙 표면부를 열전쌍으로 측정하여 가열 온도를 각각 25, 150, 430, 660°C로 유지하였다. 이 때 열원의 이동속도는 0.1mm/sec로 고정하였다. 열원의 이동 속도가 지나치게 느릴 경우 기판의 변형을 가져올 수 있고, 지나치게 빠를 경우 오히려 열처리 효과 자체를 기대할 수 없기 때문이었다. Fig. 1에 본 연구에서 사용된 선형 열처리를 개략적으로 도시하여 나타내었다. 선형 열처리는 주열원인 1개의 선형 할로겐

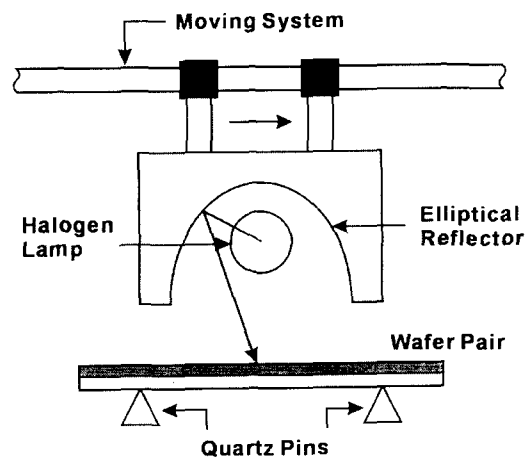


Fig. 1. A schematic illustration of Linear Annealing Equipment : One halogen lamp and a hemi-ellipse mirror reflector around the lamp

램프를 타원형 반사경의 상부 초점에 위치시켰고, 타원형 반사경의 하부 초점에는 기판쌍의 표면이 정렬되도록 하여 기판쌍에 온도구배가 형성되며 열원이 일정속도로 이동함에 따라 온도구배가 같이 이동하도록 하였다.

최초 완성된 기판쌍의 접합강도를 측정하기 위해 2가지 접합강도 시험법을 병행하였다. 첫째는 면도날 삽입 파괴법(Razor-blade crack opening method)⁶⁾으로써 접합 기판쌍의 원형 모서리에 면도날을 특정 깊이로 삽입하고 이때 발생하는 균열의 크기로부터 간접적으로 접합면의 계면에너지를 산출하여 접합의 기계적 강도를 알아보는 방법이다. Fig. 2(a)에 면도날 삽입 파괴법을 개략적으로 나타내었다. 본 실험에서는 면도날의 삽입 깊이를 기판의 모서리로부터 10mm 깊이로 고정하였다.

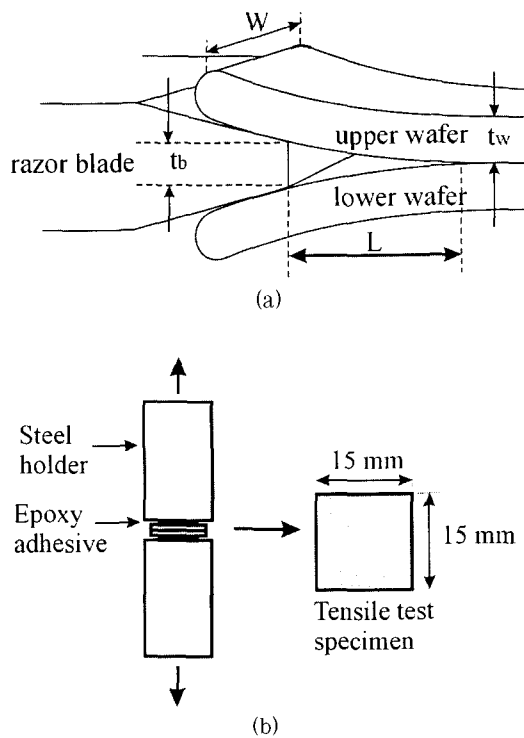


Fig. 2. Bonding strength measurement of SOI wafer (a) razor-blade crack opening method (b) direct tensile test

두 번째는 인장시험기를 이용하는 방법⁷⁾으로 접합된 기판을 15×15mm² 크기로 절단한 정방형 시편을 준비하였고 접합면과 수직인 면에 인장응력이 가해지도록 Fig. 2(b)와 같이 인장시험 홀더에 아크릴계 에폭시 접착제를 사용하여 부착하였고 기판쌍에 직접 응력이 가해지도록 설계하였다. 이 때 인장속도는 0.5mm/sec로 하였고 시편이 파괴되어 분리되는 순간의 최대인장강도값을 측정하였다.

3. 실험 결과 및 토의

Fig. 3에 면도날 삽입 파괴법에 의한 접합강도 측정결과를 나타내었다. 이때의 접합강도는 아래와 같은 수식⁹⁾에 의해 구하였다.

$$\gamma = \frac{3Et_w t_b^2}{16L^4}$$

여기서 각각의 상수는 γ : 계면에너지 (mJ/m²), E: Si(100)의 Young's modulus = 1.66×10¹¹N/m², t_b: 칼날의 두께 = 0.1mm, t_w: Si기판의 두께 = 525 μ m, L: 균열의 길이 (mm)로 주어진다.

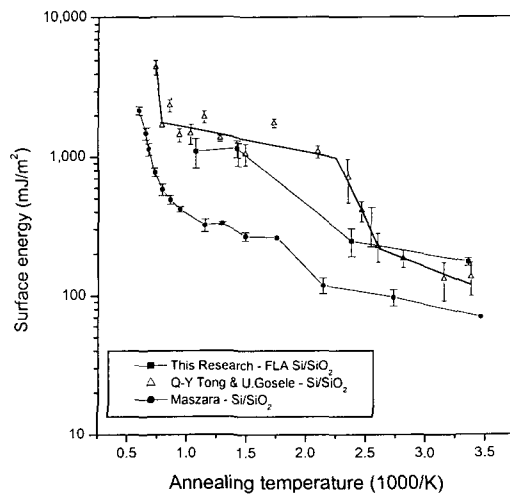


Fig. 3. Interface bonding energy comparison for Si | SiO₂/Si

결과에서 나타난 바와 같이 선형 열처리 온도가 커질수록 실리콘과 열산화막 사이의 물리화학적 접합이 진행되어 계면에너지가 급격히 증가하며 430°C에서는 1000mJ/m²을 넘는 높은 계면 에너지를 나타내었다. 이는 Q. Y. Tong et al¹⁰⁾과 Maszara et al¹¹⁾의 결과와 정성적으로 일치하는 것이다.

Fig. 4에는 인장시험기를 이용하여 측정된 열처리 온도에 따른 접합강도의 변화의 평균값을 오차 범위(Error bar)와 같이 나타내었다. 이 결과는 위에서 언급한 면도날 삼입 파괴법과 정성적으로 일치하고 있으며 특히 430°C 이상의 열처리 조건에서 20MPa 이상의 접합 강도를 보였다. Fig. 5(a)는 660°C로 선형 열처리한 Si || SiO₂/Si 기판쌍을 인장시험 한 후 관찰한 것으로서 그림에서 보듯이 전체 파단면의 60% 정도가 계면 파괴가 아닌 산화막을 포함한 파괴가 일어났음을 보이고 있다. 또한 Fig. 5(b)는 같은 조건의 산화막의 파단면을 α -STEP gauge로 조사한 것으로서 Fig. 5(a)의 A-B선을 따라 조사한 박막두께의 기복이 산화막의 두께와 일치하고 있기 때문에 계면의 분리가 Si || SiO₂ 접합계면 뿐 아니라 열산화과정을 통하여 산

화막이 성장한 기판과 산화막과의 분리, 즉 Si/SiO₂ 계면에서의 분리를 포함하여 일어났음을 알 수 있다.

따라서 간접적인 면도칼 삼입 파괴법과 직접적인 인장시험이 모두 정성적으로 잘 일치하고 있으므로 이상의 결과로부터 선형 열처리법으로도 430°C 정도의 저온에서도 기존 열처리 방법보다 충분한 접합강도를 지닌 SOI 기판을 제조할 수 있음을 알 수 있었다.

4. 결 론

선형 열처리법을 사용하여 실리콘 기판과 열산화막이 형성된 실리콘 기판을 접합하였고 접합후의 접합강도를 조사하였다. 또한 Si || SiO₂/Si 샌드위치 구조의 SOI기판의 접합강도를 측정하기 위해 Razor-blade crack opening법과 인장시험법을 적용하였고 정성적으로 동일한 결과를 얻었다. 접합 강도는 온도 증가와 더불어 증가하였고, 표면 온도가 400°C 이상으로 증가할 때 접합 강도는 20MPa 이상의 값을 보였다. 또한 인장 시험에서는 산화막이 벌크 파괴되는 현상이 발생하였다. 이는 SOI 기판이 선형 열처리법을 적용할 때 저온에서 열처리 되었음에도 불구하고 화학기계적연마(chemo-mechanical polishing) 및 후면연마(lapping), 절단공정(scribing) 등의 공정에 대응할 수 있는 충분한 기계적 접합 강도를 나타낼 수 있다고 판단되었다.

참 고 문 헌

1. Semiconductor Sensor, S.M.Sze, John Wiley & Sons, Inc., NY (1994).
2. <http://www.eetimes.com/news/98/1020news/ibmtakes.html>.
3. M.Shimbo, K.Furukawa, K.Fukuda, and K. Tanzawa : J. Appl. Phys., Vol. 60(8)

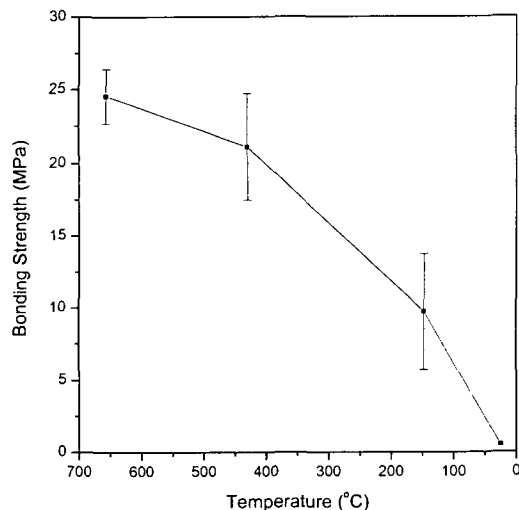
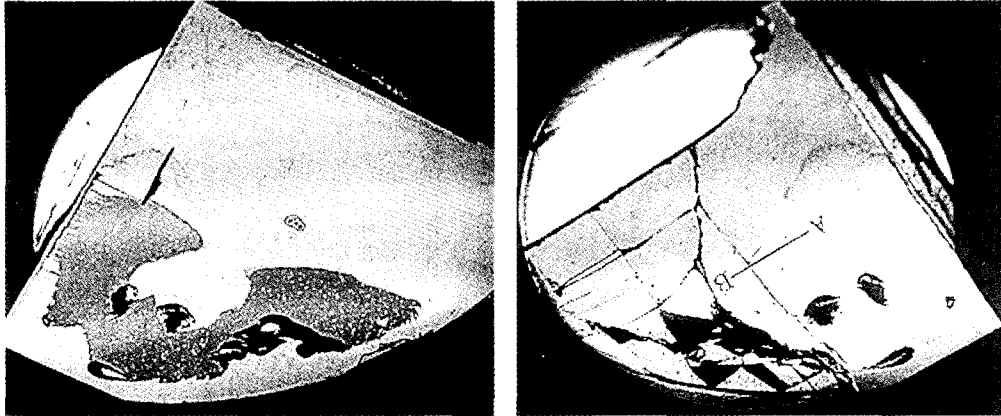
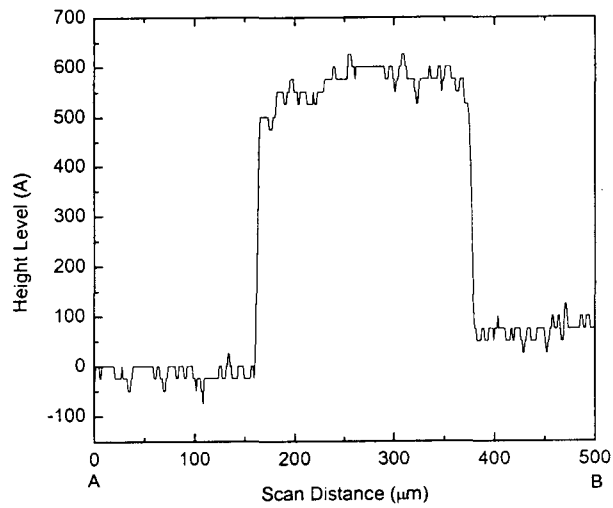


Fig. 4. Direct tensile test result Si || SiO₂/Si



(a)



(b)

Fig. 5. Thermal Oxide layer fracture and transfer by direct tensile test
(a) Optical microscope(x 10) (b) α -STEP gauge

- | | |
|---|---|
| <p>(1986) 2987</p> <p>4. K.Mitani, V.Lehmann, R.Stengl, D.Feijoo, U. Gosele, and H.Z.Massoud : Jpn. J. Appl. Phys., Vol. 30, No. 4 (1991) 615</p> <p>5. B.Leroy, and C.Plougonven : J. Electrochem. Soc., Vol. 127 (1980) 961</p> <p>6. P.P.Gillis, and J.J.Gilman : J.Appl. Phys.,</p> | <p>Vol. 35, No. 3 (1964) 647</p> <p>7. B.Muller, and A.Stoffel : J. Micromech. Microeng., Vol. 1 (1991) 161</p> <p>8. R.D.Black, S.D.Arthur, R.S.Gilmore, N.Lewis, E.L.Hall, and R.D.Lillquist : J. Appl. Phys., Vol. 63(8) (1988) 2773.</p> <p>9. Q.-Y.Tong, and U.Gosele : J. Electrochem.,</p> |
|---|---|

- Soc., Vol. 143, No. 5 (1996) 1773
10. Q.-Y.Tong, E.Schmidt, U.Gosele, and M.Re-
iche : Appl. Phys. Lett., Vol. 64, No. 31
(1994)
 11. W.P.Maszara, G.Goetz, A.Caviglia, and J.B.
McKitterick : J. Appl. Phys. Vol. 64, No. 10,
(1988) 4943