

論文2000-37TE-12-6

디지털 방송용 MPEG Layer 2 오디오 복호기의 최적화 설계에 관한 연구

(A Study on Optimization Design of MPEG Layer 2 Audio Decoder for Digital Broadcasting)

朴鍾鎭 * , 趙源敬 **

(Jong-Jin Park and Won-Kyung Cho)

요 약

최근 집적회로 설계 환경의 급속한 발전함에 따라 IC(Integration Circuit) 설계 규모는 1개의 IC에 다양한 기능을 포함한 SoC(System on Chip)의 설계가 가능할 정도로 설계 규모가 커졌다. 또한 소비 시장은 급격한 변화에 따라 새로운 제품이 빠른 시간에 양산되기를 원한다. 본 논문에서는 기능 검증과 회로 수정이 용이한 설계 방법을 적용하여 디지털 방송 시스템에서 오디오 수신기로 사용할 수 있는 MPEG(Moving Picture Expert Group) 계층 2 복호기를 설계하였다. 또한 본 논문에서는 설계하고자 하는 디지털 방송용 오디오 복호기는 알고리즘을 최적화하여 실시간 처리가 가능하며, 하드웨어 크기를 줄이는데 중점을 두었다. MPEG 계층 2 복호화 알고리즘은 하드웨어 크기에 많은 영향을 주는 가산을 포함한 승산기를 포함하고 있는데, 하드웨어 최적화를 위하여 승산에 사용되는 계수를 SD(Sign Digit)으로 표현하고, 이를 이용한 MAC(Multiplier with Accumulator) 연산기는 승산기가 포함되지 않은 구조로 구현할 수 있었다. 설계된 디지털 방송용 오디오 복호기는 13,957Gate의 하드웨어 크기로 구현할 수 있었으며, 기존^{[10][11]}의 승산기를 사용하였을 경우보다 22%(4000Gate)을 줄일 수 있었다.

Abstract

Recently due to rapid improvement of integrated circuit design environment, size of IC design is to become large to possible design System on Chip(SoC) that one chip with multi function enclosed. Also cause to this rapid change, consumption market is require to spend smallest time for new product development. In this paper to propose a methodology can design a large size IC for save time and applied to design of MPEG Layer 2 decoder to can use audio receiver in digital broadcast system. The digital broadcast audio decoder in this paper is pointed to save hardware size as optimizing algorithm. MPEG Layer 2 decoder algorithm is include MAC to can have an effect on hardware size. So coefficients are using sign digit expression. It is for hardware optimization. If using this method can design MAC without multiplier. The designed audio decoder is using 14,000 gates hardware size and save 22%(4000 gates) hardware usage than using multiplier^{[10][11]}. Also can design MPEG Layer 2 decoder usable digital broadcast receiver for short time.

* 正會員, 大林大學 電子情報通信學科

(Dept. Electronic and Information, Daelim Collage)

** 正會員, 慶熙大學校 電子工學科

(Dept. Electronic Eng., Kyunghee University)

接受日字:2000年9月30日, 수정완료일:2000年11月30日

I. 서 론

집적 회로 설계 환경의 급속한 발전은 1개의 집적회로에 다양한 기능을 포함한 시스템 온 칩의 설계가 가능할 정도로 설계 규모가 커졌다. 또한 소비 시장은 급

격한 변화는 새로운 제품이 빠른 시간에 양산되기를 요구하고 있다. 대규모의 집적회로를 빠른 시간에 설계할 수 있는 방법은 시스템 온 칩 설계에 있어서 매우 중요한 부분 중에 하나이다.^{[1][2]}

본 논문에서는 기능 검증과 회로 수정이 용이한 설계 방법에 의하여 디지털 방송 시스템에서 오디오 수신기로 사용할 수 있는 MPEG 계층 2 복호기를 설계하였다.^{[3][4]} 본 논문에서는 디지털 방송용 오디오 복호화 알고리즘을 최적화하여 하드웨어 크기를 줄이는데 중점을 두었다. MPEG 계층 2 복호화 알고리즘은 반복적인 변수와 계수의 승산으로 이루어 졌으며, 이를 하드웨어로 구현하기 위해서는 MAC(Multiplier with Accumulator) 연산기를 필요로 한다.^{[5][6][7][8]} 하드웨어 최적화를 위하여 MAC에 사용되는 계수를 SD(Sign Digit)으로 표현하고, 이를 이용한 MAC 연산기는 승산기가 포함되지 않은 구조로 구현할 수 있다. 설계된 디지털 방송용 오디오 복호기는 13,957 Gate의 하드웨어로 구현할 수 있었으며, 기존의 승산기^{[10][11]}을 사용하였을 경우보다 22%(4000 Gate)을 줄일 수 있었다. 설계된 디지털 방송용 오디오 복호기의 성능 평가는 역 양자화 및 서브밴드 합성 필터에서 사용되는 실수 계수를 16비트 정수, 24비트 정수 표현의 결과를 비교하였으며, 실시간 처리가 가능한 최적의 하드웨어 크기는 코어가 13,903 Gate이며, RAM 2,336K Word(16Bit), ROM 29,288 Bit로 고찰되었다.

II. 디지털 방송용 오디오 복호기의 개요⁽⁵⁾⁽⁷⁾

기존 아날로그 AM(Amplitude Modulation) 방송은 잡음에 대한 열화가 심하며, FM(Frequency Modulation) 방송은 날로 증가하는 고층 빌딩과 주택 밀집화에 따른 다중 경로 전파 현상과 이동체 수신 시 반송파 주파수의 도플러 효과 등에 영향으로 인해 음질 열화가 심화되고 있다. 또한 방송국의 수가 증가함에 따라 주파수 혼잡도가 매우 심각한 상태이며, 이에 따른 상호간섭은 새로운 방송사의 출현을 막고 있는 실정이다. 따라서 이와 같은 아날로그 방송의 문제점을 해결하고, CD(Compact Disk) 수준의 고 음질을 청취자에게 제공하기 위해서는 디지털 방송으로의 전환이 필수적이다. 오디오 방송의 디지털화는 이동체에서도 완벽한

CD 수준의 음질을 제공할 수 있으며, 향후 영상 정보를 포함한 멀티미디어 데이터를 고속으로 전송할 수 있는 장점을 지니고 있다. 또한 문자방송, 교통정보, 팩스, 광역 호출과 같은 고 부가 가치 서비스로 확대 이용될 수 있는 잠재력을 지니고 있다. 디지털 오디오 방송은 유럽에서는 DAB(Digital Audio Broadcasting), 미국에서는 DAR(Digital Audio Radio), 캐나다에서는 DRB(Digital Radio Broadcasting), ITU에서는 DSB(Digital Sound Broadcasting)으로 불리며, 일반적으로 DAB으로 표기한다. DAB의 국제 표준화 작업은 Eureka 147 시스템을 공동 개발한 EBU(European Broadcasting Union) 회원국들을 중심으로 ETSI(European Telecommunication Standard Institute)와 ITU-R 등에서 이루어지고 있다.

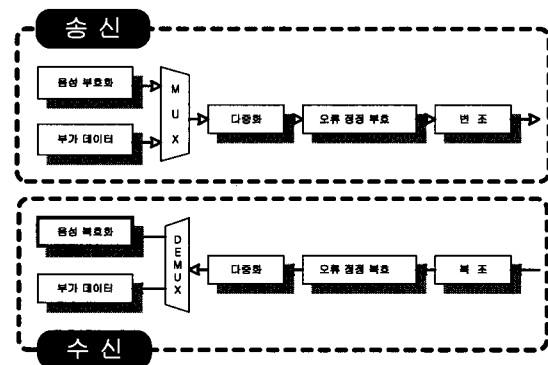


그림 1. 디지털 오디오 방송 시스템
Fig. 1. Digital Audio Broadcasting System.

국내에서는 1997년부터 디지털 TV 방송이 시작되었으며, 현재 2001년 상용 서비스 개시를 앞두고 있다. 이에 따라 지상파 디지털 TV 방송과 더불어 오디오 방송의 디지털화도 이루어질 전망이다. 한국방송공사는 1992년부터 Eureka147 방식과 In-Band 방식에 대한 기술적 검토와 성능 평가 및 시험방송 실시에 따른 제반 문제점을 검토하였으며, 한국전자부품연구소는 1995년 디지털 오디오 수신기 개발 전략을 수립하고, 이에 따라 OFDM 모뎀 개발 과제를 수행하였다. 또한 Eureka 147 방식 및 추후 결정될 국내 DAB 방식에 따른 디지털 오디오 수신기의 고성능 핵심 집적 소자들을 개발할 계획을 가지고 있다. 정보통신부에서는 지상파 디지털 방송을 위한 국내 표준 방식 결정 및 계획 수립을 목적으로 1997년 3월 학계, 연구소, 방송사 및

가전업계의 관계자들로 지상파 디지털 방송 추진 협의회를 구성하였으며, DAB 방송에 관한 세부적인 검토 작업은 오디오 분과위원회를 통하여 이루어지고 있으며, 참여하고 있는 방송사와 전자제품생산회사, 한국통신, 전자부품연구소 등은 Eureka147 방식을 선호하고 있다. 본 논문은 디지털 오디오 방송(Eureka147 방식)에서 수신기의 핵심 기술인 MPEG 계층 2 오디오 복호기를 설계하고자 한다. 디지털 오디오 방송을 위한 시스템은 그림 1과 같으며, 본 논문에서 설계하고자 하는 디지털 방송용 MPEG 계층 2 오디오 복호기의 세부 구조는 그림 2와 같다.

- (D) 멀티미디어 방송이 가능할 것
- (E) 안정적인 이동 수신이 가능할 것
- (F) 기저대역 신호에서 타 방송과의 공통성을 고려한 것일 것

그림 1에서 보여주는 바와 같이 디지털 오디오 방송은 5단계의 처리 과정을 거치며, 각각의 처리 과정은 디지털 오디오 방송에서 요구되는 내용에 영향을 미치며, 그 내용은 표 1과 같다.

표 1. 디지털 방송용 오디오 시스템의 요구 사항

Table 1. Requirement for DAB System.

요구항목 / 처리방법	(A)	(B)	(C)	(D)	(E)	(F)
음성 압축	대	대	대	중	-	-
다중화	-	소	중	대	-	-
오류정정	중	중	소	-	중	-
변조	소	대	대	-	대	중
RF	소	소	소	-	대	대

※ 대 : 요구 항목에 많은 영향 미침
 중 : 요구 항목에 영향 미침
 소 : 요구 항목에 조금 영향 미침
 - : 요구 항목에 거의 영향을 미치지 않음

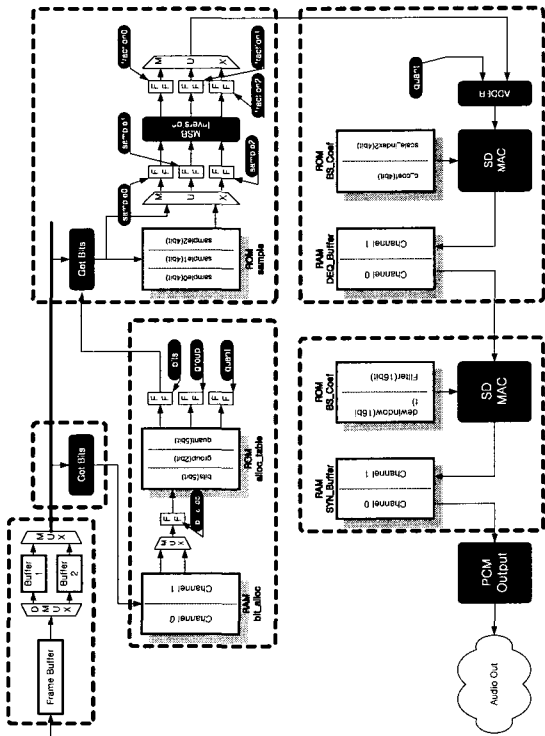


그림 2. MPEG 계층 2 오디오 복호기의 블록도
 Fig. 2. Block Diagram of MPEG Layer2 Audio Decoder.

그림 1의 디지털 오디오 방송 시스템에서 디지털 오디오 방송이 상용화되기 위해 요구되는 주요 내용은 다음과 같다.

- (A) 고품질 음성 방송이 가능할 것
- (B) 수신기의 소형화가 가능할 것
- (C) 국제적인 호환성을 고려한 것일 것

디지털 방송용 MPEG 계층 2 오디오 복호기는 디지털 방송 시스템에서 수신기에 포함되는 모듈이며 모든 디지털 오디오 방송용 수신기에 사용된다. 또한 차량용 오디오 제품 및 오디오 관련 제품에 사용할 수 있기 때문에 방대한 시장 규모를 가지고 있다. 디지털 방송용 수신기의 기능은 오디오뿐만 아니라 다양한 멀티미디어와 연계하여 청취자에게 제공될 수 있다.

Ⅲ. 디지털 방송용 오디오 복호기의 설계

1. 디지털 방송용 오디오 복호기의 구조

디지털 방송용 오디오 복호기는 그림 3과 같으며, 5개의 블록으로 이루어져 있다. 프레임 제어 모듈은 프레임 버퍼에 저장된 오디오 스트림 데이터를 원하는 비트 만큼을 가져오는 기능을 수행한다. 또한 헤더 정보 분석기,역 양자화기와 서브밴드 합성 필터 모듈은

MPEG 계층 2 복호기에서 처리되는 모듈이다. 특히 역 양자화와 서브밴드 합성 필터 모듈의 연산은 계수와 변수의 승산이 이루어지며, 하드웨어 구현 시 승산기를 포함한 가산기를 필요로 하여 설계 시 칩의 크기가 커진다. 이를 해결하기 위하여 본 논문에서는 그림 4와 같이 연산에 사용되는 계수를 SD(Sign Digit)으로 표현하고, 이를 이용하여 승산기 없이 가산기와 쉬프트에 의하여 승산이 가능하도록 연산기를 설계하였다.

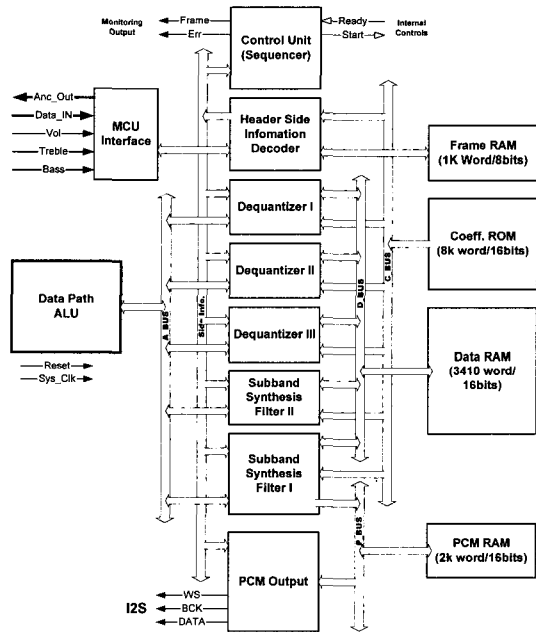


그림 3. MPEG 계층 2 오디오 복호기의 처리 블록
Fig. 3. Sub Block of MPEG Layer 2 Audio Decoder

2. SD MAC(Sign Digit Multiplier with Accumulator) 연산 방법

SD MAC 연산기는 변수와 상수의 승산에 사용되며, 승산기에 입력되는 상수는 식 (1)과 같이 표현 할 수 있다.

$$C = 1/2^{a0} \pm 1/2^{a1} \pm 1/2^{a2} \pm 1/2^{a3} \dots \pm 1/2^{an} \quad (n = \text{양의 정수}) \quad (1)$$

승산기에 입력되는 계수(상수)가 0.004242 이면 식 (1)에 의하여 식 (2)과 같이 표현 할 수 있다.

$$0.004242 = 1/27 - 1/29 + 1/211 + 1/216 \quad (2)$$

식 (1)을 사용하여 변수(V) X 상수(계수)는 다음과

같이 표현 할 수 있다.

$$V \times C = V/2^{a0} \pm V/2^{a1} \pm V/2^{a2} \pm V/2^{a3} \dots \pm V/2^{an} \quad (3)$$

식 (3)에서 "V/2^{a0}"은 입력된 변수(V)를 2의 계승으로 나누는 연산이며, 변수(V)를 a0 비트만큼 왼쪽으로 쉬프트 동작과 동일하다. 즉 입력되는 변수(V)에 계수(0.004242)를 승산하는 과정은 변수 V를 왼쪽으로 7번, 9번 11번 16번 쉬프트한 결과를 가산 또는 감산하여 누적한 결과이다. 따라서 승산기에 사용되는 계수는 가산과 감산의 횟수를 최소화하면서 계수에 가장 유사한 최적의 Sign Digit를 얻는 것이다. 또한 계수의 값은 ROM에 저장되고, 하드웨어 최적화를 위하여 저장되는 ROM의 크기를 최소화 해야 한다. ROM에 저장되는 계수는 a0, a1, ... an의 범위(R)에 따라 다르며, 계수의 ROM 데이터의 크기는 식 (4)와 같다.

$$\text{ROMSize(계수)} = \log R \times C \times m \quad (4)$$

여기에서 Coef num은 계수를 표현하기 위한 Sign Digit의 개수이며, Log R은 계수의 범위의 Log값이다.

디지털 방송용 오디오 복호기에서 사용되는 계수는 역 양자화 모듈이 64개이며, 서브밴드 합성 필터 모듈이 768개이다. 본 논문에서는 계수가 저장되는 ROM를 줄일 수 있는 SD MAC 연산기, 연산 횟수를 제한하는 SD MAC 연산기와 정확도가 높은 SD MAC 연산기를 설계하였으며, 이를 디지털 방송용 오디오 복호기에 적용하였다.

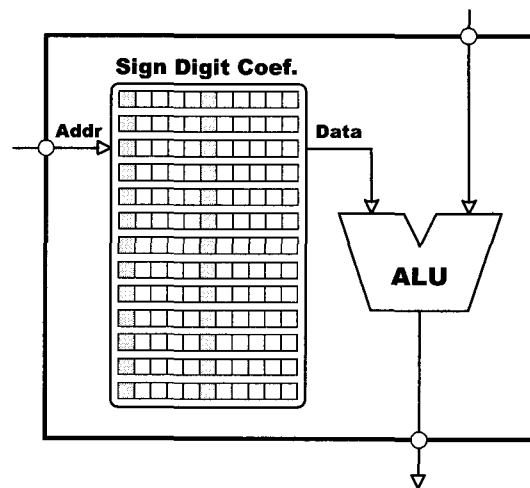
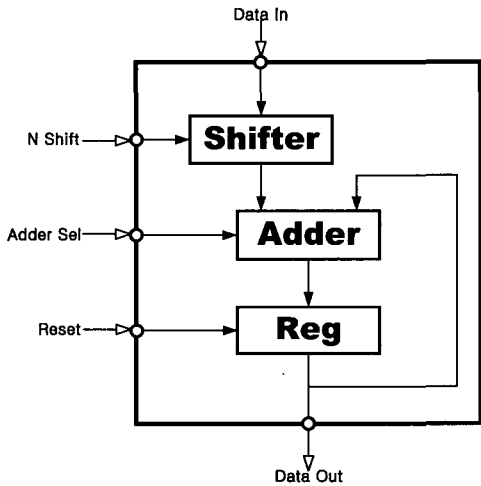


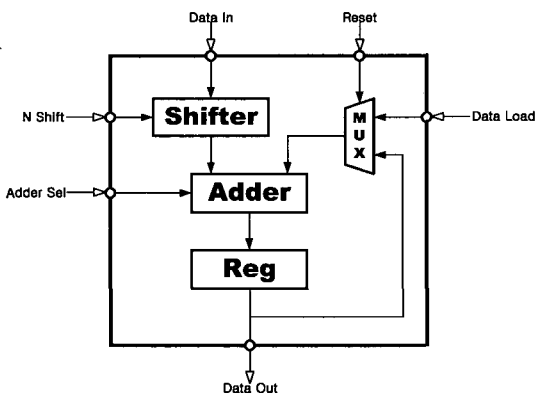
그림 4. Sign Digit를 이용한 MAC의 연산
Fig. 4. Calculation of MAC using Sign Digit.

3. SD MAC 연산기의 구조

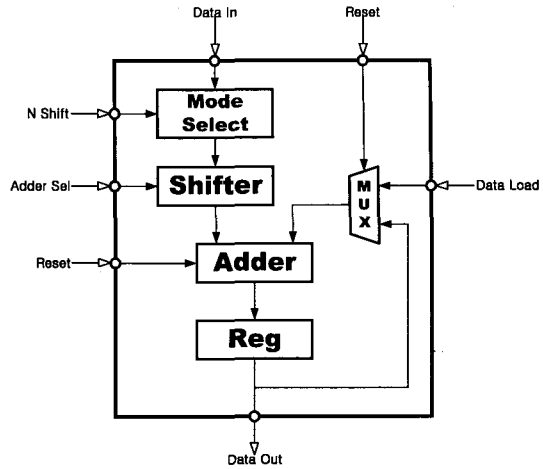
본 논문에서 설계한 SD MAC 연산기는 그림 5와 같다. 그림 5(a)는 실수로 구성된 계수의 정확성을 높이기 위하여 식(1)에 a_0, a_1, \dots, a_n 의 범위(R)를 크게 하며, Sign Digit의 계수를 제한하지 않았다. ROM에 계수를 저장할 때는 계수의 Sign Digit의 개수가 일정하지 않으므로 각 Sign Digit의 플래그 비트를 추가하여, 계수의 시작과 끝의 정보를 저장한다. SD MAC 구조 I은 연산의 정확성은 높일 수 있지만 하드웨어(제어 회로)가 커지고, 연산 시간이 많이 소요되는 단점이 있다. 그림 5(b)는 계수를 표현하기 위한 Sign Digit의 개수를 제한하였다. 계수의 Sign Digit의 개수가 제한되어



(A) SD MAC 구조 I
(A) SD MAC Architecture I



(B) SD MAC 구조 II
(B) SD MAC Architecture II



(C) SD MAC 구조 III
(C) SD MAC Architecture III

그림 5. SD MAC 연산기의 구조
Fig. 5. SD MAC Architecture.

있어서 연산의 정확성을 감소하나, 하드웨어가 간단하고, 처리 속도를 일정하게 유지 할 수 있다. 그림 5(c)는 SD MAC 구조 I과 SD MAC 구조 II의 단점을 보완한 방법으로 연산기에 사용되는 계수를 크기에 따라 분류하고, 분류된 계수의 Sign Digit 범위(R)를 달리하여 ROM에 저장될 데이터의 크기(식(4))를 줄인다. SD MAC 구조 III은 계수의 종류마다 Sign Digit 범위(R)가 다르므로 이를 구분 할 수 있는 인덱스를 ROM 테이블에 추가해야 한다.

4. 디지털 방송용 오디오 복호기의 설계

본 논문에서 설계한 MPEG 계층 2 복호기는 그림 2와 같으며, 6개의 모듈로 이루어졌다. 3.3절에서 설명한 SD MAC 연산기는 역 양자화 모듈과 서브밴드 합성 필터 모듈에서 사용된다. MPEG 계층 2 오디오 복호기의 테스트 벤치는 회로의 기능 검증을 위한 6개의 인터페이스 모듈로 구성되었다. 먼저 U_PLL 모듈은 시스템 신호(Clock, Reset, Interface Control)를 생성하고, U_ROM, U_RAM, U_Frame 모듈은 회로에서 사용하는 메모리이다. 마지막으로 U_FLI_Interface 모듈은 알고리즘의 기능 검증에 사용한 C 모델로 회로가 C 모델로 기술한 기능과 동일하게 동작함을 확인할 수 있다. MPEG 계층 2 복호기의 연산 과정은 그림 6과 같다.

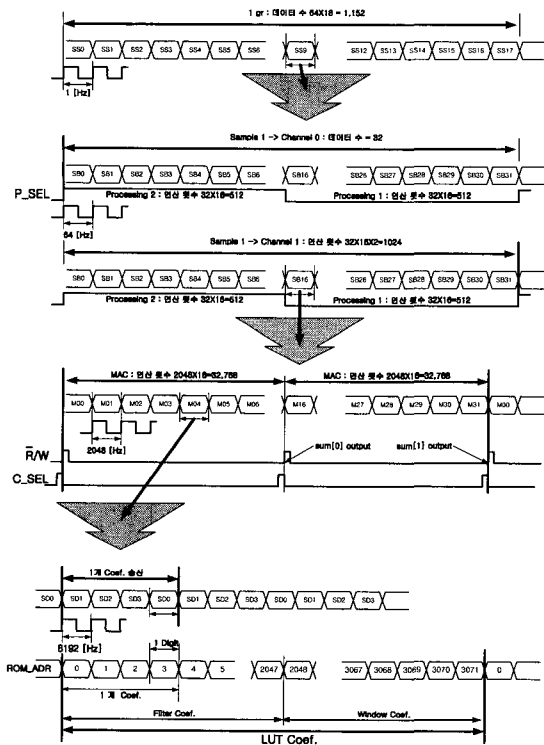


그림 6. MPEG 계층 2 오디오 복호기의 연산 과정
Fig. 6. MPEG Layer 2 Audio Decoding Result

IV. MPEG 계층 2 오디오 복호기 설계 및 고찰

본 논문에서 설계한 디지털 방송용 오디오 복호기의 설계 과정은 다음과 같다.

- (A) 디지털 방송용 오디오 복호기 모듈 분할
- (B) 하드웨어를 고려한 C 모델링 - 기능 검증
- (C) C 모델과 동일하게 처리되는 HDL 모델링
- (D) C 모델을 이용한 테스트 벤치의 구성 - 기능 검증
- (E) 삼성 KG80 라이브러리를 이용한 합성 및 기능 검증

설계 과정은 먼저 알고리즘을 분석하여 하드웨어 구조에 적합한 모듈로 분할하였다. 또한 본 논문에서 제한한 하드웨어 구조와 동일하게 C 언어를 사용하여 모델링하였다. C 언어로 모델링한 코드는 오디오 데이터 (MPEG 계층 2)를 사용하여 결과를 직접 확인하였으며,

기능 검증 후 C 모델과 동일하게 HDL으로 코딩하였다. HDL 기능 검증은 우선 C 모델의 결과와 비교하여 각 모듈을 검증하였다. 각 모듈 검증 후 전체 모듈에 오디오 데이터를 이용하여 전체 기능 검증을 확인하였다.

복호기의 성능 평가는 기존의 MAC 연산기와 처리 속도 하드웨어 크기를 비교하였다. 표 2는 본 연구에서 제안한 SD MAC(I, II, III)과 기존의 MAC 연산기의 처리 속도와 하드웨어 크기를 비교하였다. 표 2에서와 같이 코어의 크기는 SD MAC 구조 II가 가장 작은 하드웨어로 설계가 가능하고, 처리 속도는 기존의 MAC 연산기를 제외하고, SD MAC 구조 III이 가장 빠름을 알 수 있었다. 본 논문에서 구현하고자 하는 디지털 방송용 오디오 복호기는 오디오 처리 시간이 비교적 느리기(48kHz) 때문에 표 2의 모든 구조의 사용이 가능하다.

그림 7은 서브 밴드 합성 필터에서 사용되는 합성 필터 계수의 오차를 보여준다. 그림 7에서 "ABS Error(16)"은 실수 계수를 16비트의 정수로 표현했을 경우 오차율을 보여주고, "ABS Error(20)"은 실수 계수를 20비트의 정수로 표현했을 경우 오차율을 보여준다. 16비트 또는 20비트의 정수로 표현된 계수는 일반적인 MAC 연산기의 계수의 입력으로 사용된다. 본 연구에서 설계한 SD MAC 연산기는 하드웨어 크기의 비교 대상으로 16X16 승산기를 사용한 MAC을 이용하였다. 또한 오차율을 10⁻⁵이하의 정확성을 갖는 SD MAC를

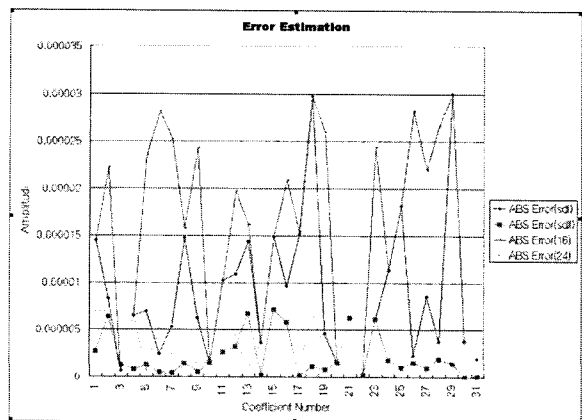


그림 7. DAB 오디오 복호기에서 사용되는 계수의 오차

Fig. 7. Error Rate using DAB Audio Decoder Coefficient.

설계하고자 함이다. "ABS Error(SD I)"은 SD MAC 구조 II에 적용 할 수 있는 계수이며, 오차는 실수 계수를 16비트로 표현한 경우 보다 우수함을 알 수 있다. "ABS Error (SD II)"는 SD MAC 구조 I, III에 적용 할 수 있는 계수이며, 오차는 실수 계수를 24비트의 정수로 표현한 경우 보다 우수함을 알 수 있다.

표 2. MAC 연산기의 처리 속도 및 하드웨어 크기 비교

Table 2. Compare to process time and hardware size of MAC processor.

	MAC (20X16)	Architecture 1	Architecture 2	Architecture 3
Size	3,689Gate	1,661Gate	1,440Gate	1,701Gate
Speed	34.82ns	83.105ns	60.44ns	51.13ns

표 3. MPEG 계층 2 복호기의 하드웨어 크기

Table 3. Hardware Size of MPEG Layer 2 Decoder.

Sub Block	MAC (1620)	Architecture 1	Architecture 2	Architecture 3
GetBits	478Gate	478Gate	478Gate	478Gate
Header	5,884Gate	5,884Gate	5,884Gate	5,884Gate
Dequantizer	4,062Gate	2,460Gate	2,441Gate	2,471Gate
Synthesis Filter	7,924Gate	4,688Gate	4,624Gate	4,720Gate
Controller	255Gate	329Gate	317Gate	341Gate
RAM	2,336Word	2,336Word	2,336Word	2,336Word
ROM	29,288Bits	37,804Bits	31,818Bits	29,288Bits

표 2의 각 SD MAC 구조를 이용한 MPEG 계층 2 오디오 복호기의 하드웨어 크기는 표 3과 그림 8에서 보여준다. 그림 8에서 보는 바와 같이 MPEG 계층 2 오디오 복호기는 제안된 SD MAC을 사용했을 경우 기존^[10, 11]의 MAC 연산기를 사용했을 경우 보다 하드웨어 크기를 22%(4,000Gate) 줄일 수 있다.

V. 결 론

본 연구에서는 기능 검증과 회로의 수정이 용이한 설계 방법을 디지털 방송 시스템에서 오디오 수신기로 사용할 수 있는 MPEG 계층 2 복호기 설계에 적용하였다. 설계하고자 하는 디지털 방송용 오디오 복호기는 알고리즘의 최적화에 의하여 하드웨어 크기를 줄이는데 중점을 두어 설계하였다. MPEG 계층 2 복호기의 기능 검증은 알고리즘 단계에서는 C 언어를 이용하였으며, 디지털 방송용 오디오 복호기의 기능 검증은 C 모델을 기초로 한 테스트 벤치에 의하여 이루어 졌다. 합성에 사용된 CAD 툴은 Synopsys(Version 2000.05)이며, 합성에 사용된 합성 라이브러리는 삼성 KG80(0.5u)를 사용하였다. 설계된 디지털 방송용 오디오 복호기는 13,957 Gate의 하드웨어 크기로 구현할 수 있었으며, 동일한 정확성을 갖는 MAC 연산기^{[10][11]}를 사용하였을 경우보다 22%(4000 Gate)을 줄일 수 있었다. 본 연구에서 제안한 SD MAC은 변수 X 상수(계수)의 연산이 포함된 회로(FIR Filter등)에 적용할 수 있으며, 설계한 디지털 방송용 오디오 복호기 코어는 개인 또는 차량용 오디오 또는 휴대용 단말기에 적용할 수 있다.

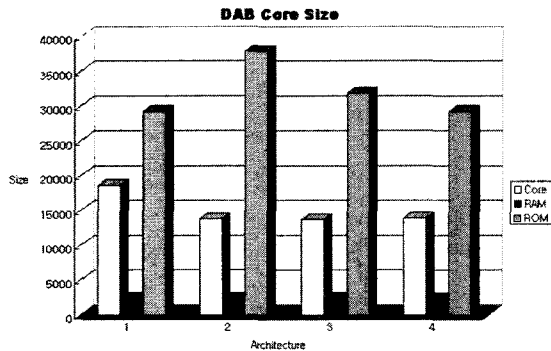


그림 8. MPEG 계층 2 복호기 하드웨어 크기
Fig. 8. MPEG Layer 2 Decoder Hardware Size.

참 고 문 헌

[1] P. Schaumont, S. Vernalde, L. Rijnders, M. Engels, I. Bolsens, "A Pro-gramming Environment for the Design of Complex High Speed ASICs", Proc. Design Autom. Conf. 1998.
[2] J. Henkel and R. Ernst, "The Interplay of Run-Time Estimation and Granularity in HW/SW Partitioning", In Proceedings Fourth Inter-national Workshop on Hardware/Software Co-Design (Codes/CASHE '96), pp

- 52-58, Pittsburgh, USA, 1996.
- [3] ISO/IEC JTC1/SC29/WG11 MPEG, IS11172-3 "Information Technology - Coding of Moving Pictures and Associated Audio for Digital Storage Media at up to About 1.5 Mbit/s, Part 3: Audio", 1992. (MPEG-1).
- [4] ISO/IEC JTC1/SC29/WG11 MPEG, IS13818-3 "Information Technology - Generic Coding of Moving Pictures and Associated Audio, Part 3: Audio", 1994. (MPEG-2).
- [5] P. Papamichalis, "MPEG Audio Compression: Algorithms and Implementation", in Proc. DSP 95 Int. Conf. on DSP, pp. 72-77, June 1995.
- [6] K. Brandenburg et al., "ISO-MPEG-1 Audio: A Generic Standard for Coding of High-Quality Digital Audio", J. Audio Eng. Soc., pp. 780-792, Oct. 1994.
- [7] R. K. Jurgens, "Broadcasting with Digital Audio", IEEE Spectrum, pp. 52-59, Mar. 1996.
- [8] United States Advanced Television Systems Committee(ATSC), Audio Specialist Group (T3/S7) Doc. A/52, "Digital Audio Compression Standard (AC-3)", Nov. 1994.
- [9] Shin, Kyung-Wook Lee, Yong-Surk Lee, Moon-Key, "Area-time complexity analysis for optimal design of multibit recoding parallel multiplier", 전자공학회논문지-A Seoul, The Korean Institute of Telematics and Electrical, 1995.5. v.32-A, n.5, pp. 71-80.
- [10] 조응호, 김중윤, 노덕수, "A study on implementation of optical high-speed multiplier using multiplier bit-pair recoding derived from booth algorithm=Bothm", 전자공학회논문지-D, 1998, 10 v.35-D, n.10, pp. 107-115.
- [11] Shin, Kyung-Wook Lee, Yong-Surk Lee, Moon-Key, "Area-time complexity analysis for optimal design of multibit recoding parallel multiplier", 대한전자공학회논문지, vol. 32-A, n.5, pp. 71-80, 1995.

저 자 소 개



朴鍾鎭(正會員)

1966년 12월 17일생. 1989년 2월 경희대학교 전자공학과 공학사. 1991년 8월 경희대학교 전자공학과 공학석사. 1995년 2월 경희대학교 전자공학과 공학박사 수료. 1999년 5월~현재 주식회사 앤스랩. 주관심

분야 : 디지털 신호 처리 시스템, 통신 시스템, ASIC 설계

趙源敬(正會員) 第29卷 B編 第2號 參照