

論文2000-37TE-2-3

LDD 구조를 가지는 n-채널 다결정 실리콘 박막 트랜지스터의 전기적 특성 분석

(Analysis of the Electrical Characteristics on n-channel
LDD structured poly-Si TFT's)

金東鎭*, 姜昌秀*

(Dong-Jin Kim and Chang-Su Kang)

요 약

본 연구는 n-채널 다결정 실리콘 박막 트랜지스터를 LDD 길이에 변화를 주며 제조한 후 이에 따른 전기적인 특성을 분석하였다. LDD 구조를 갖는 소자는 LDD 영역에 의한 직렬저항 효과와 드레인 부근의 전계 감소 효과에 의해서 기존의 구조를 가지는 소자에서 볼 수 있었던 Kink 현상이 사라지게 된다. 또한, on 전류의 소폭 감소와 함께 큰 폭의 off 전류 감소가 일어나 on/off 전류비가 기존 구조를 갖는 소자보다 크게 증가하게 된다. 이는 LDD 영역에 의한 직렬저항 효과보다 전계 감소 효과가 더 지배적으로 나타나기 때문으로 사료된다.

Abstract

The electrical characteristics of n-channel LDD structured poly-Si TFT's have been systematically investigated. It has been found that the LDD regions act as the effect of series resistance and reducing the electric field. Kink effect is disappeared and off current is greatly reduced, while on current is slightly reduced. On/off current ratio graph shows that LDD device's switching characteristic is better than that of conventional device. As a result of study, it is concluded that the effect of electric field's reduction is more dominant than that of series resistance.

Key Word : poly-Si TFT, Kink effect, on current, off current, series resistance

I. 서 론

다결정 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터와는 달리 10V 정도의 구동 전압에서 $50\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 높은 이동도를 가지기 때문에 CMOS (complementary metal-oxide-semiconductor) 구성이 가능하며 액정 구동용 박막 소자와 주변회로

(peripheral circuit)를 동시에 구성할 수 있어 고해상도가 요구되는 표시기의 구동 소자로써 발전을 이루어 왔고 이미지 센서, 프린터 헤드, 액정 shutter array, VLSI 메모리, 3D-ICs 등으로의 응용에 대한 연구가 활발히 진행되고 있다^[1,2] 하지만 다결정 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터에 비해 비교적 큰 off-전류를 갖기 때문에 화소용 switching 소자로 사용될 때 화소에 가해지는 전압을 일정하게 유지시키기 어렵고 디스플레이의 선명도가 감소되며 화질이 떨어진다는 제한 요소를 가지고 있다^[3] 다결정 실리콘 박막 트랜지스터의 off-전류는 드레인과 게이트 영역 부근의 전계 분포와 밀접한 관계가 있기 때문에 드레인 근처에 인가되는 전계를 감소시킴으로써 off-전

* 正會員, 柳韓大學 電子科

(Yuhan College, Dept. of Electronic Engineering)

※ 이 논문은 1999학년도 유한대학 학술연구비에 의하여 연구되었음.

接受日字:2000年3月10日, 수정완료일:2000年6月13日

류 증가현상을 해결하기 위해 LDD 구조를 가지는 소자 형태가 제시되었다^[45] 하지만 LDD 구조를 갖는 소자의 전기적 특성 변화에 따른 메카니즘 분석은 아직 미흡한 것으로 알려져 있다. 따라서 본 연구에서는 quartz 기판 위에 LDD 구조를 가지는 n 채널 poly-Si TFT's를 제작하여 그 전기적 특성을 분석해 보고자 한다.

II. 실험방법

LPCVD(low-pressure chemical vapor deposition) 방법으로 550 °C에서 1000 Å 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성층으로 사용하였다. 이 때 반응 가스로는 가장 많이 쓰이는 SiN₄를 사용하였으며, 증착시 진공도는 0.3 Torr, SiN₄ 유입량은 60sccm(standard cubic centimeter), 증착률은 34 Å/min로 유지하였다. Si 이온을 35 keV, 1.1×10¹⁵/cm²의 조건으로 실리콘 박막에 이온 주입시켰으며 증착된 비정질 실리콘을 고상결정화(SPC) 방법으로 열처리(580 °C, 48 hrs)하여 다결정 실리콘으로 고상화시킨 후 active mask를 이용하여 활성영역 층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. Gate 산화막은 열산화 방법으로 950 °C에서 1000 Å 성장시키고 Poly-Si 게이트 전극을 LPCVD 방법을 사용하여 560°C에서 1500Å 두께로 증착한 후 gate mask를 사용하여 gate 영역층을 정의한다. n-의 LDD 영역의 형성을 위하여 2×10¹²/cm²의 n-이온을 주입하고 photoresist로 LDD 영역을 덮은 상태에서 n+의 source/drain 형성을 위해 3×10¹⁵/cm², 95 keV의 조건으로 n+ 이온을 source, drain, gate 영역에 이온 주입하였으며 PECVD 방법으로 SiO₂ 막을 450 °C에서

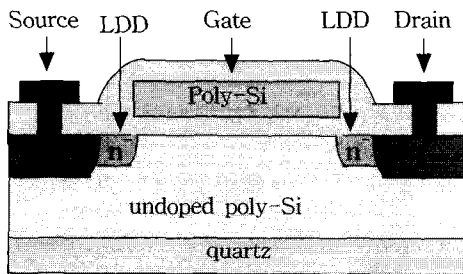


그림 1. LDD 구조를 갖는 n-채널 다결정 박막 트랜지스터의 구조

Fig. 1. Schematic cross section of n-channel LDD structured poly-Si TFT's.

3500Å 두께로 증착시켰다. Contact mask를 이용하여 source, drain, gate 접촉점을 정의한 후 실리콘이 1% 함유된 알루미늄을 DC magnetron sputtering 방법으로 증착하였다.

Metal mask를 사용하여 전극을 형성하고 450 °C에서 1시간 동안 alloying하여 그림 1과 같은 구조의 W/L = 50 μm / 10 μm이고 다양한 LDD 길이를 갖는 n-channel 다결정 실리콘 박막 트랜지스터를 제작하였다.

LDD 구조를 갖는 소자의 전기적인 특성은 HP4156 반도체 변수 분석기를 사용하여 측정했으며 수평 및 수직 전계 값은 SILVACO simulator를 사용하여 알아 보았다.

III. 결과 및 고찰

그림 2 는 게이트 전압이 5 V일 때의 LDD 길이에 따른 전형적인 V_{DS}-I_{DS} 특성 곡선이다.

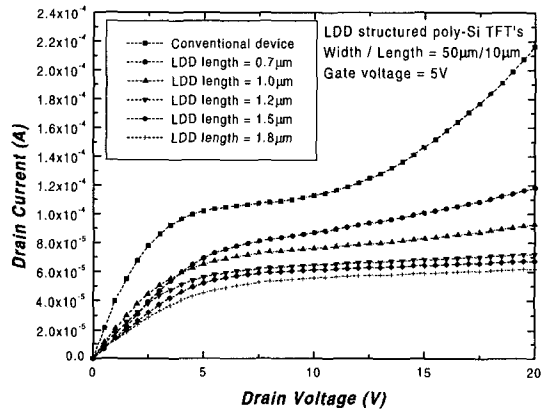


그림 2. 게이트 전압이 5 V일 때의 LDD 길이에 따른 V_{DS}-I_{DS} 특성 곡선

Fig. 2. The V_{DS}-I_{DS} characteristics of n-channel LDD structured poly-Si TFT's when V_{DS} = 5V.

기존의 구조를 갖는 W/L = 50 μm / 10 μm 인 소자의 경우 드레인 전압이 10 V인 지점에서 Kink 현상이 일어나는 것을 확인할 수 있었다. 이는 수평방향 전계로부터 큰 에너지를 가지게된 전자들이 드레인 접합 부근의 고전계 영역에서 충돌 이온화(impact ionization)를 일으키게 되고 이로부터 생성된 전자·정공 쌍(electron-hole pairs, EHPs) 중 빠져나가지 못한 정공들이 전위가 가장 낮은 기판 영역에 축적됨으로써

소스-기판 접합에 순방향 바이어스를 인가한 것과 같은 효과를 가져와 전자가 소스로부터 지수 함수적으로 주입되기 때문이다. 하지만 LDD 구조를 갖는 소자의 경우는 LDD 영역에 의한 전계감소 현상으로 인하여 캐리어에 전달되는 에너지가 감소되기 때문에 드레인 영역 부근에서의 전자·정공 쌍 생성 및 기판에 축적되는 정공의 양도 감소되기 때문에 Kink 현상이 나타나지 않는다. 또한, LDD 영역의 직렬저항 효과에 의해서 LDD 길이가 길어짐에 따라서 on 전류값이 감소하는 것을 확인할 수 있었다.

그림 3 은 드레인 전압이 5 V일 때의 LDD 길이에

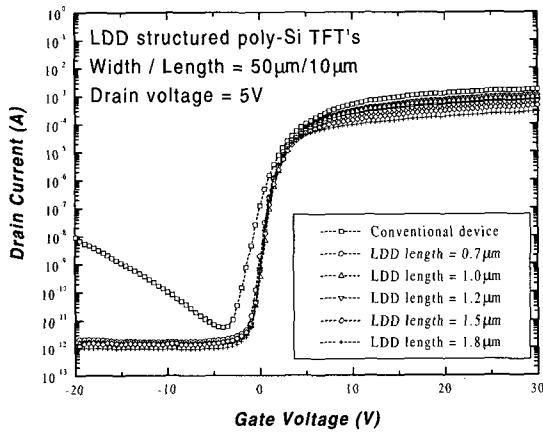


그림 3. 드레인 전압이 5 V일 때의 LDD-길이에 따른 $V_{GS}-I_{DS}$ 특성 곡선

Fig. 3. The $V_{GS}-I_{DS}$ characteristics of n-channel LDD structured poly-Si TFT's when $V_{DS} = 5V$.

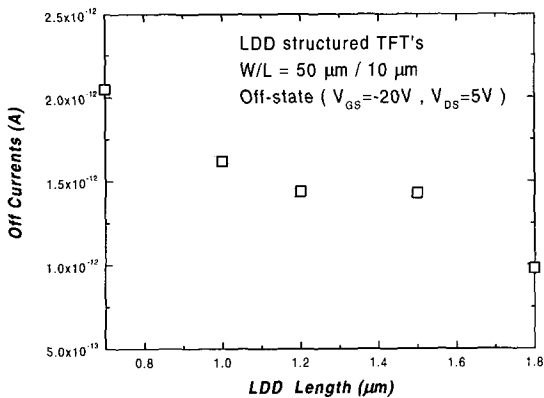


그림 4. LDD 길이에 따른 off-전류의 변화

Fig. 4. The variation of the off-current as a function of LDD length.

따른 전형적인 $V_{GS}-I_{DS}$ 특성 곡선이다. LDD 길이가 증가함에 따라 on-전류는 LDD 영역의 직렬저항 효과로 인하여 소폭 감소하게 되는데 비해 off-전류는 10-12 A 정도의 값으로 크게 감소하여 게이트 전압이 나 드레인 전압에 관계없이 일정해지며 게이트 전압이 -20 V 이고 드레인 전압이 5 V 일때의 LDD 길이에 따른 off-전류 그래프인 그림 4 에서와 같이 LDD 길이가 증가함에 따라 off-전류는 감소되는 것을 볼 수 있었다.

Off-전류는 다결정 박막 트랜지스터의 드레인 부근에 강한 전계가 인가될때 결정입계(grain boundary)에 존재하는 트랩을 통하여 지수함수적으로 발생하는 전자·정공쌍이 공급원으로 작용하여 형성되어 진다.

따라서 SILVACO simulator를 사용하여 게이트 전압이 -20 V이고 드레인 전압이 5 V 일 때의 LDD 길이에 따른 수직 및 수평 전계값을 보여주는 그림 5 와 그림 6 에서와 같이 기존의 구조를 갖는 소자에 비하여 LDD 구조를 갖는 소자의 수평 및 수직 전계 값이 크게 감소되기 때문에 식 (1)에서와 같이 수평전계값에 비례하는 off-전류가 감소하게 되는 것이다.^[6,7]

$$I_{off} = qW x_e N_T \left(\frac{1}{\tau_{TC} + \tau_{TV}} \right) \left(\frac{|V_D|}{E_y} \right) \quad (1)$$

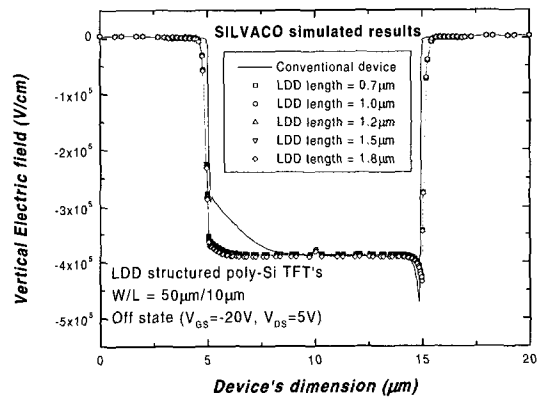


그림 5. 게이트 전압이 -20 V이고 드레인 전압이 5 V 일 때의 수직전계 시뮬레이션 결과

Fig. 5. The results of simulation for the vertical electric field when $V_{GS} = -20 V$, $V_{DS} = 5 V$.

식 (1) 에서 x_e 는 접합영역의 effective depth이고 τ_{TC} 와 τ_{TV} 는 단위 시간당 trap된 carrier가 tunneling 할 확률로 드레인 근처에 걸리는 수평전계 값의 역수

에 대해서 지수 함수적으로 비례한다.

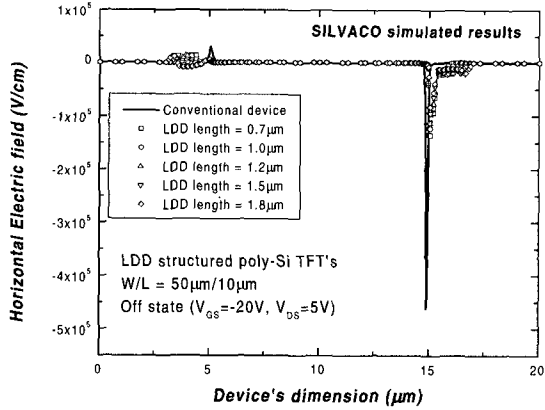


그림 6. 게이트 전압이 -20 V이고 드레인 전압이 5 V 일 때의 수평전계 시뮬레이션 결과
 Fig. 6. The results of simulation for the lateral electric field when $V_{GS} = -20$ V, $V_{DS} = 5$ V.

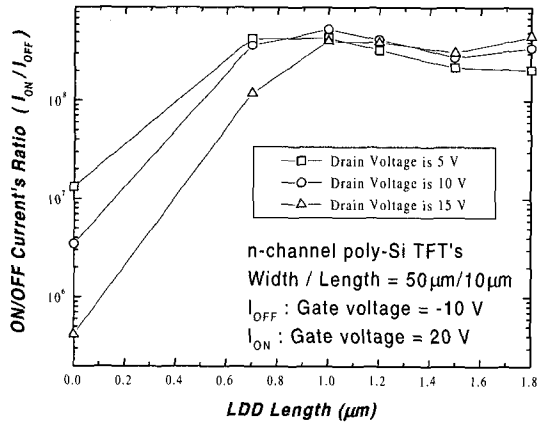


그림 7. 드레인 전압과 LDD 길이에 따른 다결정 박막 트랜지스터의 on/off 비 변화
 Fig. 7. The variation of on/off ratio as a function of LDD length and drain voltage.

그림 7은 게이트 전압이 20 V 일때의 on-전류와 게이트 전압이 -10 V 일때의 off-전류값으로부터 구한 LDD 길이의 변화에 따른 on/off 전류비의 변화를 나타낸 그래프이다. 기존의 구조를 갖는 소자에 비해 LDD 구조를 갖는 소자의 on/off 전류비가 월등히 큰 것을 확인할 수 있었으며 드레인 전압의 변화에 따른 on/off 전류비 변화 역시 기존의 구조를 갖는 소자에 비해 훨씬 적은 것을 알 수 있었다. 이는 LDD 구조를 갖는 소자의 직렬저항 효과에 의한 on-전류 감소현상보다 전

계 감소 효과에 의한 off-전류 감소 현상이 지배적으로 작용했기 때문으로 사료된다.

IV. 결 론

LDD 구조를 갖는 다결정 박막 트랜지스터를 제작하여 그 전기적 특성을 분석하였다.

LDD 구조를 갖는 다결정 박막 트랜지스터는 LDD 영역에 의한 직렬저항 효과와 이에 따른 전계감소 효과 때문에 기존의 구조를 갖는 소자에 비하여 드레인 부근의 수평전계 값이 50 % 미만으로 감소된다. 따라서 기존의 구조를 갖는 소자에서 볼 수 있었던 Kink 현상이 사라지고 on 전류의 소폭 감소와 함께 off 전류의 큰 감소가 일어나게 되며 이는 게이트 전압이나 드레인 전압에 상관없이 거의 일정한 값을 갖는 것으로 나타났다. 따라서 LDD 구조를 갖는 소자의 on/off 전류비는 기존의 구조를 갖는 소자에 비하여 증가하는 것으로 나타났으며 이로부터 LDD 영역에 의한 전계 감소 효과가 직렬저항 효과보다 지배적으로 작용한다는 것을 알 수 있었다.

참 고 문 헌

- [1] S. Matsumoto, "Electronic Display Devices.", by John Wiley & Son, pp. 64-83, 1990.
- [2] A. G. Lewis, et al., "Polycrystalline Silicon Thin Film Transistors for Analogue Circuit Applications", in IEDM Tech. Dig., pp. 264-267, 1988.
- [3] J. G. Fossum, A. Ortiz-Conde, H. Shichijo, and S. K. Banarjee, "Anomalous Leakage Current in LPCVD Polysilicon MOSFET's", IEEE Trans. Electron Devices, Vol. ED-32, pp. 1878-1884, Sept. 1985.
- [4] K. Tanka, H. Arai, S. Kohda, "Characteristics of Offset-Structure Polycrystalline-Silicon Thin-Film Transistors", IEEE Electron Device Letters, Vol. 9, pp. 23 ~25, 1988.
- [5] K. R. Olasupo, W. Yarbrough, and M. K. Hatalis, "The Effect of Drain Offset on Current Voltage Characteristics in Sub-micron

- Polysilicon Thin-Film Transistors", IEEE Transaction on Electron Devices, Vol. 43, pp. 1306~1308, 1996.
- [6] Tahui Wang, T. E. Chang, C. M. Huang "Interface Trap Induced Thermionic and Field Emission Current in Off-State MOSFET's", IEDM94, pp. 161-164.
- [7] M. Hack, I. W. Wu "Analysis of Leakage Currents in Poly-Silicon Thin Film Transistors", IEDM93, pp. 385-388

저 자 소 개

金東鎮(正會員) 第36卷 T編 第1號 參照

姜昌秀(正會員) 第36卷 T編 第1號 參照