

論文2000-37SC-6-6

2ⁿ개의 노드를 갖는 DCG 특성에 대한 병렬3치 논리회로 설계에 관한 연구

(A Study on the Parallel Ternary Logic Circuit Design to DCG Property with 2ⁿ nodes)

卞基寧*, 朴承用*, 沈載煥*, 金興壽*

(Gi-Young Byun, Seung-Yong Park, Jae-Whan Sim, and Heung-Soo Kim)

요 약

본 논문에서는 2ⁿ개의 노드를 갖는 DCG 특성에 대한 병렬 3치 논리회로를 설계하는 알고리즘을 제안하였다. 회로의 집적도를 높이기 위한 다양한 연구분야 중 전송선의 신호레벨을 증가시켜줌으로써 회로내의 배선밀도를 낮출 수 있으며 병렬신호전송을 통한 신호처리의 고속화, 회로의 특성을 만족시키며 최적화할 수 있는 회로설계알고리즘은 모두 고밀도 집적회로를 구현하기 위한 유용한 수단이 될 수 있다. 본 논문에서는 특히, 노드들의 개수가 2ⁿ개로 주어진 DCG에 대하여 그 특성을 행렬방정식으로 도출해내고 이를 통해 최적화 된 병렬3치 논리회로를 설계하는 과정을 정리하여 알고리즘으로 제안하였다. 또한, 설계된 회로의 동작특성을 만족하도록 DCG의 각 노드들의 코드를 할당하는 알고리즘도 제안하였다. 본 논문에서 제안된 알고리즘에 의해 회로결선의 감소와 처리속도 향상, 비용절감 측면에서 유용하다 할 수 있다.

Abstract

In this paper, we propose the parallel ternary logic circuit design algorithm to DCG Property with 2ⁿ nodes. To increase circuit integration, one of the promising approaches is the use of multiple-valued logic(MVL). It can be useful methods for the realization of compact integrated circuit, the improvement of high velocity signal processing using parallel signal transmission and the circuit design algorithm to optimize and satisfy the circuit property. It is all useful method to implement high density integrated circuit. In this paper, we introduce matrix equation to satisfy given DCG with 2ⁿ nodes, and propose the parallel ternary logic circuit design process to circuit design algorithm. Also, we propose code assignment algorithm to satisfy for the given DCG property. According to the simulation result of proposed circuit design algorithm, it have the following advantage ; reduction of the circuit signal lines, computation time and costs.

I. 서 론

지난 수 십년간 VLSI라 일컬어지는 반도체 집적회로

기술은 비약적인 발전을 이룩하여 소자의 집적능력과 기능당 가격비율을 크게 향상시켰다. 그러나, 최근의 산업추세는 이보다 더 높은 집적도와 빠른 신호처리가 가능한 초 고밀도 집적회로를 요구하고 있다. 이러한 회로 구현을 위한 연구들이 진행되고 있으나, 회로의 내부결선 및 소자들간의 배선면적이 전체집적도 향상에 큰 장애가 되고 있다. 회로의 집적도 향상에 따른 내부결선의 증가는 필연적으로 신호선사이의 혼선잡음과 배선길이에 의한 신호지연 등의 문제점과 함께 집

* 正會員, 仁荷大學校 電子工學科

(Dept. of Electronic Eng., InHa Univ.)

※ 본 연구는 인하대학교 99년도 연구비 지원에 의하여 수행되었습니다.

接受日字:1999年5月31日, 수정완료일:2000年10月31日

적회로의 소자가 차지하는 면적보다 오히려 회로결선들의 면적이 전체 집적도를 결정하는 요소가 되고 있다. 이러한 문제점들을 해결하는 것이 초고밀도 집적회로 구현의 중요한 주제로 부각되고 있으며 이들에 대한 다방면의 많은 연구들이 진행되고 있다. 하나의 신호선에 "0"과 "1"의 두 신호레벨만의 전송보다는 보다 다원화된 신호레벨의 전송에 관심이 모아지고 있으며, 이러한 신호레벨의 다원화를 통해 회로내의 배선과 모듈간의 결선을 감소시켜 결과적으로 회로의 처리능력과 신뢰성 및 집적도를 향상시킬 수 있다^[1~3]. 이와 같이 다원화된 신호레벨에 대하여 그에 적합한 신호처리를 가능하도록 논리회로를 구성하는 기법을 다치논리(Multiple Valued Logic)이론이라 한다. 한편, 입력과 출력의 관계를 수식을 통해 정리하여 그 입출력단자사이의 회로 구성을 보다 최적화하는 알고리즘에 대한 연구가 진행되어 왔다. 즉, 출력단자에 영향을 미치는 입력단자의 수를 감소시킴으로써 입출력간의 의존도를 감소시킬 수 있다. 이에 따라 내부결선의 복잡도를 감소시키고 신호의 흐름선상에 존재하는 기본논리게이트들에 의해 발생하는 임계지연경로가 짧아짐으로써 이 또한 다치논리이론과 함께 회로의 처리능력과 신뢰성 및 집적도를 향상시키는 효과를 기대할 수 있다. 따라서, 다치논리이론을 적용한 최적화 회로설계알고리즘은 차세대 논리회로의 매우 중요한 연구분야로 부각되고 있으며, 이에 대한 연구가 활발히 진행중이다.

노드들 간의 관계가 순환특성을 갖는 방향성 그래프(Directed Cyclic Graph:DCG)의 형태로 주어졌을 때, 이러한 노드들의 입출력간의 연관관계를 유한체상에서 정의된 덧셈기와 곱셈기를 통해 병렬다치논리회로로 구현하는 연구가 진행되어 왔다. Nakajima의 연구기법^[4~9]에 따르면 주어진 DCG의 경로의 수를 소수들의 곱으로 인수분해하여 분해된 소수에 해당하는 DCG에 대하여 회로를 구성한 후, 이들을 선형결합하여 주어진 DCG의 특성을 만족하는 회로를 설계하는 기법을 제안한 바 있다. 그러나, 이러한 기법은 주어진 DCG의 경로수가 소수들의 곱으로 인수분해되는 수이어야 한다는 점에서 임의의 경로의 수를 갖는 DCG에 대한 해석과 그에 따른 회로구현에 제한이 있다. 이러한 문제점에 대하여 본 논문에서는 DCG의 경로수가 2ⁿ개로 주어졌을 때, 이에 대한 행렬방정식으로 부터 수식을 도출해내며 이를 분석함으로써 최적화된 회로를 구할 수 있는 알고리즘을 제안하였다. 본 논문에서 제안된 알고

리즘에 따라 설계된 회로를 통해 2치 논리에 비해 3치 논리를 적용한 회로가 갖는 장점을 확인할 수 있으며 기존에 제안된 회로설계 알고리즘에 비해 보다 개선된 알고리즘임을 확인할 수 있다. 본 논문의 구성과 서술 과정은 다음과 같다.

II장에서는 본 논문을 전개하는데 필요한 그래프성질 및 수학적 배경에 대하여 논의하였으며, III장에서는 행렬방정식을 통해 DCG특성을 만족하는 병렬다치논리 회로를 설계하는 기법과 코드를 할당하는 알고리즘을 설계하였다. 끝으로 IV장의 결론에서는 본 논문에서 다룬 내용의 특징을 요약하였으며 향후 연구과제에 대하여 언급하였다.

II. 그래프 성질 및 수학적 배경

1. 방향성그래프(DG:Directed Graph)

일반적으로, 그래프는 방향성그래프(Directed Graph: DG)와 비방향성그래프(Undirected Graph:UG)로 구분되며 그 계층적구조에 따라 각각 사이클(cycle)과 트리(tree)로 세분된다. 그래프는 노드(node)들과 이들을 연결한 브랜치(branch)들의 집합으로 정의되며, 특히 브랜치들의 방향이 정의되어 있는 그래프를 방향성그래프라 한다. 방향성그래프의 몇 가지 예를 그림 1에 도시하였다.

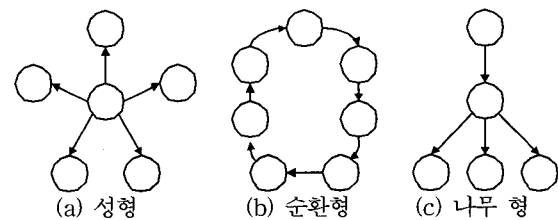


그림 1. 방향성그래프의 예
Fig. 1. Examples of Directed Graph.

위 그림 1의 (b)와 같이 그래프의 형태가 방향을 가지며 사이클을 이루는 구조를 DCG라 하고 이의 몇가지 성질을 정리하면 다음과 같다.

[성질 2.1.1] $s_2 = A s_1$ 의 관계를 갖는 두 노드 s_1, s_2 에 대하여 s_1 을 s_2 의 조상(원인 또는 입력), s_2 를 s_1 에 대한 자손(결과 또는 출력)이라 한다. 이때, s_1 과 s_2 의 관계를 그림으로 나타내면 s_1 에서 출발한 화살표가 s_2 에 도착한 형태로 표현되며, 이때 화살표는 두 노드들간의 관

계를 설명해주는 전달함수(transfer function) A 가 된다.

[성질 2.1.2] $s_k = A^m s_1$ 의 관계를 갖는 두개의 노드 s_k 와 s_1 에 대하여 s_1 은 s_k 의 m 번째 조상이 되며, s_k 는 s_1 의 m 번째 자손이 된다. 즉, s_1 에서 출발하여 s_k 에 도착하기 위해서는 m 번의 A 를 취해야 한다.

[성질 2.1.3] $s_1 \neq s_2 \neq \dots \neq s_l$ 이며 경로 1을 형성하는 $l+1$ 개의 노드들 s_1, s_2, \dots, s_{l+1} 에 대하여 $s_{i+1} = A s_i$ 의 관계가 성립할 때 이러한 관계를 경로 1의 사이클이라 한다.

이외의 유용한 그래프의 성질은 참고문헌^[10, 11]을 참조하였다.

2. 유한체 GF(p)의 성질

프랑스의 수학자 Galois에 의해 발견된 유한체는 일명 Galois체라고도 하며 다치논리시스템설계, 오류정정 부호 및 스위칭이론 등에 광범위하게 적용되는 대수학의 일부분이다. 유한체의 성질에 대하여는 잘 알려져 있는 바와 같으며 그 성질을 간단히 살펴보면 다음과 같다.

유한체 GF(p)는 p가 1보다 큰 소수이고 {0, 1, 2, ..., p-1}를 그 원소로 갖는 기초체이다. 유한체 GF(p)상의 임의의 원소 α, β, γ 는 다음과 같은 성질을 만족한다.

[성질 2.2.1] 유한체 GF(p)상의 원소들의 연산에 대하여 가산(\oplus)과 승산(\odot)이 정의되고 그 연산 결과는 유한체 GF(p)에 대하여 닫혀있다.

[성질 2.2.2] 유한체 GF(p)상의 원소들의 연산에 대하여 교환, 결합, 분배법칙이 성립한다.

[성질 2.2.3] 유한체 GF(p)상의 원소들의 연산에 대하여 가산과 승산의 항등원과 역원이 각각 존재한다.

이외의 유용한 유한체 GF(p)의 성질은 참고문헌^[12, 13]을 참조하였다.

3. 선형회로의 구성과 코드

선형특성을 만족하는 다치논리회로를 설계하기 위해, 기본게이트로서 유한체 GF(p)내에서 덧셈기와 곱셈기를 다음 그림 2-3-1과 같이 정의한다.

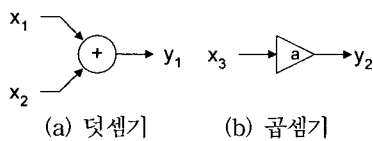


그림 2. 유한체 GF(p)상의 선형다치논리게이트
Fig. 2. Linear MVL gates over GF(p).

위 그림 2의 (a)의 소자는 두 개의 입력 x_1, x_2 를 GF(p)상의 덧셈연산을 수행한 후 그 결과를 modular(p) 연산하여 출력시키는 gate이며, (b)의 소자는 입력 x_3 를 GF(p)상에서 a배 만큼 스칼라 곱한 후 그 결과를 modular(p)연산하여 출력시키는 gate이다.

이때, y_1 과 y_2 는 각각 다음과 같이 정의된다.

$$x_1, x_2, x_3, y_1, y_2 \in GF(p),$$

$$y_1 = (x_1 \oplus x_2) \text{mod}(p), \quad y_2 = (a \odot x_3) \text{mod}(p)$$

그림 2-3-1과 같이 유한체 GF(p)상에서 정의된 논리 게이트들을 사용하여 DCG의 노드간의 관계를 3치의 논리회로로 구현하고 각 노드들에 코드를 할당하는 과정을 다음 예제 2.3.1을 통해 살펴본다.

[예제 2.1] 표 2-3-1에서 주어진 노드들의 관계표를 유한체 GF(3)상의 회로로 구현하는 과정은 다음과 같다.

표 1. 노드들의 연관관계표
Table 1. Relationship table of nodes.

입력	B C
출력	C B

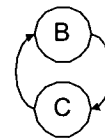


그림 3. 표 1의 DCG
Fig. 3. DCG of table 1.

위 표 1의 노드 B와 C는 서로 입력과 출력의 관계를 가지며 이를 그림으로 표현하면 그림 3와 같다. 유한체 GF(3)상에서 $1 \odot 2 = 2$ 이고 $2 \odot 2 = 1$ 이므로, 이 관계를 이용하여 노드 B와 C에 각각 1과 2의 코드를 할당하고 그 관계를 $\odot 2$ 로 정의한다면 표 1의 노드 B와 C의 관계를 만족시킬 수 있다(이때, 코드를 바꾸어 할당해도 결과는 동일하다). 따라서, 이를 그림 3과 같이 회로로 설계할 수 있으며 각 노드들의 코드는 표 2와 같다.

표 2. 표 1의 노드들의 코드
Table 2. Code of nodes in table 1.

	B C
코드	1 2

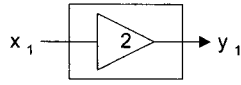


그림 4. 표 1의 회로설계
Fig. 4. Circuit design of tabel 1.

이외의 선형회로구성에 대한 내용은 참고문헌^[14]를 참조하였다.

4. 회로의 분할 연산

두 개의 정방행렬 A 와 A' 가 유한체 GF(p)상에서 정의될 때 $A' = PAP^{-1}$ 를 만족하는 가역행렬 P 가 존재하면, A' 는 A 와 상사(similar)라 한다.

$n \times n$ 행렬 A 가 존재할 때 A 의 특성다항식의 차수는 n 이며, 특성다항식의 최고차항의 계수는 1이다(이러한 성질을 갖는 다항식을 monic다항식이라 한다).

$$d(x) = a_0 + a_1x + \dots + a_{n-1}x_{n-1} + x_n \tag{1}$$

$$A = \begin{pmatrix} 0 & 0 & 0 & \dots & -a_0 \\ 1 & 0 & 0 & \dots & -a_1 \\ 0 & 1 & 0 & \dots & -a_2 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & -a_{n-1} \end{pmatrix} \tag{2}$$

식 (1)의 특성다항식을 갖는 행렬은 식 (2)와 같은 행렬로 표현되며, 이때 식 (2)의 A 를 특성다항식 $d(x)$ 의 동반행렬(Companion matrix)이라 한다. 그리고 동반행렬들은 선형특성에 의해 식(2-4-3)과 같이 선형결합이 가능하다.

$$A = \begin{pmatrix} A_1 & & & \\ & A_2 & & \\ & & \ddots & \\ & & & A_s \end{pmatrix} \tag{3}$$

이외의 회로의 분할연산 및 행렬구성기법에 대한 내용은 참고문헌^[14]를 참조하였다.

III. 병렬다치논리회로의 설계

1. 행렬방정식을 통한 DCG의 해석과 설계

Nakajima의 연구기법에 따르면 주어진 DCG의 경로수 l 에 대하여 이를 소수들의 곱으로 인수분해 한 후 인수분해된 각각의 수에 대하여 회로를 설계한 후 이를 선형결합함으로써 경로수 l 의 특성을 만족하는 회로를 설계할 수 있다. 그러나, $l=4, 8, 16$ 의 경우와 같이 2^n 개의 경로수를 갖는 DCG의 경우, 이러한 특성을

만족하는 회로를 Nakajima의 알고리즘을 통해서 설계할 수 없다.

본 절에서는 Nakajima의 알고리즘과는 달리 주어진 DCG의 경로수로 부터 행렬방정식을 유도해 내고 이를 통해 DCG의 특성을 만족하는 회로를 설계하는 새로운 알고리즘에 대하여 논의한다. 이후 『 m 개의 노드들간의 입출력 연관관계』 또는 『 m 개의 노드를 갖는 DCG』를 편의상 『 m -노드 DCG』 또는 『 $DCG_{l=m}$ 』으로 나타낸다.

다음의 예제 3.1은 Nakajima의 알고리즘을 통해서 설계할 수 없는 경우에 대하여 본 논문에서 사용하는 행렬방정식을 통해 회로를 설계해 가는 과정을 살펴본다.

【예제 3.1】 그림 5의 『4-노드 DCG』의 특성을 만족하는 회로를 설계하는 하기 위하여 행렬방정식을 유도한다.

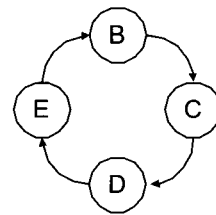


그림 5. 『4-노드 DCG』
Fig. 5. 『4-node DCG』

인접한 두 개의 노드들간의 일정한 연관관계에 대하여 이 관계식을 행렬로서 표현할 수 있으며, 이때의 행렬을 전달행렬 A 라 하자. 이 전달행렬 A 에 의해 인접한 노드들은 일정한 관계를 가지며 전체적으로 순환관계를 만족해야 한다. 주어진 DCG의 각 노드들과 전달행렬 A 의 관계를 살펴보면 다음과 같은 수식을 만족해야 한다.

$$AB=C, AC=D=A^2B, AD=E=A^3B, AE=B=A^4B.$$

즉, 각각의 노드에 일정한 전달행렬 A 를 취해주면 그 다음에 위치한 노드를 얻을 수 있으며, 마지막 노드에 전달행렬 A 를 취해주면 최초의 노드로 돌아와서 결과적으로 순환관계를 만족하게 된다. 이때, 밑줄 친 관계식으로부터 다음과 같이 등식을 유도할 수 있다.

$$A^4B = B \Leftrightarrow (A^4 - E)B = \phi$$

$$\Leftrightarrow (A-E)(A^3+A^2+A+E)B = \Phi$$

(여기서, E는 단위행렬, Φ는 영행렬을 각각 나타낸다)

그림 5의 DCG를 만족하기 위해 4개의 노드 B, C, D, E는 서로 구분되어야 하며(B≠C≠D≠E), 이때, 전달행렬A는 A³+A²+A+E = Φ의 관계식, 또는 A-E = Φ를 만족해야 한다. 이때, A≠E 임은 자명하다. A=E의 관계가 성립하면 DCG의 특성자체를 만족할 수 없게 된다. 따라서, 전달행렬A는 A≠E, A≠Φ이며 A³+A²+A+E = Φ의 관계식을 만족해야 한다.

$$A^3+A^2+A+E = \Phi \tag{4}$$

식 (4)는 다음의 식 (5)와 같이 쓸 수 있으며 (6)과 같이 정리된다.

$$(A^2+E)(A+E) = \Phi, \text{ 여기서, } A \neq -E \tag{5}$$

$$\text{따라서, } A^2+E = \Phi \tag{6}$$

유한체 GF(3)상에서 회로를 설계하고자 할 때 II장 4절의 내용으로 부터

$$A = \begin{pmatrix} 0 & 2 \\ 1 & 0 \end{pmatrix} \tag{7}$$

식 (7)의 전달행렬 A를 3치논리회로로 구성하면 그림 3-1-2와 같다.

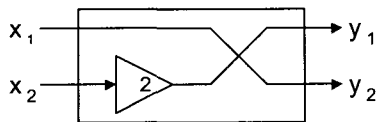


그림 6. DCG_{l=4}에 대한 GF(3)상의 회로설계
Fig. 6. Circuit design of DCG_{l=4} over GF(3).

한편, 전달행렬 A로부터 설계된 논리회로에 회로의 특성을 만족시킬 수 있는 각 노드들의 코드값을 설정하는 과정을 살펴본다.

식 (7)의 전달행렬의 첫 번째 칼럼을 회로에 입력하여 본다. 설계된 회로에 의해 입력된 (0 1)값의 출력은 (2 0)이 나타나며, 이를 다시 회로에 입력하면 (0 2)를 얻을 수 있다. 이와 같이 출력된 값을 입력으로 사용하면 다음과 같은 결과를 얻을 수 있다.

$$\begin{matrix} \begin{bmatrix} 0 \\ 1 \end{bmatrix} & \xrightarrow{A} & \begin{bmatrix} 2 \\ 0 \end{bmatrix} & \xrightarrow{A} & \begin{bmatrix} 0 \\ 2 \end{bmatrix} & \xrightarrow{A} & \begin{bmatrix} 1 \\ 0 \end{bmatrix} & \xrightarrow{A} & \dots \\ \text{노드 B} & & \text{노드 C} & & \text{노드 D} & & \text{노드 E} & & \dots \end{matrix}$$

전달행렬의 임의의 칼럼을 회로의 입력으로 사용하면 회로의 특성을 만족하는 각 노드들의 코드값을 얻을 수 있다. 다음 표 3-1-1에 『4-노드 DCG』에 대한 그림 6의 회로를 만족하는 코드할당값을 정리하였다.

표 3. 『4-노드 DCG』의 노드들의 코드할당
Table 3. Code assignment of 『4-node』 DCG.

	B	C	D	E
x ₁	0	2	0	1
x ₂	1	0	2	0

2. 회로설계 알고리즘과 코드할당 알고리즘

주어진 DCG의 경로수가 2ⁿ개로 주어질 때, III장의 1절에서 논의한 내용을 체계화하여 논리시스템의 입출력 노드들간의 관계를 회로로 설계하고 설계된 회로와 함께 주어진 DCG의 특성을 만족하도록 노드들에 코드를 할당해주는 과정을 알고리즘으로 정리하면 다음과 같다.

[회로설계 알고리즘]

- step 1. DCG로부터 경로의 수를 파악한다.
- step 2. 싸이클의 경로수(l)에 대하여 다음과 같이 행렬방정식이 구성된다.

$$A^{(l-1)} + A^{(l-2)} + \dots + A^1 + E = \Phi$$

- step 3. 주어진 경로수 l 이 2n의 형태로 주어지는 특성에 의해 step 2에서 구한 행렬식은 다음과 같은 형태로 정리될 수 있다.

$$(A^{(l/2)}+E) (A^{(l/2-1)} + A^{(l/2-2)} + \dots + A^1 + E) = \Phi$$

- step 4. 이때, 전달행렬은 A≠-E, Φ의 조건을 만족해야 하므로 결국 필요한 전달행렬은 다음의 형태로 나타낼 수 있다.

$$(A^{(l/2)} + E) = \Phi$$

- step 5. step 4에 의해 구한 전달행렬을 회로로 구현한다.

(이때의 전달행렬을 $A_{l/2}$ 으로 표기한다.)

이와 같은 [회로설계 알고리즘]과 함께 주어진 DCG의 각 노드들에 회로의 특성을 만족하는 코드값을 할당하는 [코드할당 알고리즘]을 다음과 같이 정리하였다.

[코드할당 알고리즘]

- step 1. 회로설계 알고리즘을 통해 주어진 DCG특성을 만족하는 전달행렬 A를 구한다.
- step 2. 전달행렬 A의 임의의 한 칼럼을 선택하여 이를 DCG의 노드들 중 하나로 할당한다.
- step 3. 이 노드를 전달행렬 A와 연산을 취해줌으로써 다음 노드를 구한다.
- step 4. DCG의 모든 노드들에 코드값이 할당될 때까지 step 3을 반복 수행한다.

[예제 3.2] 다음의 그림 7과 같이 『8노드 DCG』에 대하여 [회로설계 알고리즘]과 [코드할당 알고리즘]을 통해 3치 논리회로로 설계하는 과정을 살펴본다.

[회로설계 알고리즘]

- step 1. DCG_{l=8}의 경로의 수 = 8.
- step 2. $A^7 + A^6 + \dots + A^1 + E = \Phi$
- step 3. $(A^4 + E)(A^{(3)} + A^{(2)} + A^1 + E) = \Phi$
- step 4. $A^4 + E = \Phi$

step 5. $A_{l=8} = \begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}$ (8)

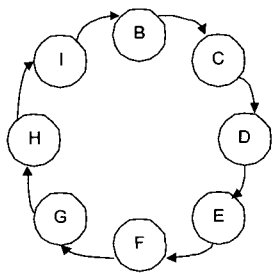


그림 7. 『8-노드 DCG』
Fig. 7. 『8-node DCG』

전달행렬 $A_{l=8}$ 에 대한 회로설계와 코드할당은 각각 그림 8과 표 4와 같다.

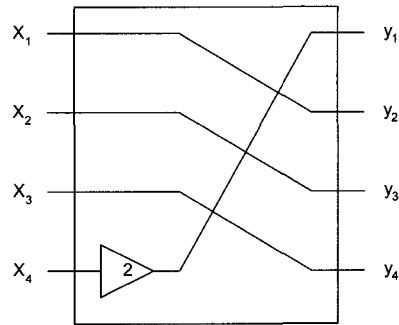


그림 8. 전달행렬 $A_{l=8}$ 를 통해 구현한 DCG_{l=8}에 대한 GF(3)상의 회로설계
Fig. 8. Circuit design over GF(3) for DCG_{l=8} from transfer matrix $A_{l=8}$.

[코드할당 알고리즘]

step 1. $A_{l=4} = \begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}$

step 2. $B = \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix}$

step 3. $A \quad B = C$
 $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 1 \\ 0 \end{bmatrix}$

step 4.

- $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 1 \\ 0 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix}, \quad AC = D$
- $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 2 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \quad AD = E$
- $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 2 \\ 0 \\ 0 \\ 0 \end{bmatrix} = \begin{bmatrix} 0 \\ 2 \\ 0 \\ 0 \end{bmatrix}, \quad AE = F$
- $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 2 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \quad AF = G$
- $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 2 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \quad AG = H$
- $\begin{bmatrix} 0 & 0 & 0 & 2 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix} = \begin{bmatrix} 2 \\ 0 \\ 0 \\ 0 \end{bmatrix}, \quad AH = I$

표 4. 그림 7의 회로에 대한 『4-노드 DCG』의 노드들의 코드할당

Table 4. Code assignment of 『4-node DCG』 for Fig. 7 circuit.

	B	C	D	E	F	G	H	I
x ₁	0	0	0	2	0	0	0	1
x ₂	1	0	0	0	2	0	0	0
x ₃	0	1	0	0	0	2	0	0
x ₄	0	0	1	0	0	0	2	0

IV. 결 론

본 논문에서는 다치논리이론에 기초한 병렬조합회로의 설계에 관한 연구 중, 경로수 1이 2ⁿ개로 주어진 DCG에 대한 병렬3치논리회로를 설계하는 알고리즘과 각 노드들에 회로에 적합한 코드를 할당하는 알고리즘을 제안하였다. 기존의 DCG에 대한 회로설계 알고리즘과는 달리 본 논문에서는 행렬방정식을 도입하여 새로운 회로설계 알고리즘을 제안하였으며, 이를 통해 기존의 논문에서는 언급되지 않은 경우에 대한 회로설계가 가능해 졌다. 구현된 회로를 통해 확인할 수 있듯이 최소한의 소자와 결선만으로 회로를 구성함으로써 기존 논문에 비해 회로결선의 감소, 처리속도 향상, 비용절감 등의 측면에서 보다 유용하다 할 수 있겠다.

참 고 문 헌

- [1] M. Kameyama, "Toward The Age of Beyond-Binary Electronics and Systems", *IEEE Proc. 20th Int. Symposium on Multiple-Valued Logic*, pp. 162-166, May. 1990.
- [2] K. C. Smith and P. G. Gulak, "Prospects for multiple-valued intergrated circuits," Special issue on MultipleValued intergrated Circuits IEICE TRANS. ELECTRON., Vol. E76-C, No. 3, pp. 372-382, Mar. 1993.
- [3] T. Hanyu, M. Nakajima and T. Higuchi, "Prospects of multiple-valued VLSI processors," Special issue on Multiple-Valued intergrated Circuits IEICE TRANS. ELECTRON., Vol. E76-C, No. 3, pp. 383-392, Mar. 1993.
- [4] S. Tamaki, M. Kameyama, and T. Higuchi, "Code Assignment Algorithm for Highly Parallel Multiple-Valued Combinational Circuits", *IEEE Proc. 22th Int. Symposium on Multiple-Valued Logic*, pp. 382-388, May. 1992.
- [5] M. Nakajima and M. Kameyama, "Design of Multiple-valued Linear Digital Circuits for Highly Parallel Unary Operations", *IEEE Proc. 23th Int. Symposium on Multiple-Valued Logic*, pp. 283-288, May. 1993.
- [6] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital System for ULSI Processors", *IEICE Trans*, Vol. E76-C, No. 7, pp. 1119-1125, Jul. 1993.
- [7] M. Nakajima and M. Kameyama, "Design of Multiple-valued Linear Digital Circuits for Highly Parallel k-ary Operations", *IEEE Proc. 24th Int. Symposium on Multiple-Valued Logic*, pp. 223-230, May. 1994.
- [8] M. Ryu and M. Kameyama, "Design of a Highly Parallel Multiple-valued Linear Digital Circuits for k-ary Operations Based on Extended Representation Matrices", *IEEE Proc. 25th Int. Symposium on Multiple-Valued Logic*, pp. 20-25, May. 1995.
- [9] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital Circuits Based on Symbol-Level Redundancy", *IEEE Proc. 26th Int. Symposium on Multiple-Valued Logic*, pp. 104-109, May. 1996.
- [10] R. J. Wilson and J. J. Watkins, *GRAPH An Introductory Approach*, John Wiley & Sons, Inc. 1990.
- [11] Douglas B. West, *Introduction to Graph Theory*, Prentice Hall, Inc. 1996.
- [12] E. Artin, *Galois Theory*, NAPCO Graphic arts, Inc., Wilconsin. 1971.
- [13] Robert J. McEliece, *Finite Fields for Computer Scientists and Engineers*, Kluwer Academic Publisher, 1978.
- [14] A. Gill, *Linear Sequential Circuits*, McGraw-Hill Book Co., Newyork. 1966.

저자 소개



朴基寧(正會員)

1969년 10월 12일 생. 1994년 2월 仁荷大學校 전자공학과 졸업(공학사). 1998년 8월 仁荷大學校 대학원 전자공학과 졸업(공학석사). 1999년 2월~현재 仁荷大學校 대학원 전자공학과 박사과정. 1994년 1월~1996년

8월 (주)LG전자 VCR사업부 회로설계연구원 근무. 주 관심분야는 정보이론, 부호이론, 다치논리시스템, VLSI 설계, 유한체 이론의 응용 및 회로구현 등임

朴承用(正會員)

1954년 4월 2일 생. 1979년 2월 仁荷大學校 전자공학과 졸업(공학사). 1982년 2월 仁荷大學校 대학원 전자공학과 졸업(공학석사). 1999년 仁荷大學校 대학원 전자공학과 박사과정 수료. 1985년~현재 재능대학 컴퓨터 정보계열 교수. 주 관심분야는 컴퓨터 네트워크, 컴퓨터 시스템 등

沈載煥(正會員)

1976년 2월 仁荷大學校 전자공학과 졸업(공학사). 1982년 2월 숭실대학교 대학원 전자공학과 졸업(공학석사). 1996년 8월~1999년 8월 인하대학교 전자공학과 박사과정 수료. 현재 시립 인천 전문대학 통신과 교수. 주관 분야는 부호이론 등

金興壽(正會員) 第35卷 C編 第6號 參照

현재 인하대학교 전자공학과 교수