

論文2000-37SC-6-5

CMOS A/D 변환기의 샘플링 속도 및 해상도 향상을 위한 병합 캐패시터 스위칭 기법

(A Merged-Capacitor Switching Technique for Sampling-Rate and Resolution Improvement of CMOS ADCs)

劉相珉*, 全榮得*, 李承勳*

(Sang-Min Yoo, Young-Deuk Jeon, and Seung-Hoon Lee)

요 약

본 논문에서는 전형적인 파이프라인 CMOS A/D 변환기(ADC)의 신호 처리 속도와 해상도를 향상시키기 위해 병합 캐패시터 스위칭(merged-capacitor switching : MCS)기법을 제안한다. 제안하는 MCS 기법은 기존의 ADC에 사용되는 multiplying digital-to-analog converter(MDAC)의 캐패시터 수를 50%로 줄임으로써, 부하 캐패시터의 감소로 인해 샘플링 속도를 크게 향상시킬 수 있다. 또한, MCS 기법에서 줄어든 캐패시터 수에 해당하는 크기만큼 각 캐패시터 크기를 2배 증가시킬 경우, 전력 소모 및 샘플링 속도의 감소없이 캐패시터 부정합을 최소화하며, 전체 ADC의 해상도 향상이 가능하다. 제안하는 MCS 기법을 적용한 ADC에 기존의 콤비네이션 캐패시터 스위칭(commutated feedback-capacitor switching : CFCS) 기법을 일부 적용할 경우, 12 비트 이상의 더 높은 해상도를 얻을 수 있고, 응용의 다양화를 고려할 수 있다.

Abstract

This paper describes a merged-capacitor switching (MCS) technique to improve the signal processing speed and resolution of CMOS analog-to-digital converters (ADCs). The proposed MCS technique improves a sampling rate by reducing the number of capacitors used in conventional pipelined ADCs. The ADC capacitor mismatch can be minimized without additional power consumption, die area, and the loss of sampling rate, when the size of each unit capacitor is increased as much as the number of capacitors reduced by the MCS technique. It is verified that the ADC resolution based on the proposed MCS technique is extended further by employing a conventional commutated feedback-capacitor switching (CFCS) technique.

I. 서 론

최근 이동통신, asynchronous digital subscriber loop(ADSL), IMT-2000, 디지털 캠코더, HDTV 등 통신 및 영상처리 응용 시스템에서 12비트에서 14비트

수준의 높은 해상도와 수십 MHz 수준의 높은 샘플링 속도를 가지는 고성능 A/D 변환기(analog-to-digital converters : ADCs)를 요구하고 있다^{[1]-[4]}. 이미 많은 논문에서 발표된 다양한 기존의 ADC 구조 중에서, 고속의 신호 처리에 적용될 수 있는 구조로는 플래시(flash), 폴딩(folding), 서브레인지(subranging) 및 파이프라인(pipeline) 구조 등이 있으며, 최근에는 이러한 구조 중에서 고속 신호 처리 사양과 고해상도 조건을 동시에 만족하기 위해 속도, 전력 소모 및 면적을 최적화하는 파이프라인 구조를 많이 적용하고 있는 추세이다^{[2]-[4]}.

* 正會員, 西江大學校 電子工學科

(Dept. of Electronic Engineering, Sogang University)

※ 본 연구는 부분적으로 현대전자 서강대학교 공학연구원 산업기술연구소 및 IDEC의 지원을 받은 결과입니다.

接受日字:2000年1月24日, 수정완료일:2000年10月17日

기존의 파이프라인 ADC는 각 단마다 1비트를 결정

하는 단일 비트 구조와 2비트 이상을 결정하는 다중 비트 구조로 이루어진다. 일반적으로 고해상도를 필요로 하는 파이프라인 ADC에서는 많은 단을 필요로 하는 단일 비트 구조보다는 첫 단에 많은 비트를 결정함으로써 뒷 단으로부터의 영향을 줄이면서 전력 소모 및 면적을 최적화하는 다중 비트 구조를 많이 사용하지만, 증폭기의 높은 폐루프 이득(closed-loop gain)에 의해 신호 처리 속도가 낮은 단점을 들 수 있다.

또한, 전형적인 파이프라인 구조의 ADC에서 사용되는 multiplying digital-to-analog converter (MDAC)의 스위치드 캐패시터(switched-capacitor) 구조의 경우, 각 캐패시터 사이의 부정합(mismatch)은 전체 ADC의 differential nonlinearity(DNL)에 영향을 주어 해상도를 제한한다. 캐패시터 사이의 정합(match)을 향상시키기 위하여 동심원 구조(common-centroid geometry)와 같은 레이아웃 기법이 흔히 사용되지만, 공정 상에서 발생하는 임의의 오차(random error)에 의한 부정합을 줄이기는 쉽지 않다^{[5]-[7]}. 이를 해결하기 위하여 트리밍(trimming)이나 보정(calibration)과 같은 기법이 많이 사용되고 있으나^{[8]-[12]}, 트리밍 기법은 정밀한 측정 장비와 기기를 필요로 하고 추가적인 공정이 사용되므로 제조 단가가 높으며, 보정 기법은 오차 성분을 제거하기 위한 추가적인 회로를 요구하기 때문에 전력 소모 및 칩 면적이 증가하는 문제점이 있다. 추가적인 방법을 사용하지 않고 캐패시터의 정합을 조금이라도 향상시키기 위해서 캐패시터의 크기를 증가시킬 수도 있지만, 이러한 방법은 앞 단의 부하 캐패시턴스의 증가로 인해 아날로그 블럭에 사용되는 증폭기의 크기와 전력소모를 증가시키면서 전체 ADC의 속도를 감소시킨다^[4].

본 논문에서는 신호 처리 속도와 해상도를 동시에 향상시키기 위해 병합 캐패시터 스위칭(merged-capacitor switching : MCS) 기법을 제안한다. 또한, 제안하는 MCS 기법에 기존의 궤환 캐패시터 스위칭(commutated feedback-capacitor switching : CFCS) 기법을 동시에 적용하여 DNL을 크게 향상시키며, 고해상도 ADC로 확장한다. II장에서는 전형적인 파이프라인 ADC를 설명하며, III장에서 제안하는 MCS 기법을 설명한다. IV장에서는 더 높은 해상도 향상을 위해 제안하는 MCS 기법을 적용하는 기존의 CFCS 기법을 언급하며, V장에서는 MCS 기법을 응용한 ADC의 시뮬레이션 결과 등을 통해 제안하는 회

로의 타당성을 검증한다.

II. 전형적인 파이프라인 ADC

k개의 단으로 이루어진 전형적인 파이프라인 ADC는 그림 1과 같다. 각 단은 샘플 앤-홀드 증폭기(sample-and-hold amplifier : SHA), N-비트 플래시 ADC, N-비트 DAC, 그리고 잔류 전압 증폭기로 이루어져 있다. 실제 회로 구현시, SHA, DAC, 그리고 잔류 전압 증폭기의 역할은 스위치드 캐패시터 구조를 사용하는 MDAC으로 대체된다^{[13]-[14]}.

단위 캐패시터를 사용하는 기존의 4비트 MDAC은 그림 2와 같이 16개의 캐패시터(C1~C16), 증폭기(AMP), 및 디지털 코드에 따라 스위치를 조절하기 위한 디코딩 회로(decoding circuit) 등으로 이루어져 있다.

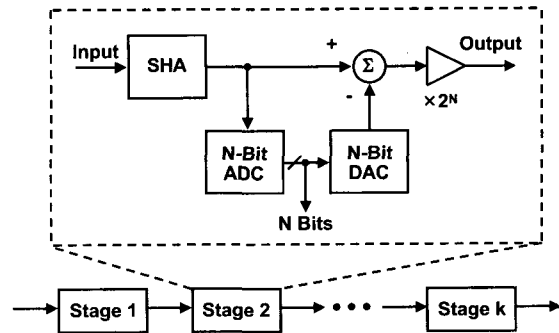


그림 1. 전형적인 k 단 ADC

Fig. 1. Typical k-stage ADC.

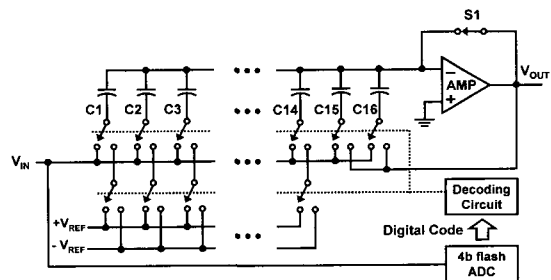


그림 2. 기존의 4 비트 MDAC

Fig. 2. Conventional 4b MDAC.

이와 같은 구조의 MDAC은 크게 두 위상으로 동작한다. 먼저, 샘플링 위상에서는 증폭기의 오프셋을 제거하기 위해 스위치 S1은 턴 온(turn on) 되어 입력과 출력이 연결되며, 아날로그 입력 전압 V_{IN} 은 C1~

C16의 캐패시터에 저장된다. 그 다음의 증폭 위상에서는 플래시 변환기(flash ADC)에서 발생된 V_{IN} 에 상응하는 디지털 코드 1,0에 따라 디코딩 회로를 통해 C1~C14의 캐패시터 bottom plate에 $+V_{REF}$ 또는 $-V_{REF}$ 가 인가되며, 계환 캐패시터 C15와 C16은 증폭기의 출력 V_{OUT} 에 연결된다.

Ⅲ. 제안하는 Merged Capacitor Switching(MCS) 기법

전형적인 파이프라인 ADC에서 MDAC 회로의 캐패시터 부정합은 ADC의 해상도를 제한하는 요인이다. 이러한 캐패시터 부정합을 최소화하는 방법 중의 하나는 캐패시터 모양을 정사각형으로 레이아웃(layout)하는 방법으로, 이와 같이 레이아웃할 경우, 공정 상에서 발생하는 임의의 오차에 의한 캐패시터 부정합은 식 (1)과 같이 표현된다^[7].

$$\frac{\Delta C}{C} = 2 \frac{\Delta L}{L} \quad (1)$$

여기서, C는 캐패시터 크기, ΔC 는 캐패시터 오차, L은 레이아웃시 캐패시터 한 변의 길이 그리고 ΔL 은 공정에서 발생하는 캐패시터 길이에 대한 오차를 나타낸다. 보정 및 트리밍과 같은 추가적인 공정이나 회로를 사용하지 않으면서 캐패시터의 정합을 향상시키기 위해서는 식 (1)에서 보듯이 캐패시터 크기를 증가시켜야 한다. 그러나, 기존의 구조에서 단순히 단위 캐패시터를 크게 설계한다면 칩 면적 및 전력 소모가 증가하며, 앞 단의 부하 캐패시터의 증가로 인하여 전체 ADC의 속도가 감소하는 문제점이 발생한다.

제안하는 MCS 기법은 전형적인 파이프라인 ADC에 사용되는 MDAC의 단위 캐패시터를 2개씩 병합하여 필요한 캐패시터의 수를 50%로 줄인다. 따라서 기존의 MDAC과 같은 크기의 단위 캐패시터를 사용할 경우, 줄어든 캐패시터 수만큼 앞 단의 부하 캐패시터 수가 감소하므로 전력 소모의 증가 없이 증폭기의 속도를 2배 향상시킬 수 있다. 그리고 1/2로 줄어든 캐패시터 수에 해당하는 크기만큼 단위 캐패시터를 2배 증가시킬 경우, 레이아웃상에서 단위 캐패시터 한 변의 길이는 $\sqrt{2}$ 배 증가하므로, 제안하는 MCS 기법은 전력 소모 및 부하 캐패시터의 증가없이 공정상에서 발생하는 임의의 오차를 1/ $\sqrt{2}$ 배 감소시킬 수 있다.

그림 3은 증폭 위상동안에 기존 및 제안하는 MCS 기법을 적용한 4비트 MDAC을 보여준다. 그림 3(a)에서 보는 바와 같이 기존의 MDAC에서 16개의 캐패시터를 2개씩 묶어서 그림 3(b)와 같이 8개의 부분으로 나눌 수 있다. 이 때 그림 3(a)에서 보듯이 병합되는 두 캐패시터 C1, C2 또는 C13, C14 등과 같이 bottom plate에 동일한 전압이 인가되는 경우와 C3, C4와 같이 서로 다른 전압이 인가되는 경우가 발생한다. DC 이득이 무한대인 이상적인 증폭기에서 T1 노드는 가상 접지(virtual ground)이므로 병합되는 2개의 캐패시터에 저장된 전하량은 각 캐패시터의 전하량의 합과 동일하다. 전자의 경우에는 캐패시터 C1과 C2에 저장된 전하량이 동일하므로 병합된 캐패시터 C1'에 그대로 $+V_{REF}$ 를 인가하고, 후자의 경우에는 캐패시터 C3과 C4에 저장되는 전하량의 합은 0이므로 병합된 캐패시터 C2'에 신호 접지(GND)를 인가하여 기존의 MDAC과 정확하게 동일한 결과를 얻을 수 있다. 따라서, 제안하는 MCS 기법은 새로운 코딩 방법을 통해 두 개의 캐패시터를 하나의 캐패시터로 병합시키며, 그림 3(b)와 같이 캐패시터 수가 50% 감소된 8개의 캐패시터만으로 4비트 MDAC을 구성할 수 있다.

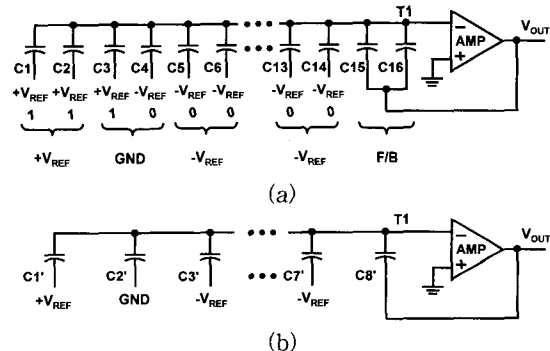


그림 3. 증폭 위상의 MDAC : (a) 기존 및 (b) 제안하는 MCS 기법

Fig. 3. MDAC during amplification based on : (a) conventional and (b) proposed MCS techniques.

그림 4는 제안하는 MCS 기법을 적용한 4비트 MDAC이며, 8개의 캐패시터(C1'~C8')만으로 이루어져 있다. 각 캐패시터의 bottom plate에 연결되는 전압으로 $\pm V_{REF}$ 와 더불어 GND가 추가되었다. 실제 차동 회로 구현시에는 GND 대신 $+V_{REF}$ 혹은 $-V_{REF}$ 와 같이 고정된 어떤 바이어스 전압을 연결해도

무방하다.

샘플링 위상동안 기존의 MDAC과 같이 C1'~C8'의 캐패시터에 아날로그 입력 전압을 저장하며, 증폭 위상동안 표 1의 디지털 코드에 따라 각 캐패시터에 ±VREF 또는 GND가 인가된다. F/B는 궤환 캐패시터를 나타내며, 두 코드마다 하나의 캐패시터는 GND에 연결된다.

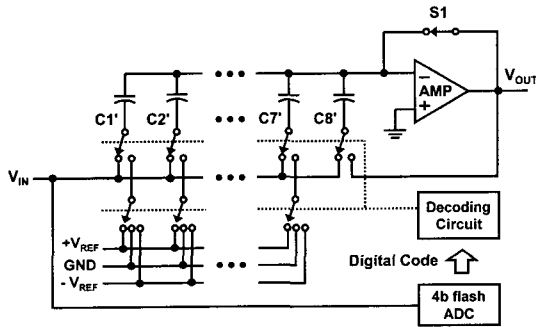


그림 4. 제안하는 MCS 기법을 적용한 4 비트 MDAC
Fig. 4. 4b MDAC based on the proposed MCS technique.

표 1. 제안하는 MCS 기법을 적용한 MDAC의 증폭 위상동안 캐패시터에 연결되는 전압

Table 1. MDAC capacitor connection during amplification based on the proposed MCS technique.

cap. code	C1'	C2'	C3'	C4'	C5'	C6'	C7'	C8'
0001	-VREF	-VREF	-VREF	-VREF	-VREF	-VREF	-VREF	F/B
0010	GND	-VREF	-VREF	-VREF	-VREF	-VREF	-VREF	F/B
0011	+VREF	-VREF	-VREF	-VREF	-VREF	-VREF	-VREF	F/B
0100	+VREF	GND	-VREF	-VREF	-VREF	-VREF	-VREF	F/B
0101	+VREF	+VREF	-VREF	-VREF	-VREF	-VREF	-VREF	F/B
0110	+VREF	+VREF	GND	-VREF	-VREF	-VREF	-VREF	F/B
0111	+VREF	+VREF	+VREF	-VREF	-VREF	-VREF	-VREF	F/B
1000	+VREF	+VREF	+VREF	GND	-VREF	-VREF	-VREF	F/B
1001	+VREF	+VREF	+VREF	+VREF	-VREF	-VREF	-VREF	F/B
1010	+VREF	+VREF	+VREF	+VREF	GND	-VREF	-VREF	F/B
1011	+VREF	+VREF	+VREF	+VREF	-VREF	-VREF	-VREF	F/B
1100	+VREF	+VREF	+VREF	+VREF	-VREF	GND	-VREF	F/B
1101	+VREF	+VREF	+VREF	+VREF	-VREF	-VREF	-VREF	F/B
1110	+VREF	+VREF	+VREF	+VREF	+VREF	-VREF	GND	F/B
1111	+VREF	+VREF	+VREF	+VREF	+VREF	-VREF	+VREF	F/B

IV. MCS 기법을 응용한 해상도 향상

제안하는 MCS 기법을 적용하는 ADC를 보정 기법과 같은 복잡한 기술의 적용없이 더 높은 해상도로 확장하기 위해서, 기존의 CFCS 기법을 적용한다^{[15],[16]}. 기존의 MDAC은 궤환 캐패시터로 두 개의 단위 캐패시터를 사용하기 때문에 기존의 CFCS 기법을 적용하기가 쉽지 않으며, MDAC 구조를 변형시켜 하나의 궤환 캐패시터를 사용하여 CFCS 기법을 적용하더라도, 아날로그 입력 샘플링시 추가적인 캐패시터가 필요하므로 다중 비트 구조의 MDAC에서는 면적이 크게 증가하는 단점이 있다.

본 논문에서 제안하는 MCS 기법을 적용한 MDAC은 하나의 궤환 캐패시터만을 사용하므로 CFCS 기법을 쉽게 적용할 수 있다. 그림 5는 MCS 기법 및 CFCS 기법을 동시에 적용한 4비트 MDAC을 나타낸 것으로, 제안하는 MDAC은 8개의 캐패시터(C1'~C8')로 이루어져 있으며, 모든 캐패시터는 bottom plate에 증폭기 출력과 연결되는 스위치를 통해 궤환 캐패시터로 사용될 수 있도록 하였다.

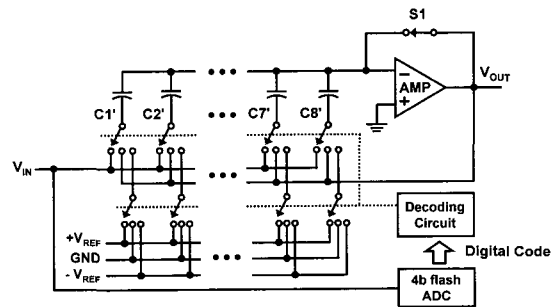


그림 5. 결합된 MCS 및 CFCS 기법을 적용한 4비트 MDAC

Fig. 5. 4b MDAC based on the combined MCS and CFCS techniques.

샘플링 위상동안 C1'~C8'의 8개 캐패시터에 아날로그 입력 전압을 저장하며, 증폭기의 옴셋전압을 없애기 위해 입력과 출력을 연결한다. 증폭 위상동안 플래시 변환기의 출력인 디지털 코드에 따라 C1'~C8' 캐패시터 중 하나는 궤환 캐패시터로 사용되며 나머지 캐패시터는 ±VREF 또는 GND(ground)에 연결된다. 표 2에서는 증폭 위상동안 각 코드에 대해 8개의 캐패시터에 연결되는 전압을 보여준다. 모든 코드에 대해 8개의 캐패시터는 순차적으로 궤환 캐패시터로 사용되도록 코딩하였다.

표 2. 제안하는 MCS 및 CFCS 기법을 적용한 MDAC의 증폭 위상동안 캐패시터에 연결되는 전압

Table 2. MDAC capacitor connection during amplification based on the proposed MCS and CFCS techniques.

cap. code	C1'	C2'	C3'	C4'	C5'	C6'	C7'	C8'
0001	F/B	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}
0010	GND	F/B	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}
0011	GND	GND	F/B	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}
0100	GND	GND	GND	F/B	-V _{REF}	-V _{REF}	-V _{REF}	-V _{REF}
0101	GND	GND	GND	GND	F/B	-V _{REF}	-V _{REF}	-V _{REF}
0110	GND	GND	GND	GND	GND	F/B	-V _{REF}	-V _{REF}
0111	GND	GND	GND	GND	GND	GND	F/B	-V _{REF}
1000	GND	GND	GND	GND	GND	GND	GND	F/B
1001	F/B	GND	GND	GND	GND	GND	GND	+V _{REF}
1010	+V _{REF}	F/B	GND	GND	GND	GND	GND	+V _{REF}
1011	+V _{REF}	+V _{REF}	F/B	GND	GND	GND	GND	+V _{REF}
1100	+V _{REF}	+V _{REF}	+V _{REF}	F/B	GND	GND	GND	+V _{REF}
1101	+V _{REF}	+V _{REF}	+V _{REF}	+V _{REF}	F/B	GND	GND	+V _{REF}
1110	+V _{REF}	+V _{REF}	+V _{REF}	+V _{REF}	+V _{REF}	F/B	GND	+V _{REF}
1111	+V _{REF}	+V _{REF}	+V _{REF}	+V _{REF}	+V _{REF}	+V _{REF}	F/B	+V _{REF}

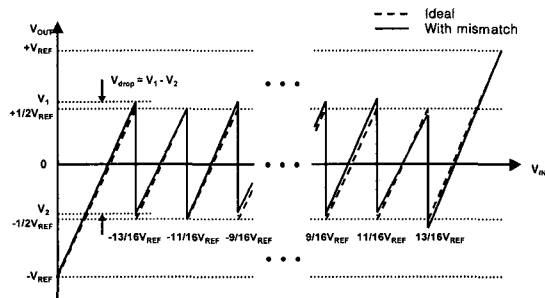


그림 6. 결합된 MCS 및 CFCS 기법을 적용한 4 비트 MDAC의 잔류 전압

Fig. 6. Residue Plot of MDAC based on the combined MCS and CFCS techniques.

이 구조에서의 잔류 전압을 살펴보면 그림 6과 같다. 점선은 이상적인 상태를 나타내고, 실선은 실제로 부정합을 고려하였을 때를 나타낸다. V_{drop} 은 코드가 변하는 부분에서의 잔류 전압의 차이를 나타내는데, 캐패시터의 부정합에 의해 나타난 V_{drop} 과 이상적인 경우인 V_{REF} 와의 차이가 DNL을 제한하게된다. 이러한 부정합에 영향을 주는 캐패시터의 값은 식 (2)와

같이 표현된다.

$$C_i' = C(1 + \epsilon_i) \text{ for } i = 1, 2, \dots, 8 \quad (2)$$

여기에서 $C = \frac{1}{8}(C1' + C2' + C3' + C4' + C5' + C6' + C7' + C8')$ 이고, ϵ_i 는 캐패시터 C_i 의 부정합 성분이다. MCS 기법을 적용한 MDAC의 경우, 첫 번째 전이점에서의 잔류 전압과 V_{drop} 은 식 (3), (4)와 같다. 2차항 성분을 무시한다면 캐패시터 부정합에 의한 오차는 $\epsilon_1 - \epsilon_8$ 임을 알 수 있다.

$$V_1 \approx \left(\frac{1}{2} - \frac{3}{2} \epsilon_8\right) \cdot V_{REF}, \quad V_2 \approx -\left(\frac{1}{2} + \epsilon_1 + \frac{1}{2} \epsilon_8\right) \cdot V_{REF} \quad (3)$$

$$V_{drop} = V_1 - V_2 \approx \{1 + (\epsilon_1 - \epsilon_8)\} \cdot V_{REF} \quad (4)$$

MCS 기법에 CFCS 기법을 적용하게 된다면, 식 (5), (6)에 의해, 다음과 같은 V_{drop} 을 얻을 수 있다.

$$V_1 \approx \left(\frac{1}{2} - \frac{3}{2} \epsilon_1\right) \cdot V_{REF}, \quad V_2 \approx -\left(\frac{1}{2} + \epsilon_1 + \frac{\epsilon_2}{2}\right) \cdot V_{REF} \quad (5)$$

$$V_{drop} = V_1 - V_2 \approx \left\{1 + \frac{(\epsilon_2 - \epsilon_1)}{2}\right\} \cdot V_{REF} \quad (6)$$

이 식에서 알 수 있듯이 V_{drop} 의 오차성분이 $(\epsilon_2 - \epsilon_1)/2$ 로 CFCS 기법을 적용하지 않을 때와 비교하여, 절반정도 감소하는 것을 알 수 있다. 다른 구간에서의 잔류전압 차이에서도 같은 결과를 얻을 수 있다. 결과적으로, MCS 기법을 적용한 MDAC에 추가적으로 CFCS 기법을 적용함으로써, 더 높은 해상도 향상을 얻을 수 있다.

V. 모의 실험 결과

속도 및 해상도 향상을 위해 제안하는 MCS 기법과 이를 응용한 CFCS 기법을 적용한 시제품 ADC는 제작 중이며, 제안하는 기법들의 해상도 향상과 이로 인한 수율 향상 특성의 타당성을 검증하기 위한 동작 모델 (behavioral model) 모의 실험 결과를 요약한다. 그림 7은 기존 및 제안하는 MCS와 CFCS 기법을 동시에 적용한 ADC에 대한 DNL의 분포를 보여준다.

모델링된 파이프라인 ADC는 4단 구조를 사용하며, 면적 및 전력 소모를 고려하여 각 단에서 4비트를 결정하며 마지막 단에서 5비트를 결정함으로써, 전체 14비트를 출력한다. 각 단에 사용되는 기존 MDAC의

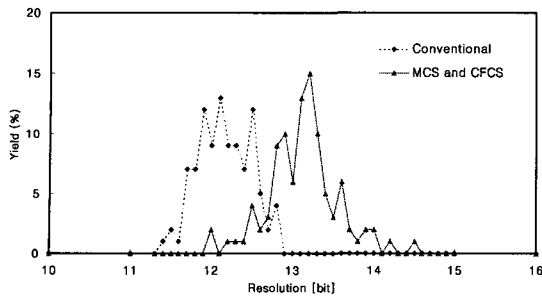


그림 7. 모의 실험된 파이프라인 ADC의 DNL 분포
Fig. 7. DNL distribution of the simulated ADC.

캐패시터 부정합은 12비트 수준을 얻기 위해서 0.1%로 하였고, 제안하는 MCS 및 CFCS 기법을 적용한 MDAC은 캐패시터 수를 줄이면서 캐패시터 크기를 2배 증가시키므로, 공정상에서 발생하는 임의의 캐패시터 부정합은 기존의 MDAC에 비해 $1/\sqrt{2}$ 배 작은 0.07%로 하였다^[17,18]. 그림 7에서 보는 바와 같이 기존의 ADC의 DNL은 대략 70% 정도만 12비트 수준이지만 제안하는 MCS와 CFCS 기법이 적용된 ADC의 DNL은 대부분 13비트 이상이며, 14비트 이상의 해상도에서도 존재한다. 따라서 제안하는 기법과 캐패시터 정합 향상을 위한 여러 형태의 레이아웃 기법 등이 함께 적용된다면, 12비트 ADC 시제품에 보정 기법을 사용하지 않으며 속도의 감소 및 불필요한 전력 소모의 증가 없이 14비트 수준까지 해상도 향상이 기대된다.

VI. 결 론

본 논문에서는 다양한 통신 및 영상처리 응용 분야에서 요구되는 고속 파이프라인 CMOS ADC의 샘플링 속도 및 해상도 향상을 위한 MCS 기법을 제안하였다. MCS 기법은 신호 처리 속도뿐만 아니라 기존의 ADC의 해상도를 보정과 같은 특별한 기법 없이 2비트 이상을 확장할 수 있다. 제안하는 MCS 기법은 CFCS 기법과 더불어, 더 높은 해상도를 얻기 위한 기존의 보정 기법 등에도 직접적인 응용이 가능하다.

참 고 문 헌

- [1] P. Vorenkamp and R. Roovers, "A 12-b, 60-MSample/s cascaded folding and interpolating ADC," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1876-1886, Dec. 1997.
- [2] J. M. Ingino and B. A. Wooley, "A continuously calibrated 12-b, 10-MS/s, 3.3-V A/D converters," *IEEE J. Solid-State Circuits*, vol. 33, pp. 1920-1931, Dec. 1998.
- [3] G. C. Ahn, H. C. Choi, S. I. Lim, S. H. Lee, and Chul-Dong Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 31, pp. 2030-2035, Dec. 1996.
- [4] L. A. Singer and T.L. Brooks, "A 14-bit 10MHz calibration-free CMOS pipelined A/D converter," in *Symp. VLSI Circuits Dig. Tech Papers*, June 1996, pp. 94-95.
- [5] J. L. McCreary and P. R. Gray, "All-MOS charge redistribution analog-to-digital conversion techniques-Part I," *IEEE J. Solid-State Circuits*, vol. SC-10, pp. 371-379, Dec. 1975.
- [6] J. B. Shyu, G. C. Temes, and K. Yao, "Random error in MOS capacitors," *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 1070-1076, Dec. 1982.
- [7] M. J. McNutt, S. LeMarquis, and J. L. Dunkley, "Systematic capacitance matching errors and corrective layout procedures," *IEEE J. Solid-State Circuits*, vol. 29, pp. 611-616, May 1994.
- [8] S. H. Lee and B. S. Song, "Digital-domain calibration of multistep analog-to-digital converters," *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
- [9] S. U. Kwak, B. S. Song, and K. Bacrania, "A 15-b 5-MSample/s low-spurious CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 32, pp. 1866-1875, Dec. 1997.
- [10] H. S. Lee, D. A. Hodges, and P. R. Gray, "A self-calibration 15-bit CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 813-819, Dec. 1984.
- [11] D. A. Mercer, "A 14-b, 2.5 MSPS pipelined ADC with on-chip EPROM," *IEEE J. Solid*

- State Circuits*, vol.31, pp.70-76, Jan. 1996.
- [12] Y. M. Lin, B. Kim, and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-um CMOS," *IEEE J. Solid-State Circuits*, vol.26, pp.628-635, Apr. 1991.
- [13] T. B. Cho and P. R. Gray, "A 10 b, 20 Msample/s, 35mW pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. 30, pp. 166-172, Mar. 1995.
- [14] S. Lewis, "Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications," *IEEE J. Solid-State Circuits*, vol. 27, pp.516-522, Aug.1992.
- [15] P. C. Yu and H. S. Lee, "A 2.5-V, 12-b, 5-MSample/s pipelined CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 31, pp. 184-1861, Dec. 1996.
- [16] P. C. Yu and H. S. Lee, "A Pipelined A/D Conversion Technique with Near-Inherent Monotonicity," *IEEE Trans.Circuits Syst.II*, vol. 42, pp.500-502 July, 1995.
- [17] Y. D. Jeon, B. Y. Jeon, S. C. Lee, S. M. Yoo, and S. H. Lee, "A 12b 50 MHz 3.3V CMOS acquisition time minimized A/D converter," in *Proc. ASP-DAC*, Yokohama Japan, Jan. 2000, pp.613-616.
- [18] Y.D. Jeon, S.C. Lee, S.M. Yoo, and S.H. Lee, "Acquisition-time minimization and merged-capacitor switching techniques for sampling-rate and resolution improvement of CMOS ADCs," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2000, Geneva, Switzerland, vol. 3, pp.451-454.

저 자 소 개



劉相珉(正會員)
1973년 9월 15일생. 2000년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학 중. 주요 관심분야는 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임



金榮得(正會員)
1975년 10월 11일생. 1998년 2월 서강대학교 전자공학과 학사. 2000년 2월 서강대학교 전자공학과 석사. 주요 관심분야는 CMOS 데이터 변환기(A/D, D/A) 설계, 혼성모드 회로 설계 등임



李承勳(正會員)
서울대학교 전자공학과 학사(1984), 서울대학교 전자공학과 석사(1986), 미 Illinois대(Urbana-Champaign) 공학 박사(1991). KIST 위촉 연구원(1986. 3.~1986. 7), 미 Coordinated Science Lab(Urbana) 연구원(1987. 6~1990. 3), 미 Analog Devices 사 senior design engineer(1990. 3~1993. 2), 현재 서강대학교 전자공학과 부교수. 관심 분야는 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임