

論文2000-37SC-6-4

병렬 광 신호 전송을 위한 250-Mbps 10-채널 CMOS 광 수신기 어레이의 설계

(Design of 250-Mbps 10-Channel CMOS Optical Receiver
Array for Parallel Optical Interconnection)

金 鑽 昨 * , 崔 正 烈 * , 盧 成 元 * , 林 鎮 業 * , 崔 仲 鎬 *

(Kwangoh Kim, Jungryoul Choi, Sungwon Noh, Jinup Lim,
and Joongho Choi)

요 약

본 논문에서 범용의 CMOS 트랜지스터 공정을 사용하여 250-Mbps 10-채널 CMOS 광 수신기 어레이 칩을 설계하였다. 이러한 광 수신기 어레이는 병렬 광 신호 전송 시스템의 성능을 결정하는 가장 중요한 블록이며 이를 CMOS 트랜지스터로 설계함으로써 낮은 단가의 시스템의 구현을 가능하게 하였다. 각 데이터 채널은 집적화 된 광 검출 소자 및 여러 단의 증폭기로 구성된 아날로그 프론트-엔드, D-FF (D-flip flop) 과 칩 외부 구동기로 구성된 디지털 블록으로 구성되어 있다. 전체 칩은 광 수신기 어레이와 데이터의 동기식 복원을 위해 PLL (Phase-Lock Loop) 회로로 구성 되어있다. 설계한 광 수신기 어레이 칩은 0.65- μm 2-poly, 2-metal CMOS 공정을 사용하여 제작하였으며, 각 채널은 $\pm 2.5\text{V}$ 의 전원 전압에 대하여 330mW의 소비 전력을 보였다.

Abstract

This paper describes design of a 250-Mbps 10-channel optical receiver array for parallel optical interconnection with the general-purpose CMOS technology. The optical receiver is one of the most important building blocks to determine performance of the parallel optical interconnection system. The chip in CMOS technology makes it possible to implement the cost-effective system also. Each data channel consists of analog front-end including the integrated photo-detector and amplifier chain, digital block with D-FF and off-chip driver. In addition, the chip includes PLL (Phase-Lock Loop) for synchronous data recovery. The chip was fabricated in a 0.65- μm 2-poly, 2-metal CMOS technology. Power dissipation of each channel is 330mW for $\pm 2.5\text{V}$ supply.

I. 서 론

정보화 사회의 급격한 발전으로 인하여 고속의 데이

* 正會員, 서울 市立大學校 電子電氣工學部

(Department of Electrical Engineering, University of Seoul)

※ 본 연구는 한국과학재단 핵심과제사업 (과제번호: KOSEF 971-0913-074-2)에 의해 수행되었습니다.

接受日字:2000年1月13日, 수정완료일:2000年9月28日

터 통신에 대한 요구가 증가하였다. 이를 위해 지난 20여 년 간 광 신호와 전기 신호를 결합하는 광전자공학(optoelectronics) 및 광전자 집적회로(OEICs, Opto-Electronic Integrated Circuits)에 관한 많은 연구가 활발히 이루어져 왔다^[1]. 광전자공학을 효율적으로 구현하기 위한 광전자 집적회로는 수동 소자, 전송 매체 및 능동 소자 등의 분야에서 혁신적인 발전이 이루어졌다. 이를 바탕으로 현재의 광통신 시스템은 낮은 신호 전송 오류와 양질의 수신 감도(sensitivity)를 갖는 광 신호를 초고속으로 송·수신할 수 있게 되었다^[2]. 또한

광전자 집적회로는 광통신 이외의 광 신호 처리 (optical signal processing)^[3] 및 광 신호 연결 (optical signal interconnection)^[4,5] 등의 새로운 응용 분야로 확장되었다.

광 신호 연결 분야에서는 고속의 데이터 전송을 위해 기존의 전기선을 대체하여 광섬유 케이블을 사용하거나, 무선 공간 (free space)을 이용하여 데이터를 전송한다. 전기선을 사용하여 고속으로 데이터를 전송하게 되면 송신 및 수신 단의 임피던스 부정합으로 인한 신호 반사, 이웃한 신호 성분간의 간섭 (crosstalk), 스위칭 잡음 등과 같은 문제점들이 발생한다. 이러한 문제점을 해결하기 위하여 물리적으로 규모가 큰 전기선을 사용하거나 신호를 큰 전력을 갖도록 전송하는 방법을 사용해야 한다. 따라서 고속 데이터 통신의 새로운 대안으로 광 신호 연결의 방법을 사용하여 전기선 전송 매체를 광섬유 케이블로 대체하는 병렬 광 버스 연결 (parallel optical bus interconnection)이라는 새로운 신호 전송 체계가 제안되었다^[6]. 이 전송 체계는 전기 신호를 광 신호로 전환하여, 광섬유 케이블을 통하여 전송하며, 수신된 광 신호를 다시 전기 신호로 변환하는 과정을 모두 병렬로 처리한다. 그러나 병렬 광 버스 연결 시스템의 경우 높은 제조 단가로 인하여 제약적으로 사용되었다. 결국 기존의 전기선 사용 시 발생하는 문제점을 해결하는 이러한 방법이 경제성에 바탕을 둔 실현성을 보장받기 위해서는 전체 시스템의 중요한 구성 요소인 광전자 집적회로의 저가 구현이 필수적이다.

광 신호를 전기 신호로 변환하는 광 수신기는 전체 광 신호 연결 시스템의 성능을 결정하는 중요한 구성 블록이며, 병렬 데이터 처리를 위하여 어레이의 구성이 필수적이다. 고속의 동작 성능을 갖기 위해서 주로 화합물 반도체 소자를 사용하였지만 병렬 광 신호 전송을 위한 현실적인 크기의 어레이 구현이 매우 어렵다. 이를 위해 높은 집적도가 가능한 GaAs MESFET 공정^[6,7]이나 고속의 Si 바이폴라 트랜지스터 공정^[8]을 사용하여 구현하였다. 비록 이러한 소자들을 제조하기 위한 공정 기술이 많이 발달하여 안정된 소자 특성과 LSI 차원의 집적도를 이룰 수 있게 되었지만 제조 가격은 범용의 CMOS 트랜지스터 제조 기술과 비교하면 큰 차이가 있다. 근래에 들어 범용의 CMOS 공정의 급격한 발전에 힘입어 집적도뿐 아니라 회로의 동작 속도도 GHz의 범위로 높아졌으며 따라서 기존의 성능에 비견할 만

한 특성을 갖는 CMOS 광 수신기 설계에 관한 연구가 진행되어 왔다^[9,10].

본 논문에서는 범용의 CMOS 트랜지스터 공정을 사용하여 버스트-모드 (burst-mode) 데이터에 대해서 250Mbps 이상의 전송 속도를 갖는 광 수신기 어레이를 설계하였다. CMOS 트랜지스터를 사용하였을 때 야기되는 제한된 잡음 특성 및 속도 성능을 분석하여 이의 개선을 위한 회로 설계 기법을 제안하였다. 2장에서는 광 수신기 어레이 칩의 전체 구조에 대하여 논하였으며 3장에서는 광 수신기의 아날로그 회로 블록을 모델링을 통해 분석하였으며 회로 설계에 대해서 논하였다. 4장에서는 고속 디지털 블록의 설계에 대하여 논하였다. 5장에서는 범용의 CMOS 트랜지스터 공정을 사용하여 제작된 광 수신기 어레이 칩의 시뮬레이션 및 측정 결과를 바탕으로 칩의 성능을 분석하였다.

II. 광 수신기 어레이 시스템의 구조

본 논문에서 구현한 광 수신기 어레이의 구조의 블록도가 그림 1에 나타나 있다. 총 10개의 데이터 채널로 이루어진 광 수신기 어레이는 1 바이트의 디지털 신호를 병렬로 전송할 수 있다. 마지막 10번째 채널은 어레이 외부의 PLL(phase-locked loop)과 함께 클럭 복원 회로 (clock recovery circuit)를 구성하여 250Mbps의 데이터를 동기식으로 수신할 수 있도록 하였다. 각 데이터 채널은 병렬의 광섬유 케이블 버스로부터 인가된 광 신호를 수신하여 전기 신호를 출력으로 내보낸다. CMOS 광 수신기 어레이를 구성하는 데이터 채널의 블록도가 그림 2에 있다. 각 채널은 크게 아날로그 프론트-엔드 (front-end)와 디지털 블록으로 구성되어 있다. 아날로그 프론트-엔드는 PN-접합 광 검출 소자 (PN-junction optical detector), 전단 증폭기 (pre-amplifier), 후단 증폭기 (post-amplifier) 및 보상 회로 (compensation circuit)로 이루어져 있다. 디지털 블록은 고속 동작 속도를 갖는 D-FF (D-flip flop)과 칩 외부 구동기 (off-chip driver)로 이루어져 있다. 전단 증폭기에 사용된 열린 루프 증폭기는 완전 차동 (fully-differential) 형태이지만 입력 신호는 단일 (single-ended) 신호 형태이므로 전단 증폭기의 한 입력 단자에는 기준 전압이 인가 되어야 한다. 이러한 기준 전압을 효율적으로 구현한 것이 그림 2에 나타나 있다. 전단 증폭기와 동일한 구조를 갖는 증폭기를 사용하여

기준 전압을 발생하는 반복 바이어싱 (replica biasing) 기법을 사용하였으므로 소자의 특성 변화, 전원 전압 및 주변 온도의 변화에 따른 증폭기의 성능 변화에 정합 (matching) 특성을 갖는 기준 전압을 발생할 수 있다.

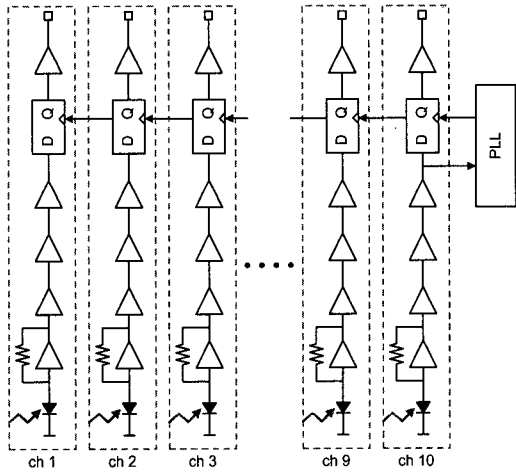


그림 1. 10-채널 CMOS 광 수신기 어레이 칩의 블록도

Fig. 1. Block diagram of 10-channel CMOS optical receiver array.

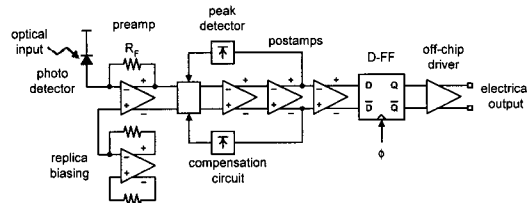


그림 2. 버스트-모드 전송을 위한 데이터 채널의 블록도

Fig. 2. Block diagram of one data channel for burst-mode data.

광섬유 케이블로부터 입력 신호로 인가되는 광 신호는 증폭기와 함께 집적된 광 검출기를 통하여 전류 신호로 변환되며 버스트-모드 전송 방식을 위하여 이 신호는 광 수신기의 증폭기 체인의 입력 단에 DC 방식으로 접속된다. 광 검출기로부터 얻은 신호는 전류의 형태이므로 이를 전단 증폭기를 통하여 전압 신호로 변환한다. 이 변환된 신호는 3단의 전압 증폭기 체인을 통하여 디지털 이진 신호로 표현할 수 있을 만큼 충분히 증폭된다. 입력 신호는 각 블록을 통해 DC-접속의 형태로 진행되기 때문에 입력 신호의 DC 성분, 0이 아닌 off 신호 및 전압 증폭기의 오프셋 전압 등에 의하

여 신호 파형이 왜곡되거나 전압 증폭기가 포화 상태로 벗어날 수 있으므로 보상 회로를 사용하여 이러한 DC 성분들을 보상하여야 한다^[11].

아날로그 프런트-엔드 블록으로부터 나온 디지털 이진 신호는 D-FF을 통과하여 동기식으로 진행되거나 D-FF을 bypass하여 비동기식으로 진행될 수 있다. 동기식 데이터 검출에 사용되는 클럭 신호는 광 신호 및 전기 신호의 두 가지 방법으로 얻을 수 있다. 전자의 경우는 광 수신기 어레이의 마지막 채널로 인가되는 입력 신호에 광 신호 클럭을 지정하여 구현할 수 있다. 이 때 설계한 광 수신기 어레이의 데이터 채널의 수는 10개이므로 지정된 클럭 채널을 사용하더라도 1 바이트의 데이터를 전송할 수 있다. 후자의 경우 광 수신기 어레이의 외부에 위치한 PLL을 사용하여 클럭 복원 회로를 구현함으로써 동기식 동작에 필요한 클럭을 발생할 수 있다. 신호 처리의 마지막 단에서 칩의 외부에 고속으로 구동할 수 있도록 50Ω의 출력 저항을 갖는 칩 외부 구동기를 사용하였다.

III. 아날로그 프런트-엔드 블록의 설계

1. PN-접합 광 검출 소자

광 수신기는 광 검출 소자와 능동 증폭기 블록을 칩의 외부에서 결합하는 혼성 (hybrid) 방식의 경우 광 검출 소자에 대해 변환 효율 (conversion efficiency)을 최대로 하는 소자를 사용할 수 있으므로 수신 성능을 향상시킬 수 있지만 각 소자의 개별 패키징으로 인하여 기생 커패시턴스가 커지며 이로 인해 광 수신기의 동작 속도가 감소하며 잡음이 증가하게 된다. 반면 광 검출 소자와 능동 증폭기를 한 칩에 집적화 하는 경우 광 검출기의 낮은 변환 효율이 문제가 되며 특히 범용의 CMOS 트랜지스터 공정을 사용하는 경우 더욱 심각해진다. 그러나 다중 채널의 병렬 광 신호 전송을 위하여 어레이 구현 방식이 필수적이므로 광 검출 소자를 한 칩에 집적화 하여야 하며 이에 따른 낮은 변환 효율의 문제점은 고성능의 증폭기를 설계하여 해결하여야 한다.

그림 3(a)에 범용의 CMOS 트랜지스터 공정 (n-well 사용)을 사용하여 구현할 수 있는 일반적인 PN-접합 광 검출 소자의 구조를 나타내었다. 광 검출기의 표면에 인가된 전류 신호의 크기를 I_0 라 하면 표면으로부터

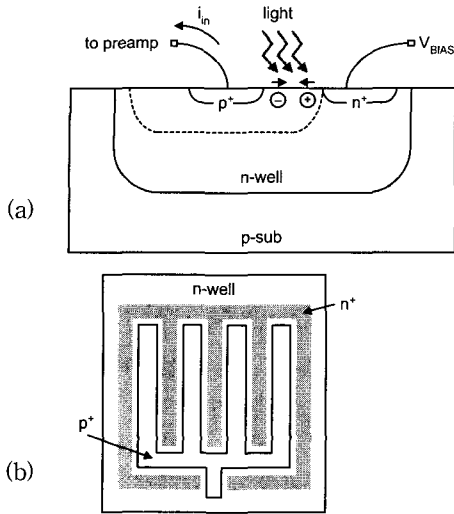


그림 3. CMOS 광 검출 소자 (a) 구조 (b) 레이아웃
Fig. 3. CMOS photo detector (a) Structure (b) Layout.

d 만큼 떨어진 내부에서 연계 되는 전류 신호의 크기 I(d)는

$$I(d) = I_0 e^{-\alpha \cdot d} \quad (1)$$

로 얻을 수 있다^[12]. 이 때 α 는 Si의 흡수 계수 (absorption coefficient)이다. 인가되는 광 신호의 파장이 670nm일 때 α 값은 7×10^3 정도이며, 신호의 90%가 흡수되는 지점의 깊이 d는 약 $3.3 \mu\text{m}$ 이다. 그림 3(a)의 광 검출기 구조에서 PN-접합의 공핍 (depletion) 영역의 폭이 이러한 크기의 d 값을 갖기 위해서는 일반적으로 20V 이상의 역 방향 바이어스 전압이 필요하다. 본 논문의 광 수신기는 고속의 성능 뿐 아니라 저 전압 특성을 요구하므로 2.5V의 역 방향 바이어스 전압이 사용된다. 이 때 PN-접합의 공핍 영역의 폭은 약 $0.5 \mu\text{m}$ 가 되므로 식 (1)로부터 30%의 입력 신호가 공핍 영역에서 흡수됨을 알 수 있다. 또한 인가된 광 신호로 인하여 야기되는 전류는 표면에서 흐르는 전류가 대부분이므로 그림 3(b)에 있는 레이아웃을 사용하여 PN-접합 구조를 갖는 광 검출 소자를 구현하였다. 이를 바탕으로 광 검출기의 모델을 구성하였으며 그림 4에 나타내었다. 여기서 C_{PD} 는 광 검출기를 구현하는 역 방향 PN-접합의 기생 커패시턴스이며 2.5V의 역방향 바이어스 전압에 대하여 약 3.5pF의 값을 갖는다. I_L 은 암 전류 (dark current) 및 누설 전류 (leakage current)에 대한 모델이다.

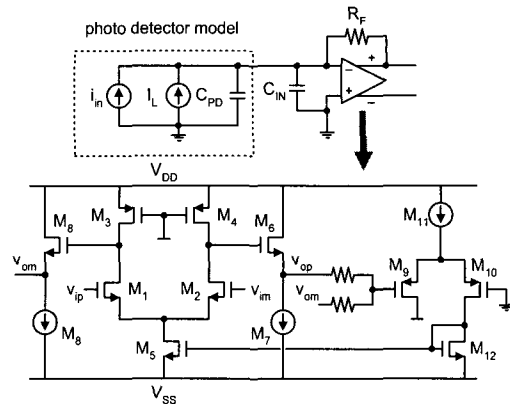


그림 4. 전단 증폭기의 회로도
Fig. 4. Circuit schematic of pre-amplifier.

2. 증폭기 회로

인가된 광 신호는 광 검출기에서 전류 신호로 변환되며 이 전류 신호는 전단 증폭기를 사용하여 전압 신호로 변환된다. 전체 광 수신기의 성능은 이 전단 증폭기에 의해 결정되므로 설계 시 특별한 주의가 요구된다. 그림 4는 TZ (transimpedance) 증폭기 형태를 갖는 전단 증폭기의 회로도를 나타낸다. 이러한 TZ 증폭기 구조는 일반적으로 높은 주파수의 동작 속도를 위해 사용한다^[6-11]. 열린 루프 (open-loop) 증폭기는 트랜지스터 $M_1 \sim M_5$ 로 이루어진 차동 증폭기, $M_6 \sim M_9$ 로 이루어진 출력 버퍼 및 $M_{10} \sim M_{12}$ 로 이루어진 CMFB (common-mode feedback) 회로로 구성되어 있다. 열린 루프 증폭기의 전압 이득이 $A_0 = g_{m1} \cdot R_{ds3}$ 이며 R_{ds3} 는 선형 영역에서 동작하는 트랜지스터 M_3 의 등가 저항이다. 열린 루프 증폭기의 입력 커패시턴스 C_{IN} 및 되먹임 저항 R_F 에 대하여 전단 증폭기의 3-dB 주파수 대역폭은

$$f_{3dB} \approx \frac{A_0 + 1}{2\pi(C_{PD} + C_{IN})R_F} \quad (2)$$

와 같이 얻을 수 있다. 동작 속도를 높이기 위하여 C_{PD} 및 R_F 의 값을 감소시키면 광 수신기의 잡음 특성이 낮아진다. 전압 증폭기의 전압 이득을 증가시키기 위하여 캐스코드 (cascode) 형태를 사용할 수 있지만 이는 증폭기 내의 트랜지스터 열 잡음 (thermal noise)의 증가를 가져온다. 본 논문의 설계에서 $C_{PD} + C_{IN}$ 의 값이 4.0 pF 이며, R_F 및 열린 루프 전압 이득 A_0 가 각각 $1k\Omega$

및 10이므로 식 (2)로 부터 400MHz 이상의 3-dB 주파수 대역폭을 얻을 수 있다.

전단 증폭기의 입력 단에서 등가적으로 얻을 수 있는 잡음 전류를 구하면 전체 광 수신기의 sensitivity 성능을 예상할 수 있다. 그림 4의 전단 증폭기에서 저항 및 트랜지스터의 열 잡음이 통계적으로 독립적이라고 가정하면 입력 단에서 얻을 수 있는 등가의 잡음 전류의 전력 스펙트럼 밀도 (spectrum density)는 다음 식 (3)과 같이 얻을 수 있다.

$$I_{Eq}^2(f) = \frac{4kT}{R_F} + \left[\frac{4kT}{A_0} + \frac{8kT}{3} \right] \frac{1 + (2\pi f \cdot R_F(C_{PD} + C_{IN}))^2}{g_{m1}R_F^2} \quad (3)$$

그림 5에 식 (3)에서 구한 등가의 입력 잡음 스펙트럼 밀도를 나타내었다. 여기서 I_{RF}^2 , I_{RL}^2 , I_M^2 은 각각 되먹임 저항 R_F , 부하 저항 R_L 및 입력 트랜지스터 M_1 에 의한 잡음 성분을 나타낸다. 그림에서 알 수 있듯이 낮은 입력 주파수 대역에서는 R_F 의 열 잡음에 의한 영향이 크지만 주파수가 높아짐에 따라 입력 트랜지스터에 의한 영향이 커지게 된다.

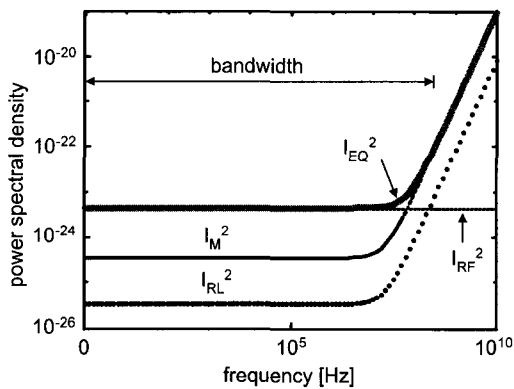


그림 5. 등가의 입력 잡음 전력 스펙트럼 밀도
Fig. 5. Equivalent input-referred noise power spectrum density.

후단 증폭기는 전단 증폭기에서 변환된 전압 신호를 디지털 이진 신호로 표현하기 위하여 충분한 전압 이득을 제공하여야 한다. 본 논문에서는 열린 루프 형태의 증폭기를 3단 연결하여 60dB 이상의 높은 전압 이득을 얻었다. 이때 각 증폭기의 3-dB 주파수는

$$f_{post} \geq \frac{f_{3dB}}{\sqrt{2^{1/3}-1}} = 1.96 \cdot f_{3dB} \quad (4)$$

의 조건을 만족하여야 하며 시뮬레이션 결과 600MHz 이상의 성능을 얻었다. 모든 증폭기는 그림 4의 열린 루프 증폭기를 사용하였으며 완전 차동 형태로 신호를 처리하므로 전원 전압에서 야기되는 잡음 등과 같은 공통 신호의 잡음을 제거하는데 유리하며 6dB의 동작 영역 및 전압 이득 증가를 얻을 수 있다.

3. 보상 회로

그림 2에 나타난 바와 같이 DC-접속된 신호의 경우 다양한 DC 성분이 포함되므로 이를 적절히 보상하지 않으며 증폭기가 선형 증폭 영역을 벗어나 포화 상태에 이르거나, 증폭을 하더라도 신호의 펄스 파형이 왜곡되는 문제점이 발생한다. 이러한 DC 성분에는 입력 신호의 DC 크기 성분, 0이 아닌 off 신호 성분 및 증폭기의 오프셋 전압 V_{offset} 등이 포함되어 있다. 버스트-모드에서는 입력 신호의 DC 크기 성분이 인가되는 광 신호의 전력에 따라 변하므로 고정된 기준 전압을 사용하여 증폭하는데 있어 문제가 발생할 수 있다. 입력 신호가 off인 경우 이상적으로는 0의 값이 인가되어야 하지만 암 전류 및 누설 전류의 값이 포함될 수 있다. 특히 광 신호의 고속으로 송신하기 위하여 레이저 다이오드를 완전히 off 시키지 않은 상태에서 데이터를 전송하는 경우 이를 효율적으로 제거할 수 있어야 한다. 또한 범용의 CMOS 공정을 사용하여 증폭기를 구현한 경우 일반적으로 수십 mV의 오프셋 전압이 발생하게 된다.

상기와 같은 문제를 야기하는 DC 성분을 제거하기 위한 보상 회로의 개념적인 블록도가 그림 6에 나타나 있다. 보상 회로는 피크 검출기 (peak detector), 되먹임 증폭기 A_f 및 레벨 변환기로 이루어져 있다. 피크 검출기는 증폭기 체인의 출력 신호에 포함된 DC 성분들을 검출할 수 있으므로 이를 되먹임 하여 입력 신호의 레벨을 변환함으로써 루프 이득만큼 DC 성분을 제거할 수 있다. 피크 검출기가 비 선형 시스템이므로 보상 회로의 동작을 분석하기 위하여 다음과 같이 알려진 입력 파형을 인가하여 그 특성을 살펴 볼 수 있다. 후단 증폭기의 입력으로

$$v_{pre} = \frac{K}{2} [1 + \sin(2\pi ft)] \quad (5)$$

와 같은 신호가 인가되면 그 출력 신호는 다음과 같다.

$$v_{post} = A_{post} \cdot \left[\frac{K}{2} \sin(2\pi ft) + \frac{V_{offset}}{1 + A_{post}A_f} + \frac{A_f \Delta V}{1 + A_{post}A_f} \right] \quad (6)$$

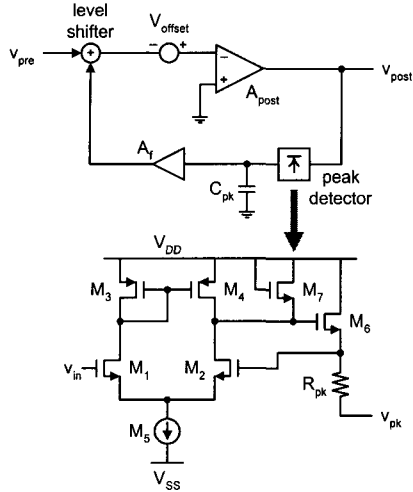


그림 6. 보상 회로의 블록도(단일 신호 형태로 간략화)
Fig. 6. Block diagram of compensation circuit (Single-ended scheme shown for clarity).

여기서 ΔV 는 피크 검출기에서 발생할 수 있는 리플(ripple) 전압 및 누설 전류에 의한 영향을 나타낸다. 식 (6)에서 알 수 있듯이 제안된 보상 회로는 효율적으로 AC 신호 성분만을 증폭하며 여러 오차로 인한 성분들은 $A_{post} \cdot A_f$ 배만큼 감소시킬 수 있다.

피크 검출기를 포함하는 되먹임 시스템의 동작이 underdamped 될 수 있으며, 이 경우 과도하게 진동하는 신호의 피크 값을 검출함으로써 보상 회로가 적절하게 동작하지 않을 수 있다. 피크를 검출하는 동안의 피크 검출기를 전압 이득이 1인 증폭기로 모델링 하여 그림 6의 회로를 소 신호 영역에서 분석하면 특성 함수(characteristic function)의 Q-factor 값은 다음과 같이 얻을 수 있다.

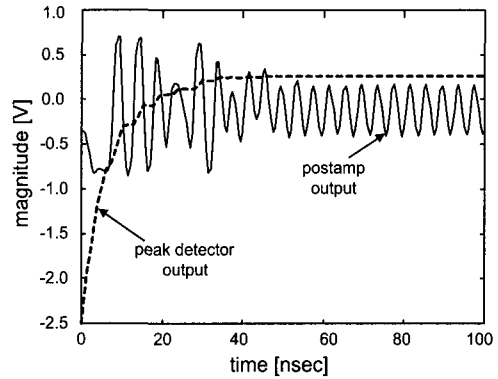
$$Q = \frac{\sqrt{(1 + A_{post}A_f)D_{post}D_{pk}}}{D_{post} + D_{pk}} \quad (7)$$

여기서 D_{post} 는 후단 증폭기 체인의 3-dB 주파수 대역폭을 나타내는 폴 주파수이며 D_{pk} 는 피크 검출기에서 사용되는 증폭기의 출력 저항 및 피크 검출 커패시턴스 C_{pk} 로 이루어진 폴 주파수이다. 시스템이 underdamped 되는 것을 방지하기 위하여 식 (7)로부터 다음

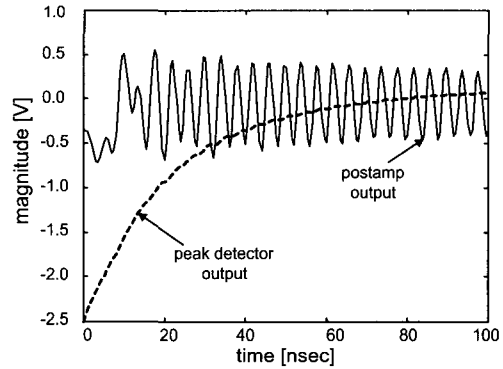
과 같은 조건을 얻을 수 있다.

$$(D_{post} - D_{pk})^2 \geq 4A_{post}A_f \cdot D_{post}D_{pk} \quad (8)$$

식 (8)과 같은 조건을 만족하기 위하여 피크 검출기의 증폭기 출력에 저항 R_{pk} 를 추가하여 피크 검출기의 폴 주파수 D_{pk} 를 C_{pk} 및 R_{pk} 에 의하여 조절될 수 있도록 하였다. 그림 7은 R_{pk} 의 추가에 따른 보상 회로에 대한 시뮬레이션 결과를 나타낸다.



(a)



(b)

그림 7. 보상 회로에 대한 시뮬레이션 결과 (a) R_{pk} 가 없는 경우 (b) R_{pk} 가 있는 경우

Fig. 7. Simulation results of compensation circuit (a) Without R_{pk} (b) With R_{pk} .

그림 8은 250Mbps의 데이터를 수신하는 아날로그 프런트-엔드의 시뮬레이션 결과를 나타낸다. 그림에서 알 수 있듯이 입력 신호에 포함된 $30\mu A$ 의 DC 크기 성분, $20\mu A$ 의 off 신호 성분 및 20mV의 증폭기 오프셋 전압을 보상하여 출력 신호는 완전 차동 형태의 파형을 나타낸다.

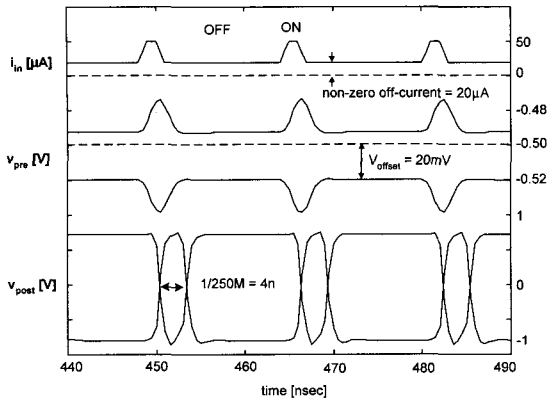


그림 8. 아날로그 프런트-엔드의 시뮬레이션 결과
Fig. 8. Postlayout simulation results of the analog front end.

IV. 디지털 블록의 설계

그림 9는 고속으로 동작하는 D-FF 회로를 나타내며 두 단의 래치 회로를 사용하여 마스터-슬레이브 형식의 D-FF를 구성하였다. 아날로그 프런트-엔드의 출력에서 나오는 차동 형태의 신호를 처리해야 하며 짧은 지연 시간을 갖기 위하여 차동 증폭기 형태의 회로로 구성하였다. 그림 9에 나타낸 래치 회로는 디지털 신호를 받아들이는 동안 ($\phi=1$) 전압 증폭기로 사용되며, 디지털 신호를 유지해야하는 동안 ($\phi=0$) 차동 증폭기의 출력 단이 서로 교차하는 래치 형태로 변환된다. 각 클럭 신호를 조절하여 비동기식으로 데이터를 처리할 수 있는 기능을 추가하였다.

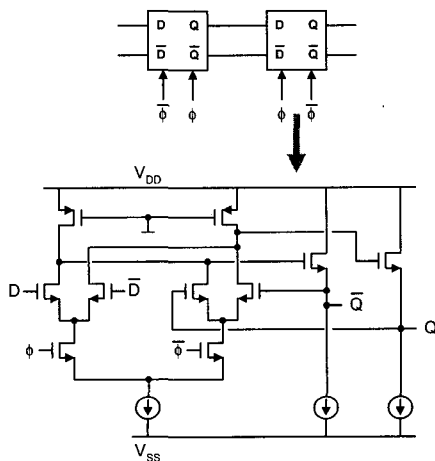


그림 9. 고속 D-FF 회로
Fig. 9. Circuit schematic of High-speed D-flip flop.

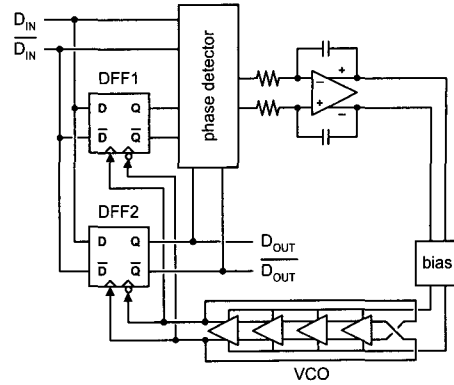


그림 10. NRZ 데이터 복원을 위한 PLL의 블록도
Fig. 10. Block diagram of PLL for recovery of NRZ data.

동기식으로 데이터를 처리하기 위하여 광 수신기 어레이는 그림 1에서 알 수 있는 바와 같이 클럭 신호가 필요하다. 이는 광 수신기 어레이 중에서 한 채널을 클럭 채널로 지정하여 외부에서 인가해 주는 방법을 사용하거나 내부에 별도의 클럭 복원 회로를 사용하여 클럭 신호를 발생하는 방법을 사용한다. 본 논문에서는 후자의 방법을 지원하기 위해서 내부에 PLL을 설계하였으며 입력 데이터와 동기화 된 클럭을 발생하기 위해서 마지막 채널을 PLL과 함께 사용하였다. NRZ (Non-Return-to-Zero) 신호를 사용하여 데이터를 동기화 하는 방식에서 입력 신호에 대하여 위상이 90° 지연된 파형을 사용하면 효과적으로 클럭을 추출할 수 있다^[13]. 이를 효과적으로 구현하기 위하여 추가의 D-FF를 사용하였으며 본 논문에서 제안한 구조의 PLL에 대한 블록도가 그림 10에 있다. 그림에서 DFF1의 출력은 위상이 0° 지연된 입력 신호이고 아래에 있는 DFF2의 출력은 위상이 90° 지연된 신호이다. 이를 아날로그 곱셈기 형태의 위상 검출기 및 lowpass 필터를 통과하여 VCO (voltage-controlled oscillator)를 구동하는 제어 신호를 발생한다. VCO는 차동 증폭기 형태를 4단 사용하여 구성하였으며 제어 신호에 따라 충전 및 방전 전류를 변화시킨다. 또한 일정한 출력 신호를 얻기 위하여 각 증폭기는 가변 부하 소자를 포함하며 이는 반복 기준 회로를 사용하여 구현하였다. 시뮬레이션 결과에 따라 PLL의 주파수 획득 범위는 200MHz~300MHz이다.

V. 하드웨어 구현 및 결과

본 논문에서 설계한 10-채널 광 수신기 어레이 칩은 0.65- μm 2-poly 2-metal CMOS 트랜지스터 공정을 사용하여 제작되었다. 설계된 칩의 사진이 그림 11에 나타나 있으며 PLL을 포함한 어레이의 면적은 $2.85 \times 1.35\text{mm}^2$ 이다. 각 채널은 $150\mu\text{m}$ 의 채널 피치를 가지며 $\pm 2.5\text{V}$ 전원 전압 사용 시 약 330mW 의 전력 소모를 보였다.

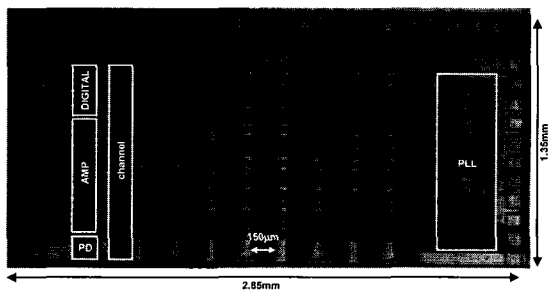


그림 11. 250-Mbps 10-채널 CMOS 광 수신기 어레이 칩의 레이아웃

Fig. 11 Layout of 250-Mbps 10-channel CMOS optical receiver array chip.

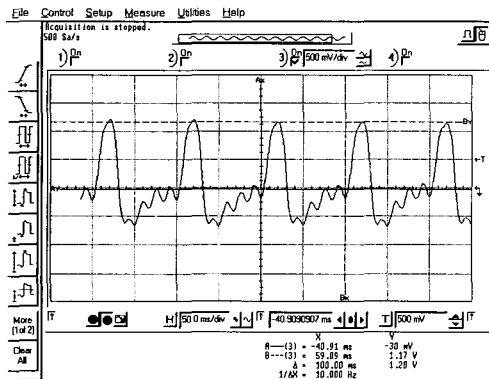


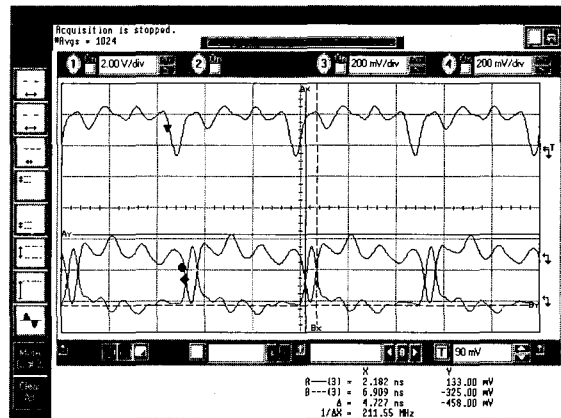
그림 12. 광 검출 소자의 측정 결과

Fig. 12. Measurement result of integrated photodetector.

역 방향 바이어스 PN-접합으로 이루어진 광 검출기의 면적은 광 섬유 케이블과의 위치를 일치시키는데 마진을 두기 위해서 $100 \times 100 \mu\text{m}^2$ 를 사용하였다. 설계된 $100 \times 100 \mu\text{m}^2$ 광 검출기의 기생 커패시턴스 값은 3.5pF 의 얻을 수 있으며 이는 실제 측정 결과와 약

10%의 오차를 보인다. 설계된 광 검출기의 측정 결과를 그림 12에 나타내었다. 그림에서 알 수 있듯이 설계된 광 검출기는 인가된 광 신호 (670nm의 파장)에 대해서 약 $2\mu\text{A}$ 의 전류 신호를 검출하였다. 이는 범용의 CMOS 표준 공정을 사용하여 병렬 광 버스 연결 응용을 위한 광 수신기 어레이 구현에 있어 집적화 된 광 검출기의 설계가 가능함을 입증하였다.

(a)



(b)

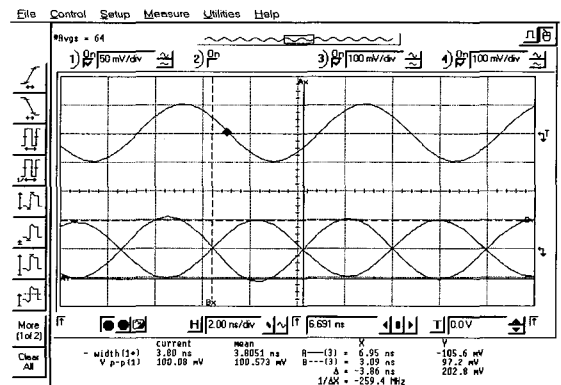


그림 13. 아날로그 프런트-엔드의 측정결과 (a) 200Mbps (b) 250Mbps

Fig. 13. Measurement result of analog front-end (a) 200Mbps (b) 250Mbps.

그림 13에 아날로그 프런트-엔드의 측정 결과를 나타내었다. 칩의 전기적 특성을 살피기 위해 광 검출기 대신 등가의 전류원을 입력에 인가하였다. 측정 결과에 의하면 아날로그 프런트-엔드로부터 250Mbps의 전송 속도를 얻을 수 있음을 알 수 있었다. 표 1에 설계된 광 수신기 어레이 칩의 측정 결과 및 특성을 요약하였다.

표 1. 250-Mbps 10-채널 CMOS 광 수신기 어레이 칩의 성능 측정 결과

Table 1. Performance summary of the 250-Mbps 10-channel CMOS optical receiver.

technology	0.65 μ m 2-poly 2-metal CMOS technology
# of channel	10 data channels (one byte + 2 redundancy channel)
data rate	250Mbps/channel with NRZ signal
sensitivity	-21 dBm@10 ⁻¹² BER (efficiency : 30%)
power dissipation	one channel : 330mW for \pm 2.5V supply chip : 3.37 W
Area	one channel : 150x880 μ m ² chip : 2.85x1.35mm ²

VI. 결 론

현재 데이터의 처리 속도 뿐 아니라 전송 속도 성능도 급격하게 높아지며 이를 효율적으로 구현하기 위한 많은 연구가 수행되고 있다. 전기선을 매체로 하여 전기 신호를 고속으로 전송하는데 있어 발생하는 여러 문제점들을 해결하기 위한 대안으로 전기선 전송 매체를 광 섬유 케이블로 대체하는 병렬 광 신호 전송이라는 새로운 신호 전송 체계에 대한 연구가 활발히 진행되어 왔다. 이를 위한 광전자 집적회로 설계에 대한 연구가 이루어졌지만 광전자 집적회로의 제조 단가가 매우 높아 제약적으로 구현될 수밖에 없었다. 광 신호 전송 시스템의 성능을 결정하는 블록인 광 수신기는 고속의 동작을 얻기 위하여 주로 화합물 반도체 소자를 사용하였지만, 병렬로 데이터를 전송하기 위한 어레이를 구현하기 위하여 GaAs MESFET 또는 고속의 바이폴라 트랜지스터 공정 기술을 사용하였다. 현재 진행되고 있는 CMOS 트랜지스터 기술의 발전은 높은 동작 속도를 이루게 되었으며, 안정된 소자 특성으로 인하여 낮은 단가의 고속 광 수신기 어레이 구현을 가능하게 하였다.

본 논문에서는 범용의 0.65- μ m 2-poly 2-metal CMOS 트랜지스터 공정을 사용하여 10개의 채널을 갖는 병렬 광 수신기 어레이 칩을 설계, 제작하였다. CMOS 트랜지스터 공정을 사용하였을 때 야기되는 제반 문제점 및 특성을 분석하였으며 결과를 바탕으로 각 구성 블록을 설계하였다. 데이터 채널은 집적화 된 광 검출 소자를 포함하는 아날로그 프론트-엔드 및 디

지털 블록으로 이루어져 있으며, 전체 칩은 데이터 수신을 동기화 하기 위한 PLL을 포함한다. 각 채널은 250Mbps의 데이터 전송 속도를 가지며 \pm 2.5V의 전원 전압에서 330mW의 전력을 소비하였다. 이를 통하여 범용의 CMOS 트랜지스터 공정을 사용하여 광 수신기 어레이를 구현할 수 있는 가능성을 검증하였다.

참 고 문 헌

- [1] C. Lin (edited), *Optoelectronic Technology and Lightwave Communication Systems*, Van Norstrand Reinhold, New York, NY, 1989.
- [2] J. W. Goodman, F. J. Leonberger, S. Y. Kung, R. A. Athale, "Optical interconnections for VLSI systems," *Proc. IEEE*, Vol. 72, pp. 850-859, 1984.
- [3] D. C. Wunsch, T. P. Caudell, C. D. Capps, R. J. Marks, R. A. Falk, "An optoelectronic implementation of the adaptive resonance neural network," *IEEE Tran. Neural Networks*, Vol. 4, No. 4, pp. 673-684, July 1993.
- [4] C.-S. Li, H. S. Stone, Y. Kwark, C. M. Olsen, "Fully differential optical interconnections for high-speed digital systems," *IEEE Trans. VLSI Systems*, Vol. 1, No. 2, pp. 151-163, June 1993.
- [5] R. A. Nordin, W. R. Holland, and M. A. Shahid, "Advanced optical interconnection technology in switching equipment," *IEEE/OSA Jour. Lightwave Technology*, Vol. 13, No. 6, pp. 987-994, June 1995.
- [6] Y.-M. Wong et al., "Technology development of a high-density 32-channel 16 Gb/s optical data link for optical interconnection applications for the Optoelectronic Technology Consortium (OETC)," *IEEE/OSA Jour. Lightwave Technology*, Vol. 13, No. 6, pp. 995-1016, June 1995.
- [7] J. F. Ewen, K. P. Jackson, R. J. S. Bates, and E. B. Flint, "GaAs fiber-optic modules for optical data processing networks," *IEEE/OSA Jour. Lightwave Technology*, Vol. 9, No. 12, pp.

- 1755-1763, Dec. 1991.
- [8] M. Soda, T. Suzaki, T. Morikawa, H. Tezuka, C. Ogawa, S. Fujita, H. Tekemura, and T. Tashiro, "A Si bipolar chip set for 10 GB/s optical receiver," *Tech Digest IEEE Inter. Solid-State Circuits Conference*, pp. 100-101, San Francisco, CA, Feb. 1992.
- [9] P. J. Lim, A. Y. C. Tzeng, H. L. Chuang, and S. A. St. Onge, "A 3.3-V monolithic silicon photodetector/CMOS preamplifier for 531 Mb/s optical data link applications," *Tech Digest IEEE Inter. Solid-State Circuits Conference*, pp. 96-97, San Francisco, CA, Feb. 1993.
- [10] N. Ishihara, et al., "3.3V 50Mb/s CMOS transceiver for optical burst-mode communications," *Tech Digest IEEE Inter. Solid-State Circuits Conference*, pp. 54-55, San Francisco, CA, Feb. 1997.
- [11] J. Yang, J. Choi, D. M. Kuchta, K. G. Stawiasz, P. Pepeljugoski, and H. A. Ainspan, "A 3.3-V, 500-Mb/s/ch parallel optical receiver in 1.2- μ m GaAs technology," *IEEE Jour. Solid-State Circuits*, Vol. 33, No. 12, pp. 2197-2204, Dec. 1998.
- [12] D. A. Neaman, *Semiconductor Physics & Devices - Basic Principles (2nd Ed.)*, McGraw-Hill, Inc., 1997.
- [13] N. Ishihara, and Y. Akazawa, "A monolithic 156 Mb/s clock and data recovery PLL circuit using the sample-and-hold technique," *IEEE Jour. Solid-State Circuits*, Vol. 29, pp. 1566-1571, Dec. 1994.

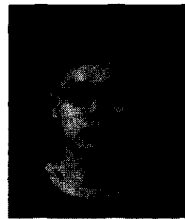
저 자 소 개



金鑛旻(正會員)

1975년 4월 7일 생, 1998년 2월 서울시립대학교 반도체공학과 공학사, 2000년 2월 서울시립대학교 전자전기공학부 공학석사, 현재 (주) 다윈텍 근무, 주 관심 분야는 아날로그/

디지털 집적회로 설계



林鎭業(正會員)

1973년 3월 8일 생, 1999년 2월 서울시립대학교 반도체공학과 공학사, 현재 서울시립대학교 대학원 전자전기공학부 석사과정 재학중, 주 관심 분야는 아날로그/디지털 집적회

로 설계



崔正烈(正會員)

1975년 10월 2일 생, 1998년 2월 서울시립대학교 반도체공학과 공학사, 2000년 2월 서울시립대학교 전자전기공학부 공학석사, 현재 (주) TLI 근무, 주 관심 분야는 아날로그/디

지탈 집적회로 설계



崔仲鏞(正會員)

1987년 2월 서울대학교 전자공학과 공학사, 1989년 2월 서울대학교 전자공학과 공학석사, 1993년 12월 University of Southern California 전자공학과 공학박사, 1994년~1996

년 IBM T. J. Watson Research Center Postdoctoral Fellow, 1996년~현재 서울시립대학교 전자전기공학부 부교수, 주 관심 분야는 아날로그/디지털 집적회로 설계



盧成元(正會員)

1977년 1월 2일 생, 1999년 2월 서울시립대학교 반도체공학과 공학사, 현재 서울시립대학교 대학원 전자전기공학부 석사과정 재학중, 주 관심 분야는 아날로그/디지털 집적회로 설

계