

論文2000-37SC-5-6

이산시간 전압모드 CMOS 혼돈 발생회로의 특성해석

(Characteristic Analysis of the Discrete Time Voltage Mode CMOS Chaos Generative Circuit)

宋 漢 廷 * , 郭 桂 達 **

(Han Jung Song and Kae Dal Kwack)

요 약

0.8 μ m single poly CMOS 집적회로로 구현된 이산시간 전압모드 혼돈 발생회로의 동작특성을 분석하였다. 회로내 비선형 함수 블록에 대한 선형근사식을 유도하여, 실험적으로 제작한 혼돈 발생회로의 해석이 가능하도록 하였다. 혼돈상태 판별의 주요 지표인, 입력변수에 따른 분기도를 구하였고 초기값 의존성을 보여주는 리아프노프 지수도 계산하였다. 뿐만 아니라 상태조건, 즉 평형상태, 주기상태, 혼돈상태에 따라 나타나는 시간파형 및 상태전이관계 그리고 주파수특성을 보여주는 전력스펙트럼도 구하여 상호 연관성을 보였다. 한편 집적화 된 혼돈 발생회로를 $\pm 2.5V$ 전원, 10kHz의 클럭으로 구동시켜 입력전압에 따른 분기도를 측정하였고, 상태조건에 따라 다르게 나타나는 시간파형의 측정과 이의 전력스펙트럼 분석도 실시하여 해석결과와 비교하였다.

Abstract

This paper presents an analysis of the chaotic behavior in the discrete-time voltage mode chaotic generator fabricated using 0.8 μ m single poly CMOS technology. An approximated empirical equation is extracted from the measurement data of a nonlinear function block. Then the bifurcation diagram is simulated according to input variables and Lyapunov exponent λ which represent a dependence on an initial value is calculated. We show the interrelations among time waveforms, state transition, and power spectra for the state condition of chaotic circuit, such as equilibrium, periodic, and chaotic state. And results of experiments in the chaotic circuit with the $\pm 2.5V$ power supply and sampling clock frequency of 10kHz are shown and compared with the simulated results.

KEYWORD : Chaotic Circuit, CMOS, Lyapunov exponent, Bifurcation, Frequency Spectrum, Nonlinear Analog Circuit

I. 서 론

혼돈(카오스)이론은 결정론적 운동방정식으로 설명되

는 고전역학과는 달리 자연계의 무질서한 현상으로부터의 질서를 탐구하는, 근래에 주목받게 된 대표적인 비선형 동력학 이론의 하나이다. 이 혼돈현상은 '어떤 동적 시스템에서 외부 입력의 작은 섭동이 비선형적 되먹임 과정을 통하여 예측 불가능한 무작위한 특성을 나타내는 정상상태 응답으로 정의할 수 있다^[1]. 1975년 수리생물학자 R. May^[2]가 생물의 개체수 변동에 대한 수학적 모델을 연구하는 과정에서 혼돈적 해를 발견한 것을 계기로 각 분야에서 지속적인 연구가 진행되어

* 正會員, 忠淸大學 電子工學科

(Dept. of Electronic Eng., Chungcheong College)

** 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng., Hanyang Univ.)

接受日字:1999年10月11日, 수정완료일:2000年3月14日

왔고, 이제는 자연계내에서도 카오스적 해의 존재를 발견하기는 그리 어렵지 않게 되었다. 혼돈이론의 공학적, 특히 전자공학적인 응용분야를 살펴보면 카오스 메모리, 다치논리 시스템, $\Sigma\Delta$ 변조기, 이미지프로세싱, 패턴인식 등의 여러 분야가 있으며 그중에서도 카오스를 이용한 암호화 된 신호의 송수신, 카오스 뉴런을 이용한 인공지능 및 신경망 분야가 가장 두드러지다 할 수 있다^[1,3,4]. 카오스 신호를 이용한 통신연구는 혼돈신호의 초기치 민감성으로 인한 동기화 문제에 대하여, 1990년 Pecora^[5]가 혼돈시스템을 적절한 부시스템으로 분리할 경우 조건적 동기화가 가능하다는 연구결과가 나오면서 활발히 연구되고 있으며, 마찬가지로 신경망 분야에서도 1990년 일본의 Aihara가 카오스 뉴런^[6,7]을 발표한 것을 계기로 많은 연구성과가 있게 되었다. 한편 이러한 모든 혼돈 응용시스템에는 기본적으로 혼돈 발생회로에 대한 하드웨어적인 전자회로 구현을 필요로 한다. 대표적인 혼돈 발생회로로서 추아(Chua)회로를 들 수 있는데, 이 회로는 R, C, L, 추아다이오드라고 하는 비선형 저항등으로 이루어지며 적절한 조건하에서 회로의 상태변수, 즉 전류,전압에 대한 미분방정식의 해를 통하여 혼돈신호를 얻을 수가 있게 된다^[3]. 대개는 이러한 추아회로가 하이브리드 형태로 혼돈 응용시스템의 기본블록으로 사용되게 되는데, 좀더 확장된 성능의 응용시스템 구현을 추구하면서 혼돈 발생회로 자체의 제어용이성, 안정성, 저전력 및 소형화가 요구되어지고 이에 따라 집적화된 혼돈발생 회로의 필요성이 대두되게 되었다^[8-10]. 혼돈회로의 집적화에 대한 최근까지의 연구경향을 살펴보면 미분방정식으로 표현되는 로렌츠 회로나 추아회로를 구현하는 연속시간형과 차분방정식으로 표현되는 이산시간형으로 대별할 수가 있는데^[3], 전자는 주로 op-amp나 Gm-C 콘덕턴스 기법을 사용하며 지금까지 발표된 혼돈 집적회로가 대부분 이 형태를 띠고 볼 수 있다^[8-10]. 후자의 경우는 스위치드 캐패시터 또는 스위치드 커런트 기법을 이용한 또는 샘플앤드홀드(S/H)회로를 이용하는 형태로 최근에 발표되기 시작했다. 향후 혼돈 응용시스템의 디지털적 변화와 구현의 용이성등을 고려한다면 아날로그 방식이 아닌 디지털 방식의 혼돈 집적회로도 연구되리라 보고 있다. 그러나 이러한 최근의 관심과 연구에도 불구하고 여전히 대부분의 집적회로는 혼돈상태 그 자체의 구현정도에 머무르고 있는 것이 사실이다. 이는 혼돈회로가 근본적으로 지니고 있는 비선형성으로 인한 해석

상의 어려움과 혼돈회로의 다양한 형태와 특성을 응용시스템이 요구하고 있는데서 그 원인을 찾을 수 있다고 하겠다. 때문에 다른 아날로그 회로 요소, 예를 들면 op-amp나 필터, PLL 등과 같이 보편적인 기본블록과 같은 역할이 되기 위하여서는 혼돈 집적회로의 일반적 사양(specification)에 대한 충분한 논의와 더불어 이를 위한 좀더 깊이있는 특성해석 등이 병행되어야 할 것으로 사료된다. 본 논문에서는 $0.8\mu\text{m}$ single poly CMOS 집적회로로 구현된 바 있는^[11] 이산시간 전압모드 혼돈발생회로 내부의 동작특성을 분석한다. 먼저 회로내 비선형함수의 선형근사식을 유도하여, 실험적으로 제작한 혼돈회로의 해석이 가능하도록 하고, 수치해석적으로 혼돈상태를 판별하는 분기도와 리아프노프 지수의 계산결과를 보인다. 더 나아가 상태조건에 따른 시간과형 및 상태천이관계 그리고 주파수특성을 분석하고 집적화 된 혼돈회로를 $\pm 2.5\text{V}$ 전원, 10kHz 의 클럭으로 구동시켜 입력전압에 따른 분기도와 상태별로 나타나는 시간과형 그리고 이의 스펙트럼 측정을 통하여 회로의 특성을 비교, 분석 평가한다.

II. 본 론

1. 이산시간 전압모드 CMOS 혼돈 발생회로

본 논문의 1차원 이산시간 혼돈(카오스) 발생회로의 차분방정식은 다음과 같은 형태를 취한다^[3,11].

$$X(t+1) = \alpha \cdot f(X(t)) + \beta \cdot X(t) + \gamma \cdot Va(t) \quad (1)$$

이 시스템은 시각 t 에서의 값 $x(t)$ 가 비선형 발생회로 $f(\cdot)$ 의(혼돈 상태가 되려면 적어도 하나의 비선형함수가 필요하다) 계수 α 와 선형회로 계수 β , 외부 입력 계수 γ 에 의하여 다음 시각 $t+1$ 의 값 $x(t+1)$ 을 결정하고 이 출력 $x(t+1)$ 은 지연회로를 거치면서 이산화된 데이터 형태로 시스템으로 재입력 되어 $x(t)$ 로 된다. 함수 $f(\cdot)$ 가 충분한 비선형성을 가지고 있게 되면 계수 α, β, γ 의 조건에 따라 주기상태, 준주기 상태, 혼돈상태에 이르게 된다. 본 논문의 아날로그 CMOS 회로로 제작된 카오스 발생회로의 블록도와 현미경 사진을 그림 1에 나타내었다.

이 시스템을 간단히 살펴보면 출력을 입력으로 귀환시키는 지연소자로서 2개의 샘플앤드홀드(S/H) 회로가 사용되고 혼돈신호 발생에 충분한 비선형성을 얻기 위

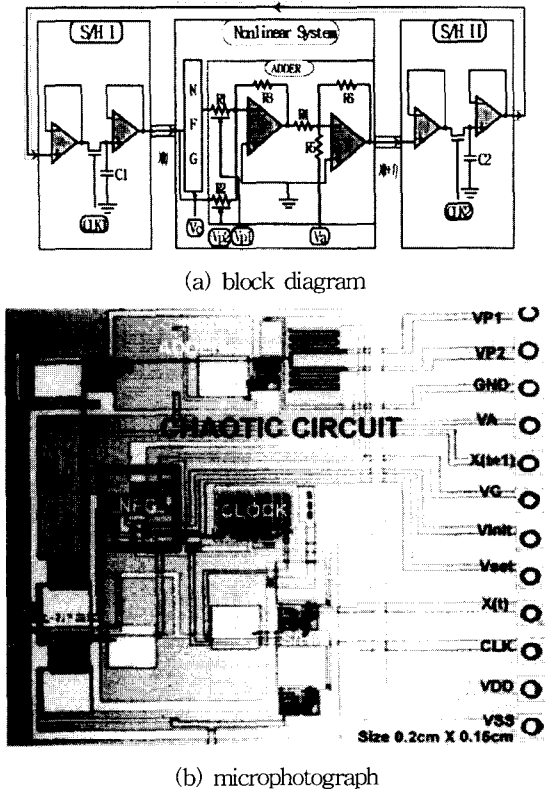


그림 1. 제작된 이산시간 CMOS 혼돈 발생회로
Fig 1. Fabricated discrete time CMOS chaos generative circuit.

하여 비선형 블록과 더불어 별도의 가산회로를 삽입하였다. 이때 2단 CMOS구조의 op-amp 6개를 사용하여 샘플엔드홀드 회로와 가산 회로를 구성하였다. 식 (1)을 그림 1의 블록도에 적용하면 다음 식과 같다.

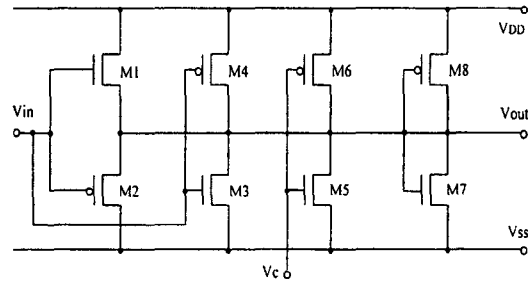
$$X(t+1) = \left(\frac{-R_6}{R_4}\right) \cdot \left(\left(\frac{-R_3}{R_1}\right) \cdot f(X(t)) + \left(\frac{-R_3}{R_2}\right) \cdot X(t)\right) - \left(\frac{R_6}{R_5}\right) \cdot Va(t) \quad (2)$$

R4, R6에 같은 저항을 사용한다고 하면^[11] 위 식은 다시 아래로 정리된다.

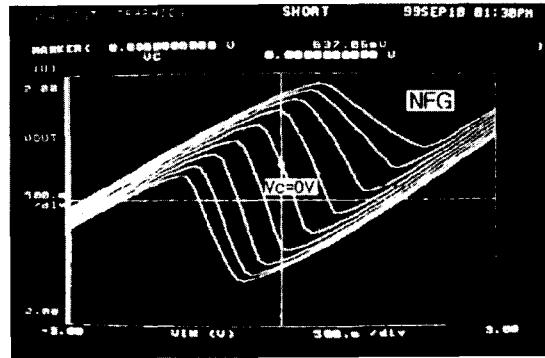
$$X(t+1) = \left(\frac{R_3}{R_1}\right) \cdot f(X(t)) + \left(\frac{R_3}{R_2}\right) \cdot X(t) - \left(\frac{R_6}{R_5}\right) \cdot Va(t) \quad (3)$$

그러므로 $\alpha = R_3/R_1$, $\beta = R_3/R_2$, $\gamma = -R_6/R_5$ 인 1차원 혼돈회로를 구성하게 되며 α, β, γ 의 조정으로

다양한 비선형성 구현이 가능하다. 비선형 함수 $f(\cdot)$ 는 $x(t)$ 를 입력으로, 제어전압 V_c 를 파라미터로 하는 2변수 함수 즉, $f(x(t), V_c)$ 로서 4개의 CMOS 쌍으로 구성된다. 제어전압 V_c 에 따라 측정된 일련의 비선형 파형군을 그림 2에 나타내었다.



(a) CMOS circuit schematic of the NFG



(b) measured transfer curves for various control voltage V_c

그림 2. 비선형함수 발생회로 블록
Fig 2. Nonlinear function generator(NFG) block.

비선형회로를 해석하기 위해서는 먼저 회로의 비선형성이 모델화 되어야 한다. 본 논문에서는 해석상의 난점인 이 비선형 파형군중 $V_c=0V$ 일때의 파형에 대하여 3구분 선형함수로 근사화^[3] 시켜 아래의 실험식을 얻었다.

$$\begin{aligned} f(X(t)) &= 0.548X(t) + 1.142 & X(t) \leq -0.3 \\ f(X(t)) &= -5.60X(t) - 0.362 & -0.3 < X(t) \leq 0.11 \\ f(X(t)) &= 0.76X(t) - 1.07 & 0.11 < X(t) \end{aligned} \quad (4)$$

위 식을 다시 정리하면 비선형 함수는 다음과 같이 요약되며,

$$f(X(t)) = -0.0201 + 0.657X(t) - 3.074|X(t) + 0.25| + 3.183|X(t) - 0.11| \quad (5)$$

를 다시 식 (3)에 적용하면 아래와 같이 된다.

$$X(t+1) = -0.0201 + 0.657X(t) - 3.074|X(t)| + 0.25|+ 3.183|X(t) - 0.11| + \beta \cdot X(t) + \gamma \cdot Va \quad (6)$$

2. 분기도 및 리아프노프 지수 계산

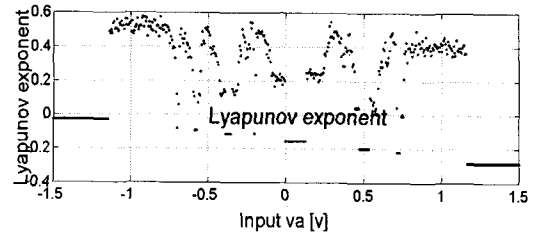
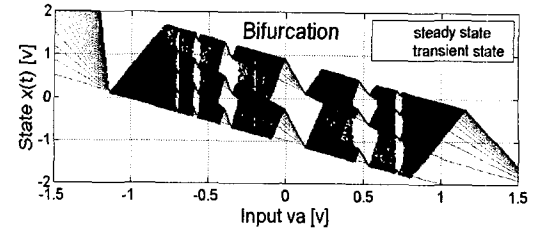
식 (6)에서 β , γ 에 따른 입력전압 Va 와 $x(t)$ 간의 분기도를 수치해석적으로 계산하였다. 그림 3(a)는 $\beta = 0.5, \gamma = -1$ 일경우의 분기도 및 리아프노프 지수를 계산한 결과이다. 입력전압 Va 를 $-1.5V$ 에서 $1.5V$ 까지 변화시켰을 때 상태 $x(t)$ 가 평형점, 2주기, 3주기, 혼돈상태 등으로 분기됨을 나타내 보이고 있다. Va 값이 $-1.2V$ 미만과 $1.2V$ 이상인 경우 ‘...’으로 표현된 과도적인 상태를 거쳐 특정한 DC 전압 즉, ‘...’으로 나타난 평형점의 정상상태 값으로 수렴하는 것을 볼 수 있고 Va 값이 $-1.2V \sim 1.2V$ 사이에서는 간헐적인 주기성을 보이면서 혼돈상태를 나타내고 있는데, 이 경우 과도적인 상태를 지난 정상상태에 이르러서도 여전히 $x(t)$ 는 무작위한 값을 지니게 됨을 주목해 볼 수 있다. 혼돈회로의 특징은 임의의 초기점에서 근접 시작한 두 신호케적이 시간이 지남에 따라 그 수렴, 발산정도가 지수함수적인 형태를 띠게 된다는 것이다^[1,4]. 이때 초기 미소한 궤적 차이를 d_0 라 한다면 시간 t 가 지난 후의 궤적 차이 $d(t)$ 는 다음과 같이 표현될 수 있다^[1,4].

$$d(t) = d_0 e^{\lambda t} \quad (7)$$

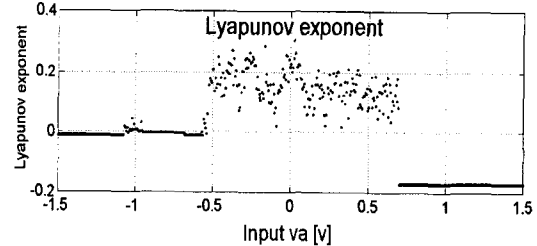
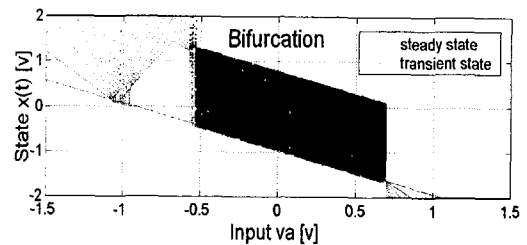
이때의 λ 를 리아프노프 지수라 부르며 이를 본 논문의 이산 시간 혼돈 시스템에 적용하면,

$$\lambda = \lim_{N \rightarrow \infty, \Delta t \rightarrow 0} \frac{1}{N} \sum_{i=0}^N \ln \left| \frac{\Delta X(t+1)}{\Delta X(t)} \right| \quad (8)$$

λ 값이 양수이면 궤적차이가 지수적 발산, 즉 혼돈상태를 뜻하고, 음수 또는 0이면 궤적차이가 수렴을 나타내는 주기운동내지 평형상태를 뜻한다. 본 논문에서는 식 (6)과 (8)로부터 Benettin의 알고리즘^[1]을 적용하여 이 λ 값을 구하여, 상이한 초기값에 따라 두 궤적이 멀어지는 정도로 혼돈상태 여부를 판별하였다. 그림 3(a)의 리아프노프 그래프를 살펴보면 같은 그림의 분기도에 나타난 바와 같이 혼돈영역에서는 λ 값이 양수 값을 가지고 평형상태이거나 주기적인 상태일 경우는 λ 값이 음수를 나타내고 있음을 알 수 있다.



(a) $\beta=0.5, \gamma=-1$



(b) $\beta=1.0, \gamma=-1$

그림 3. 분기도 및 리아프노프 지수 계산

Fig. 3. Calculation of bifurcation diagrams and Lyapunov exponent λ .

그림 3(b)의 경우는 $\beta=1.0$ 으로 했을 경우이며 이때 입력 전압 Va 값이 $-0.5V \sim 0.7V$ 구간에서 상태 $x(t)$ 가 $-1.6V$ 에서 $1.2V$ 의 범위내에서 무작위한 값을 갖는 혼돈상태가 발생됨을 알 수 있다. Va 가 $-0.5V$ 미만의 경우 과도상태를 거쳐 2V로 포화되고 $0.7V$ 이상의 경우 $-2V$ 로 포화되는 것을 볼 수 있다. 이는 실제 혼돈 발생회로의 전원전압을 $\pm 2.5V$ 로 한 것을 고려하여 $\pm 2.0V$ 에 포화되도록 고려하였기 때문이다.

3. 시간과형 및 주파수특성 분석

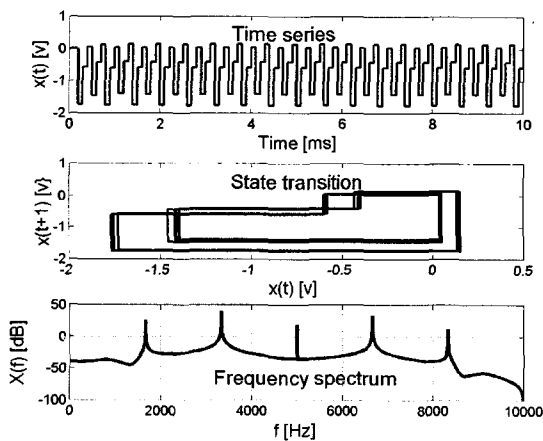
다음으로 상태조건에 따라 시간과형, $x(t)$ 와 $x(t+1)$ 의 천이관계, 주파수대별 전력스펙트럼이 어떻게 나타나는

지 분석하였다.(x(t)의 전력분포는 대개 power density spectrum으로 정량화, 즉 신호 x(t)의 제곱평균진폭의 데시벨 표현으로 함) 10kHz의 구형파 클럭으로 구동된다고 가정하고 특정한 Va에 대하여 모의실험을 하였다. 그림 4(a)는 상태 x(t)가 6주기성 경우로서 주파수 특성을 보면 클럭주파수 10kHz 이내에 5개의 스펙트럼이 존재함을 보여준다. 이때 기본 주파수는 $f_1=1.67\text{kHz}$ 로 나타나고 이의 정수배 즉, $f_2=3.33\text{kHz}$, $f_3=5\text{kHz}$, $f_4=6.67\text{kHz}$, $f_5=8.33\text{kHz}$ 의 조합으로 이루어져 있음을 보게 된다. 다음으로 그림 4(b)는 혼돈상태일 경우로 시간과형이 $-0.3\text{V} \sim 1.7\text{V}$ 사이에서 끊임없이 무작위한 전압 값을 보이고, 상태전이 역시 계속적으로 다른 값을 취하는 궤도

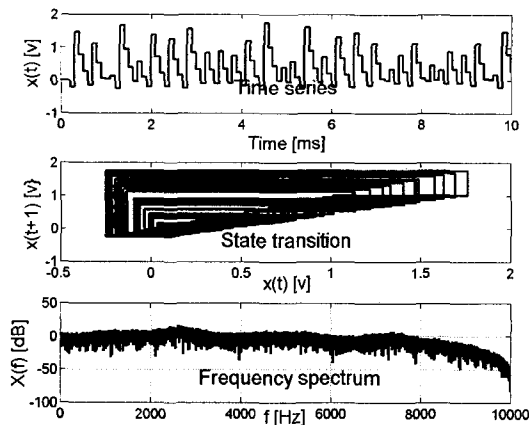
를 그리고 있음을 알 수 있다. 주파수 특성은 전 주파수 영역에 걸쳐서 평형상태 때 보다 40dB정도 상승된 전력분포가 이루어지는 잡음성의 폭넓은 푸리에 스펙트럼으로 나타남을 알 수 있다. 이는 혼돈 신호의 경우 모든 주파수 성분이 존재함을 의미한다.

4. CMOS 혼돈 발생회로의 측정 및 분석

앞절의 수치해석적 분석결과를 실험적 측정결과와 비교해 보기 위하여 CMOS 집적회로로 제작된 혼돈 발생회로를 $\pm 2.5\text{V}$ 전원전압, 입력전압 Va에 저주파 삼각파형(10Hz)을 인가하고 2상 클럭을 구동시켜 측정을 실시하였다. 그림 5는 입력 Va에 대한 상태전압 x(t)의 분기도를 선형함수 회로계수 β 를 변화시키면서 오실로스코프 리샤주 모드로 측정한 그림이다. 그림 5(a)는 $\beta=0.5$ 인 경우로 클럭 주파수를 40kHz에서 평형점, 2주기, 4주기, 혼돈영역이 모두 형성됨을 알 수 있고 모의실험(그림3(a))의 각진 마름모꼴에 비해 다소 유선형으로 나타나는(이는 비선형함수 발생회로(NFG)의 선형 근사시 모서리 부분 오차에 기이한 것으로 판단됨) 것을 제외하고는 거의 동일한 분기패턴을 보이고 있다. 그러나 혼돈영역과 주기영역이 번갈아 나타나는 이러한 분기패턴은 실제 측정시 집적회로내 op-amp 전원 전압 변화, 클럭 주파수, 입력파형 및 주파수 외 많은 제어단자의 등의 미소한 변화에도 매우 민감하게 영향을 받고 있음을 알 수 있었다. 이는 혼돈집적회로 자체의 문제 즉, 내부 op-amp 및 S/H 회로 등의 불완전한 성능과 연관지어 수가 있다. 그림 5(b)는 10kHz 클럭에서의 분기패턴으로 입력전압 $-0.6\text{V} \sim 0.65\text{V}$ 에서 혼돈 상태가 발생되고 있는데 이는 모의실험 결과인 그림 3(b)의 혼돈발생구간과 일치함을 알 수 있다.



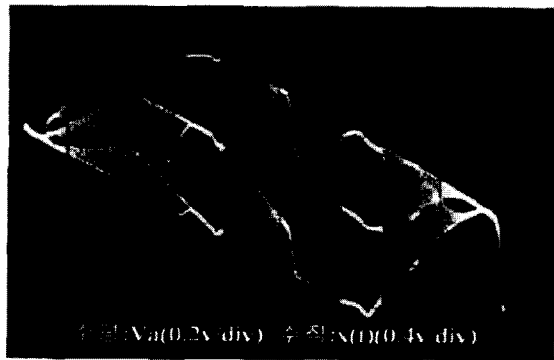
(a) period 6



(b) chaotic state

그림 4. CMOS 혼돈발생회로의 시간 및 주파수 응답 분석결과

Fig. 4. Time and Frequency Responses of the CMOS chaos generative circuit.



(a) $\beta=0.5, \gamma=-1$

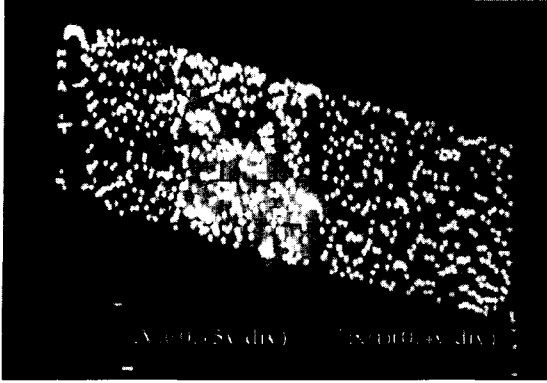
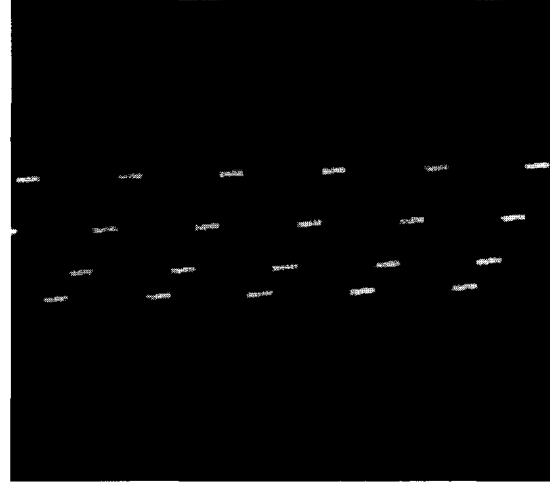
(b) $\beta=1, \gamma=-1$

그림 5. 혼돈 발생회로의 분기도 측정결과

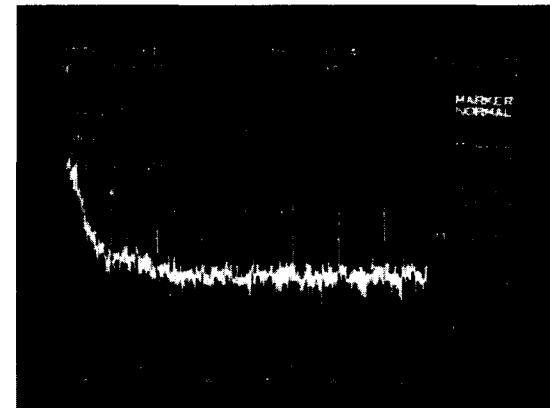
Fig. 5. Measured bifurcation diagrams of the chaos generative circuit.

그림 6은 특정한 입력전압 V_a 에 따라 다르게 나타나는 상태전압 $x(t)$ 의 시간파형 및 주파수에 따른 전력분포를 오실로스코프와 스펙트럼 분석기로 측정된 결과이다. 그림 6(a),(b)는 각각 $\beta=0.5, \gamma=-1$ 조건에서 $V_a=-0.65V$ 일때의 경우로서 시간파형과 그에 대한 주파수에 따른 전력분포이다. 10kHz로 구동되는 클럭주파수로 인하여 $x(t)$ 는 0.1msec.의 시간간격으로 일정한 전압을 유지하면서 계단형의 4주기성을 나타내고 있다. 그림 6(b)는 30 Hz의 해상도로 20kHz까지의 4주기성 상태에 대한 주파수 특성으로 앞질의 분석결과에서 본 바와 같이 10kHz 클럭 주파수내에 3개의 스펙트럼을 보이고 있으며 기본 주파수 $f_1=2.53kHz$ 와 이의 정수배로 나타나는 고조파 즉 5.06kHz, 7.6kHz에서 Noise level에 비해 평균 15dB 정도의 다소 낮은 전력밀도차를 보이고 있다. 이는 스펙트럼 분석기로 측정시 해상도 문제 및 불완전한 동기화에 따른 Noise level의 상승으로 인한 것으로 사료된다. 10kHz~20kHz사이에서도 기본주파수의 정수배에 해당하는 3개의 고조파 성분들이 나타남을 알 수 있다. 아주 낮은 주파수대역에서의 스펙트럼 성분은 상태 $x(t)$ 의 DC offset 성분을 나타낸다. 마찬가지로 그림 6(c)는 $\beta=0.5, \gamma=-1$ 조건에서 $V_a=0.45V$ 일때의 경우(모의실험 결과인 그림 4(a)와 동일조건임)로서 상태전압 $x(t)$ 가 1V정도의 전압 범위내에서 각기 다른 6가지 전압레벨을 나타내는 6주기성을 보이고 있고 이에 대한 주파수 특성이 그림 6(d)로 클럭주파수 내에 1.7kHz의 기본 주파수를 포함하여 모두 5개의 스펙트럼이 각기 다른 가중치로 나타나고 있다. 그림 6(e)는 $\beta=1, \gamma=-1$ 조건에서 $V_a=0.1V$ 일때의 경우로서 상태전

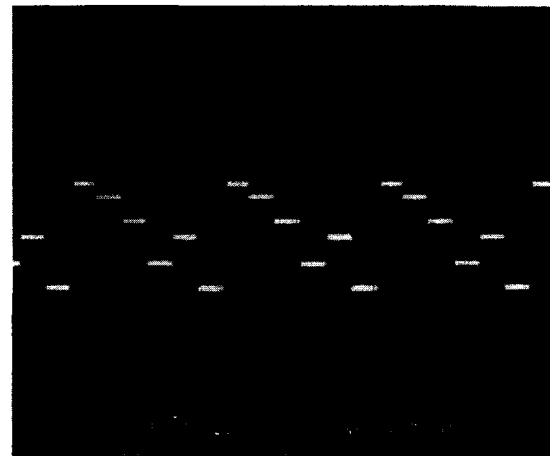
압 $x(t)$ 가 끊임없이 무작위한 이산 전압을 갖게되는 혼돈상태가 발생되고 있다. 그림 6(f)는 이때의 주파수 특성으로 전체적으로 3dB~6dB정도의 전력밀도 상승을 보이며 전 주파수대역에 걸쳐 있음을 확인할 수 있다.



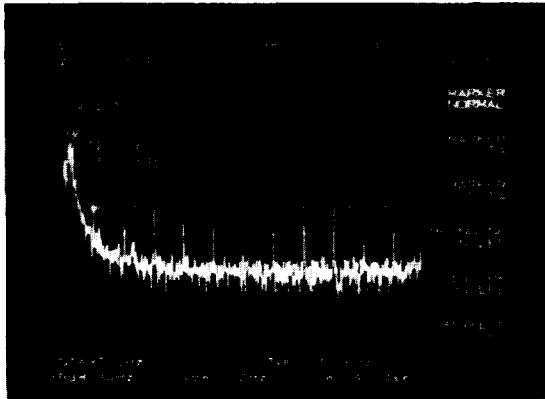
(a) time series(period 4)



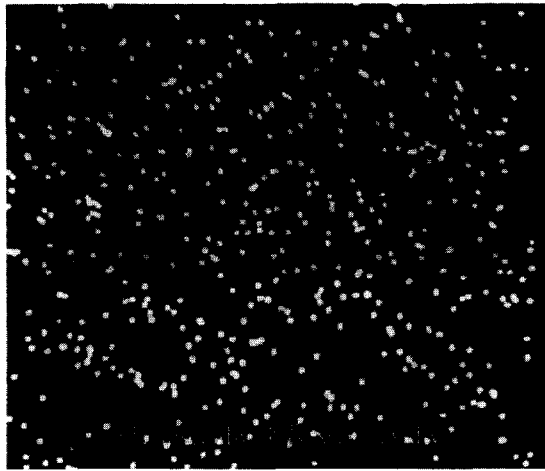
(b) frequency response(period 4)



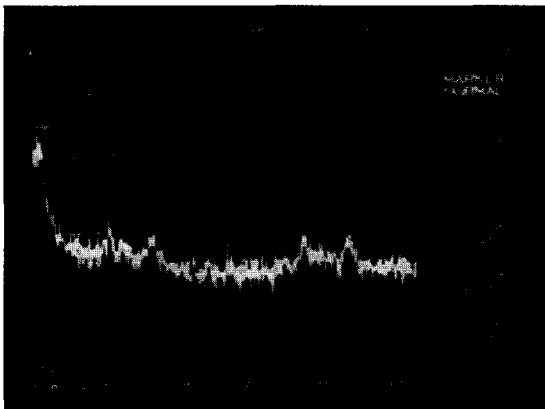
(c) time series(period 6)



(d) frequency response(period 6)



(e) time series(chaotic state)



(f) frequency response(chaotic state)

그림 6. CMOS 혼돈회로의 시간과 주파수 응답 측정 결과

Fig. 6. Measured time and frequency response of the chaos generative circuit.

그림 7에 $x(t)$ 의 상태조건에 따른 주파수 스펙트럼의

FFT 측정결과를 동시 비교해 놓았다. 3주기 주파수 특성의 경우 클럭주파수 f_s 내에 2개의 스펙트럼이 Noise level에 비해 평균 40dB이상의 차이를 보이고 있는데 이는 순간적인 시간과형에 대한 FFT 분석이 가능함으로 인해서 불완전한 동기화로 인한 Noise level 상승을 덜 받는 때문으로 사료된다. 평형상태와 비교시 3주기 상태는 평균 20dB 이상의 전력밀도 차이를 나타내고 있고 혼돈상태와 평형상태간에는 평균 60dB 이상의 전력밀도 차이를 보이고 있는데 이는 혼돈상태의 상태전압에 비해 평형상태의 Noise성 전압이 1/1000이하, 즉 수mV이하 수준임을 의미한다. 결과적으로 정상적인 혼돈상태를 뜻하는 전 주파수 대역에 걸쳐 전력밀도가 분포함을 확인할 수 있다.

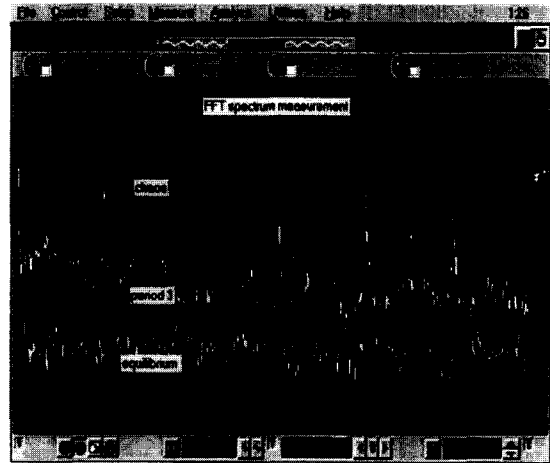


그림 7. 평형상태, 주기상태, 혼돈상태에서의 주파수 특성 비교

Fig. 7. Comparison between frequency responses in the equilibrium, periodic and chaotic state.

III. 결 론

본 논문에서는 CMOS 집적회로로 구현된 이산시간 전압모드 혼돈 발생회로의 동작특성을 분석하였다. 회로내 비선형 함수 블록에 대한 선형근사식을 유도하여, 실험적으로 제작한 혼돈 발생회로의 입력변수에 따른 분기도와 초기값 의존성을 보여주는 리아프노프 지수를 계산하였다. 뿐만 아니라 상태조건에 따라 나타나는 시간과형 및 상태전이관계 그리고 주파수특성을 분석하였다. 한편 집적화 된 혼돈발생회로를 $\pm 2.5V$ 전원,

10kHz의 클럭으로 구동시켜 입력전압에 따른 분기도를 측정하였고, 상태변화에 따른 시간과형 측정과 이의 스펙트럼 분석도 실시하여 해석결과와 비교하였다. 혼돈 회로의 측정시 나타난 집적회로내의 op-amp 전원전압 변화, 클럭 주파수, 입력과형 및 주파수 외 많은 제어단자의 등의 미소한 변화가 분기도 및 시간과형에 미치는 영향 등에 대하여는 향후 좀 더 구체적인 연구가 진행되어야 하리라고 본다. 본 논문의 $\pm 2.5V$ 전원, 수십MHz의 클럭으로 구동되는 집적화 된 혼돈 발생회로는 적절한 전원전압 레벨과 클럭주파수를 보완한다면 암호와 통신의 캐리어 신호로써, 또는 혼돈신경망의 뉴런으로서 유용하리라 생각되며 최근의 저전압, 저소비전력의 집적회로설계기술을 접목하여 성능의 규격화가 이루어진다면 Opamp, Filter, PLL 등과 같이 하나의 아날로그 요소 block으로도 가능하리라 생각되며 이 경우 다양한 혼돈 응용시스템 구현에 많은 도움이 될 것으로 사료된다.

참 고 문 헌

- [1] G.L.Baker, et al., "Chaotic dynamics an introduction", Cambridge University Press, 1990.
- [2] R.May, "Symple mathematical models with very complicated dynamics, " Nature, vol. 261, pp.459-476, 1976.
- [3] Wai-Kai Chen, "The Circuits and Filters Handbook," IEEE Press, pp.1009-1163, 1995.
- [4] 이주장, "혼돈이론(Chaos Theory)의 비선형 시스템에의 응용," 전자공학회지, 제 20 권 제 3호, pp.43-52, 1993
- [5] Louis M. Pecora and Thomas L. Carroll, "Synhronization of chaotic systems, " Phys. Rev. Lett., vol.64, Feb, 1990.
- [6] K. Aihara, T. Takbe, and M. Toyoda, "Chaotic neural networks," Phys. Lett. A, vol.144, no.6, pp.333-340, 1990.
- [7] Charles C. Hsu, et al., "Chaotic Neuron Model and Their VLSI Circuit Implementations," IEEE trans. Neural Networks, vol.7, no.6, pp.1339-1350, 1996.
- [8] J.E.Varrientos, "CMOS circuit design of current-mode nonlinear analog signal processing systems(Chaotic Oscillators)," Ph.D. Dissertation, Texas A&M University, 1997.
- [9] Manuel Delgado-Restituto, et al., "Design Considerations for Integrated Continuous-Time Chaotic Oscillators, " IEEE trans. Circuit Syst. I, vol.45, no.4, pp.481-495, 1998.
- [10] A.R. Vazquez. M.D. Reostiuto, "CMOS Design of Chaotic Oscillators State Variables : A Monolithic Chua's , "IEEE trans. Circuit Syst, vol.40, no.10, pp.596-613, 1993.
- [11] 송한정 광계달, "전압제어형 카오스회로의 집적 회로 설계 및 구현," 전자공학회 논문지, 제 35권 C편 제 12호, pp.77-84, 1998

저 자 소 개

宋漢廷(正會員) 第35卷 C編 第12號 參照
충청대학 전자공학과 교수

郭桂達(正會員) 第34卷 D編 第7號 參照
한양대학교 전자공학과 교수