

論文2000-37SC-5-5

# 주파수 적응성을 갖는 부지연 회로의 설계기법

## (Design Methodology of the Frequency-Adaptive Negative-Delay Circuit)

金大井 \*

(Daejeong Kim)

## 요 약

본 논문에서는 표준 메모리 공정에 구현 가능한 주파수 적응성을 갖는 부지연 회로의 설계기법에 대해 제안한다. 제안하는 설계기법은 기본적으로 아날로그 SMD (synchronous mirror delay) 형태의 부지연 회로로서 입력클럭의 주기와 구현하고자 하는 부의 지연 시간의 차이에 해당하는 시간을 아날로그 회로의 개념으로 측정하고 다음 번 주기에서 반복한다. 출력클럭의 발생과 관련되는 부수적인 지연을 측정단의 앞 단인 지연모델 단에서 상쇄하는 기존의 SMD 기법과는 달리, 반복단에서 상쇄하는 새로운 기법을 통하여 넓은 부지연 범위를 구현하여 특히 고속동작에서의 부지연 특성을 원할하게 한다. 또한 넓은 범위의 주파수 동작범위를 구현하기 위해 해당하는 주파수 범위에서 아날로그 회로가 최적의 동작 조건을 갖추도록 하기 위한 새로운 주파수 감지기 및 최적조건 설정기법을 제안한다. 제안된 회로의 응용으로서 초고속 DRAM인 DDR SDRAM에 적용하는 예를 보였으며, 0.6  $\mu\text{m}$  n-well double-poly double-metal CMOS 공정을 사용하여 모의실험 함으로써 그 유용성을 입증한다.

## Abstract

In this paper, a design methodology for the frequency-adaptive negative-delay circuit which can be implemented in standard CMOS memory process is proposed. The proposed negative-delay circuit which is a basic type of the analog SMD (synchronous mirror delay) measures the time difference between the input clock period and the target negative delay by utilizing analog behavior and repeats it in the next coming cycle. A new technology that compensates the auxiliary delay related with the output clock in the measure stage differentiates the proposed method from the conventional method that compensates it in the delay-model stage which comes before the measure stage. A wider negative-delay range especially prominent in the high frequency performance than that in the conventional method can be realized through the proposed technology. In order to implement the wide locking range, a new frequency detector and the method for optimizing the bias condition of the analog circuit are suggested. An application example to the clocking circuits of a DDR SDRAM is simulated and demonstrated in a 0.6  $\mu\text{m}$  n-well double-poly double-metal CMOS technology.

Keywords: CMOS, Negative-delay circuit, SMD, frequency detector

\* 正會員, 國民大學校 電子工學部

(School of Electronics Engineering, Kookmin University)

接受日字:2000年1月28日, 수정완료일:2000年3月21日

## I. 서 론

넓은 주파수 동작범위를 갖는 멀티미디어 컴퓨터 및 데이터 전송 시스템에 사용되는 DRAM은 시스템 대역

폭 (bandwidth)의 증가에 따라 점점 더 빠른 데이터 전송속도를 요구하고 있다. 이를 뒷받침하기 위해 최근의 RDRAM이나 DDR SDRAM과 같은 초고속 DRAM에서는 데이터의 샘플링 창 (data sampling window)이 점점 좁아짐에 따라 데이터와 시스템 클럭과의 동기화가 칩의 고속동작의 성능을 좌우하는 매우 중요한 관건이 되었다.<sup>[1]</sup> DDR SDRAM의 경우에는 시스템 클럭 edge의 위치가 데이터의 edge와 일치되는 것이 요구되기도 한다.<sup>[2]</sup> 이러한 목적을 달성하기 위해서는 DRAM 칩에 입력되는 시스템 클럭이 칩 내부의 입력 버퍼나 출력버퍼를 통과할 때 발생하는 지연시간을 보상할 수 있는 내부 클럭 회로가 필요하다. 즉, (-)의 지연시간을 가지는 부지연회로가 필요한 데, 이를 구현하기 위한 고전적인 방법으로는 부의 되먹임 (negative feedback)을 이용하는 PLL이나 DLL (delay-locked loop)의 사용이 필수적으로 요구된다.<sup>[1]-[2]</sup> DLL은 PLL과는 달리 내부에 VCO (voltage-controlled oscillator)가 없기 때문에 2차이상의 PLL보다 절대적으로 안정된 동작을 하며 PLL에서와 같이 지터 누적(jitter accumulation) 등의 문제점도 보이지 않는다.<sup>[1]</sup> 따라서 시스템에서 안정된 주파수를 가지는 클럭이 공급될 때는 PLL보다 DLL을 사용하는 것이 바람직하다. 그러나 PLL과 DLL은 부의 되먹임 회로이므로 원하는 위상으로 로킹 (locking) 되는 데 수십 사이클 이상을 필요로 한다. 특히 로킹 주파수 범위가 넓은 경우 저주파수에서는 많은 지연시간을 요하므로 더욱 더 많은 로킹 사이클이 필요하다. DRAM이 처음 전원인가 과정 (power-up sequence)을 거칠 때는 많은 사이클의 로킹시간이 소모되어도 칩 전체의 동작과는 큰 상관이 없으나, 칩이 사용 (access) 되지 않을 때의 전력소모를 최소화하기 위해 전력절약모드(power-down mode)나 자기 리프레쉬 모드(self-refresh mode)와 같은 동작모드에서는 전력소모를 최소화하기 위해 DLL을 꺼야한다. 일단 DLL을 켜 후, 이러한 동작 모드를 빠져 나올 때는 꺼진 DLL을 다시 동작 시켜서 로킹해야 한다. 이 경우 동작 주파수에 따라서는 수백 사이클의 로킹 시간을 필요로 하는 경우도 발생하므로 현실적으로 DRAM에 적용하기에 어려움이 따른다. 또한 로킹이 일어난 상태에서도 부의 되먹임 동작에 의한 계속적인 위상 비교가 이루어지고 이에 의한 지연단의 움직임 동작이 일어나므로 지터가 발생한다.

이러한 고전적인 회로의 단점을 보완하며 빠른 로킹

(fast locking)을 달성하기 위한 SMD (Synchronous Mirror Delay) 회로가 제안되었다.<sup>[3]</sup> SMD 회로는 첫 번째 사이클 동안에 클럭주기와 구현하고자 하는 지연시간의 차이에 해당하는 시간을 “측정”하고 다음 번 사이클에서 측정된 시간을 “반복”하는 과정을 거치므로 두 사이클 만에 원하는 부의 지연시간을 구현할 수 있다. 이러한 지연시간의 “측정” “반복” 구조를 가지는 회로는 부의 되먹임이 없는 개회로 구조 (open-loop architecture) 이므로 부의 되먹임으로 인한 지터 현상은 방지할 수 있는 반면, DLL과 같은 능동적인 지연시간 상쇄작용이 일어나지 않으므로 “측정” 경로 (measure path)와 “반복” 경로 (replica path)의 불일치(mismatch)는 바로 출력클럭의 오차로서 나타나므로 설계에 매우 주의를 기울여야 한다.

SMD 회로는 먼저 디지털 방식으로 제안되었으나, 구현되는 부지연 시간의 동작 해상도(resolution)를 증가시키기 위해 의사 아날로그(pseudo-analog) 방식이 제안되었다.<sup>[2]</sup> 그러나 이러한 디지털 방식은 공통적으로 넓은 로킹 범위의 구현에 따른 칩 면적이 커지는 단점을 가지므로 이를 보완하고 동작 해상도를 증가시키고자 아날로그 SMD가 제안되었다.<sup>[4]</sup>

본 논문에서는 근본적으로는 아날로그 SMD의 기능을 수행하면서, 넓은 주파수 범위의 동작을 보장하기 위해 주파수 적응성을 가지며 고속에서의 동작을 원활하게 하기 위한 넓은 부지연 범위를 가지는 새로운 형태의 부지연 회로의 설계기법을 제안하고 이의 유용성을 입증한다.

## II. 부지연 회로의 설계기법

### 1. 제안하는 부지연 회로 설계의 개념

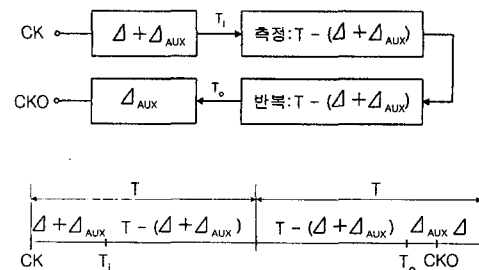


그림 1. 기존 SMD 회로의 부지연 발생개념  
Fig. 1. Concept of generating the negative delay in the conventional SMD circuit.

그림 1은 부지연(negative delay)의 구현을 위한 기존의 SMD 회로 개념도를 보인 것이다. 여기서 CK는 주기가 T인 입력클럭이고, CKO는 부지연이 구현된 출력클럭이다. Δ는 구현하고자 하는 부지연 값이며 ΔAUX는 CKO를 발생하는데 있어서의 원하지 않는 부가적인 지연으로서 부수적인 로직이나 전압비교기 또는 버퍼에 의한 지연 등이 여기에 해당된다.

위의 그림에서와 같이 기존의 SMD회로는 Δ+ΔAUX의 지연을 구현하는 지연모델단과 T-(Δ+ΔAUX)의 시간을 측정하는 측정단 및 이를 그대로 반복하는 반복단과 출력클럭 CKO를 발생하기 위한 출력단으로써 구성된다. 첫 번째 주기에서 지연모델단의 출력 Ti는 CK의 위상으로부터 Δ+ΔAUX 만큼 지연되며 측정단은 T-(Δ+ΔAUX)를 측정한다. 다음 번 주기에서 반복단은 T-(Δ+ΔAUX)를 반복하면 반복단의 출력 To는 CK보다 Δ+ΔAUX 만큼 앞선다. 따라서 최종적으로 출력단을 거친 CKO는 CK보다 Δ만큼 앞선 부지연을 구현한다. 즉, 두 사이클마다 한 번씩의 Δ만큼 앞선 출력 클럭 CKO를 구현할 수 있다.

측정단과 반복단은 입력클럭을 지연하는 부분으로서 디지털 지연단 또는 아날로그 지연단으로써 구현할 수 있다. 디지털의 경우 비교적 간단한 회로로써 구현할 수 있는 장점이 있으나, 측정단과 반복단의 동작이 디지털적으로 이루어지므로 구현되는 부지연에 일종의 양자화 잡음(quantization noise)이 추가되고 구현할 수 있는 부지연의 해상도(resolution)에 제약을 받는다. 이러한 단점을 최소화 하고자 기존의 디지털 SMD를 개선하여 의사 아날로그 동작을 하는 BDD (Bi-Directional Delay) 가 제안되었다. 그림 2는 이러한 BDD 회로를 이용한 부지연 회로를 나타낸다.<sup>[2]</sup>

BDD 회로는 입력클럭을 이 분주하여 발생된 제어신호를 측정단과 반복단이 결합되어 있는 BDD단에 공급하여주는 제어신호 발생부와 원하는 부지연을 구현하기 위한 지연모델단 및 BDD 단으로써 구성된다. 제어신호 발생부는 입력 버퍼를 거친 입력클럭 ck를 받아

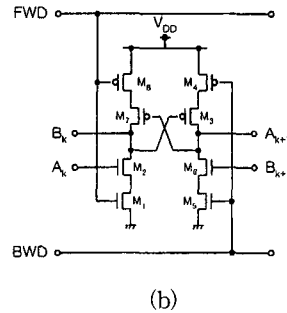
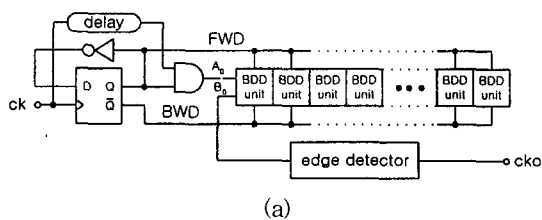


그림 2. 기존의 의사 아날로그 부지연 회로의 구조(a) 블록 다이어그램 (b) 단위 BDD 단의 회로도  
Fig. 2. Scheme of the conventional pseudo-analog negative-delay circuit: (a) Block diagram (b) Circuit of the BDD unit.

들어 BDD 블록의 제어신호인 FWD와 BWD를 발생시키는 이 분주 회로이며, 지연모델단은 원하는 부지연 크기인 Δ를 지연시키는 지연단(delay)으로써 구성되어 있다. BDD 단에는 입력클럭이 A<sub>0</sub>에 입력되어 측정 경로를 따라 전진한 후, 제어신호가 바뀔 때 반복경로를 따라 후진하여 B<sub>0</sub>에 출력된다. 이 신호는 클럭 edge 감지기(edge detector)를 통해 cko로써 출력된다. 그림 2의 (b)는 BDD 블록을 구성하는 임의의 k+1번째 단위 회로를 나타낸다. 단위 BDD 단은 M<sub>1</sub>~M<sub>4</sub>로써 구성되는 전진경로(forward path)와 M<sub>5</sub>~M<sub>8</sub>로써 구성되는 후진경로(backward path)로써 구성되어 있다.

그림 3은 그림 2의 BDD 회로의 동작 타이밍도로서 5단의 단위 BDD단을 통과하여 다시 되돌아 나올 때의 예를 타이밍도로서 나타낸 것이다. 먼저, 제어신호인 FWD와 BWD는 180°의 위상차를 가진다. BDD 블록의 입력신호는 첫 번째 단에 가해지는 A<sub>0</sub>이며, 그림 3에서 보는 바와 같이 입력 클럭 ck를 Δ만큼 지연시킨 후 FWD 신호가 끝나면 같이 끝나는 신호이다. BDD 블록의 출력은 첫 번째 단위 BDD 단의 B<sub>0</sub>로써 출력되며 edge 감지기를 거쳐서 cko로써 출력된다. 임의의 단위 BDD 단에서의 A<sub>k</sub> 신호의 경우는 "low"로써 사전충전되고, B<sub>k</sub> 신호들은 "high"로써 사전충전 된다. "측정" 모드에서 enable되는 전진경로는 FWD 신호 "high"와 BWD 신호 "low"인 구간동안에 진행되며 k+1 번째 단위 BDD 단의 입력은 A<sub>k</sub>이며 그 단에서의 출력은 A<sub>k+1</sub>이다. 신호의 전진이 일어나는 구간 동안 A<sub>0</sub>의 rising edge는 B<sub>0</sub>를 pull-down 시키고, B<sub>0</sub>의 falling edge는 A<sub>1</sub> 신호의 rising edge를 발생시킨다. 이런 방식으로

그림 3에서 보듯이 순차적으로  $A_0$ 의 rising edge가 전진한다. 그림 3의 경우는 신호가 6번째 단까지 전진한 경우의 예를 보인다.  $A_k$ 의 rising edge는 계속 전진하여 FWD 신호가 끝날 때 까지  $T-\Delta$ 시간 동안 계속되어  $T-\Delta$ 를 “측정”한다.

후진경로는 FWD 신호 “low”와 BWD 신호 “high”에 의해 enable 되며,  $k+1$  번째 단에서의 입력은  $B_{k+1}$ 이고, 출력은  $B_k$ 이다. 그림 3의 예에서와 같이 6번째 단에서  $B_5$ 가 방전(discharge) 되는 동안 FWD 신호가 “low”가 되고, BWD 신호가 “high”가 되면 회로는 전진경로가 OFF 되고 후진경로가 ON된다. 이 때  $B_5$ 는 다시 방전되고, 전진경로와는 반대로 이 번에는  $B_k$  신호의 rising edge와  $A_k$  신호의 falling edge가 후진하여 최종적으로  $B_0$  신호의 rising edge가 출력되며,  $T-\Delta$  시간 후에 출력 클럭  $cko$ 가 발생된다.

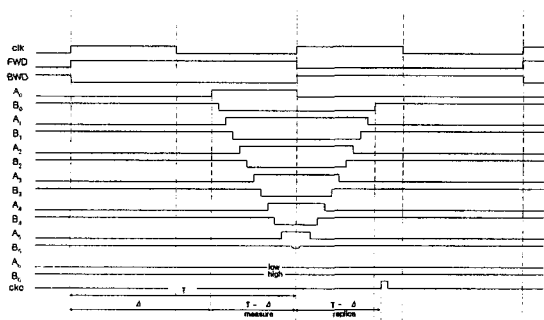


그림 3. 기존의 BDD 부지연 회로의 타이밍도  
Fig. 3. Timing diagram of the conventional BDD negative-delay circuit.

전진경로와 후진경로가 교차되는 시점에서는  $B_5$  신호가 방전된 만큼 다시 충전되며, 이 양은 아날로그적인 연속적인 크기이므로 비교적 정밀하게 원하는 만큼의  $\Delta$ 의 해상도를 구현할 수 있다. 이러한 의미에서 그림 2의 회로는 형태적으로는 디지털 SMD이나, 동작에 있어서는 의사 아날로그의 형태를 갖는다. 이 회로가  $T_{max}$  주기에서 동작하기 위해 필요한 단위 BDD 단의 수는 식 (1)과 같은 관계를 따른다.

$$T_{max} = \Delta + t_{PD} \cdot n + R \quad (1)$$

여기서  $\Delta$ 는 원하는 부의 지연량이고,  $t_{PD}$ 는 단위 BDD 단의 지연시간이며  $n$ 은 최대 단수를 나타낸다.  $R$ 은 신호가 경로를 바꾸는 마지막 단에서의 의사 아날

로그 동작에 의한 아날로그 양이다. 예를 들어 각단의 지연이 750ps일 때 25MHz에서 동작하기 위해서는 45단의 단위 BDD 단이 필요하다. 이와 같이 기존의 BDD 회로는 기본적으로 디지털 단위 BDD 단에 의한 동작을 하므로 넓은 로킹 범위를 구현하기 위해서는 큰 칩 면적을 필요로 한다.

최근에는 이러한 디지털 SMD의 위상 양자화 잡음 및 큰 칩 면적의 단점을 제거하고자 하는 목적으로 아날로그 SMD인 ASMD가 제안되었다.<sup>[4]</sup> ASMD는 아날로그 형태의 측정단과 반복단을 사용하는 SMD이며, 전하 펌프 업(pump up) 구간 동안에  $T-\Delta$ 시간을 “측정”하고 전하 펌프 다운(pump down) 구간 동안에  $T-\Delta$ 시간을 “반복”하는 기법으로서 펌프 업과 펌프 다운시의 기울기 차이에 의한 시간오차를 극복하기 위하여 이중 펌핑 기법(dual pumping scheme)을 제안하였다. 그러나 이러한 기법을 사용하여도 트랜지스터의 드레인-소스 간의 전압의 변동에 따른 전류원의 구동능력 변화에 의한 기울기의 변이는 극복할 수 없다. 또한 전류원의 구동능력은 공급전압, 동작온도 및 공정 변수의 영향에 민감하며, 제안된 회로에서는 고정된 크기의 전류원과 펌핑 캐패시터를 사용하므로 넓은 주파수 범위에서의 사용에 제약을 받는다.

본 논문에서는 기존의 ASMD의 장점을 살리면서 넓은 주파수 범위에 효과적으로 동작하며, 고주파수에서도 넓은 부지연 범위를 구현할 수 있는 새로운 형태의 주파수 적응성을 갖는 부지연 회로를 제안한다. 그림 4는 넓은 부지연 범위를 구현하기 위한 제안하는 부지연 발생의 개념도를 나타낸다.

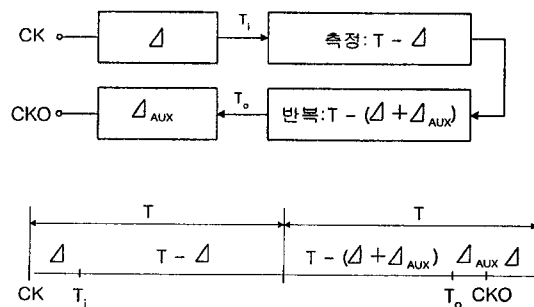


그림 4. 제안하는 구조의 부지연 발생개념  
Fig. 4. Concept of generating negative delay in the proposed scheme.

위의 개념도에서 보듯이 지연모델 단과 측정단으로

구성되는 측정경로와 반복단과 출력단으로 구성되는 반복경로는 모두 시간간격이 T이다. 하지만 그림 1에서 보인 기존의 부지연 개념도와는 달리 제안하는 회로는  $\Delta_{AUX}$ 를 반복단 내에서 상쇄시키는 구조이다. 그림 1에 보인 기존의 부지연 발생 개념에서는 구현할 수 있는 부지연의 범위가

$$0 \leq \Delta \leq T - \Delta_{AUX} \quad (2)$$

이다. 그러나 제안하는 개념은 그림 4의 지연모델단을 통해 구현할 수 있는 부지연의 범위가

$$0 \leq \Delta \leq T \quad (3)$$

이므로 기존의 경우보다  $\Delta_{AUX}$  만큼 더 넓은 부지연 범위를 구현할 수 있다. 특히 고주파수에서 동작하여 T가 작을 때는 이러한 구현범위의 차이가 매우 중요해진다.

그림 5는 제안하는 부지연 회로의 타이밍도를 나타낸다. 먼저 외부클럭 CK를 2분주하여 두 개의 제어신호 MT와 RT를 생성한다. MT는 원하는 지연시간을 측정하기 위한 사이클 구간에 해당하는 신호이고 RT는 측정된 시간을 반복하기 위한 사이클 구간에 해당하는 신호이다.

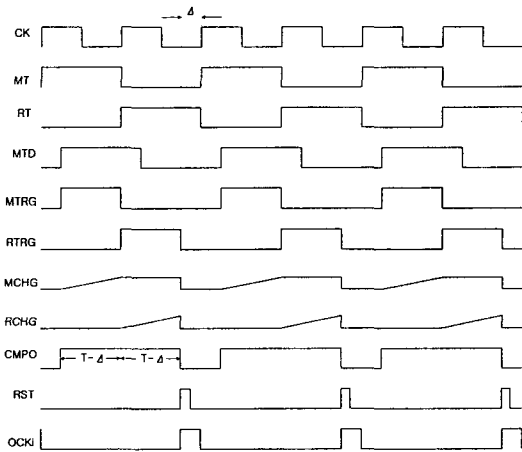


그림 5. 제안하는 부지연 구조의 타이밍도  
Fig. 5. Timing diagram of the proposed negative-delay scheme.

설계자가 원하는 부의 지연시간을  $\Delta$ 하고 할 때,  $\Delta$ 만큼 지연시킨 신호 MTD와 MT의 AND 신호로써

MTRG가 발생되며, MTRG가 "high"인 구간동안 "측정" 모드가 진행된다. "측정" 모드와 같은 시간을 반복하기 위해서는 MTRG에 바로 연이어 같은 시간간격을 가지는 RTRG 신호를 발생시키며, RTRG가 "high"인 구간동안 "반복" 모드로서 동작한다. RTRG는 RT의 rising edge에 의해 설정(set) 되고 RST 신호에 의해 해제(reset) 된다. MTRG와 RTRG가 모두 "low"인 구간은 "대기" 모드로서 RST신호와 출력 클럭인 OCKi가 발생된다.

시간측정회로는 기준 시간점을 중심으로 T- $\Delta$ 를 측정하고 같은 시간을 반복하는 기능을 수행하는 바, "측정" 모드에서 충전신호 MTRG 구간동안 아날로그 신호인 MCHG가 발생되며 "반복" 모드에서는 그 때까지의 전압을 그대로 유지한다. "반복" 모드가 시작하는 순간 RTRG가 "high"인 구간동안 아날로그 신호인 RCHG가 발생되어 유지되고 있는 MCHG 전압에 이를 때까지 MCHG와 같은 기울기로서 충전이 이루어진다. RCHG가 MCHG와 일치하는 순간 전압비교기의 출력 CMPO는 "low"로써 떨어지고 그 falling edge를 감지하여 glitch 발생기에서는 출력 클럭 OCKi를 발생시킨다. 전압비교기는 "반복"과 "대기" 모드에서 동작하며 "측정" 모드에서는 "high"로 사전충전 된다. 출력클럭 OCKi의 rising edge는 그림 5에서 보듯이 외부 클럭의 rising edge에 비해  $\Delta$ 만큼 앞선 부의 지연을 매 두 클럭마다 구현하며, 전원인가 신호인 PWRUP과의 OR에 의해 RST이 발생되어 MCHG와 RCHG를 방전시키며 "대기" 모드로 들어간다.

제안하는 회로 scheme은 전하펌프에 의한 펌프업 동작만 일어나므로 기존의 ASMD에서와 같은 전하펌프의 업-다운 불일치에 의한 측정 점의 변이가 일어나지 않으며, 같은 크기의 펌프 업 전류원 만을 사용하므로 공급전압, 온도 및 공정변이에 둔감한 특성을 얻을 수 있다.

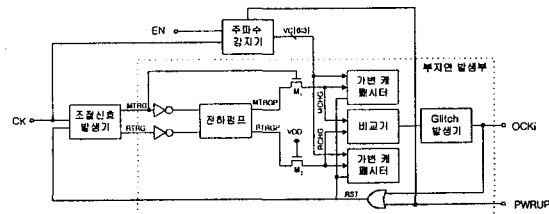


그림 6. 제안하는 부지연 회로의 블록 다이어그램  
Fig. 6. Block diagram of the proposed negative-delay circuit.

그림 6은 그림 5의 타이밍 도를 구현하기 위한 제안하는 부지연 회로의 블록 다이어그램으로서 크게 주파수 감지기, 조절신호 발생기 및 부지연발생부의 세 부분으로 구성된다.

주파수 감지기는 전원인가 후 EN이 "high"인 구간동안 입력클록인 CK를 받아서 동작 주파수의 범위에 따른 4비트의 출력 데이터인 VC[0:3]을 출력한다. 조절신호 발생기는 그림 5의 MTRG 및 RTRG 신호를 발생하여 부지연 발생부를 구동하는 블록으로서 그림 7과 같이 2분주 회로 및 SR 래치 등으로 구성된다. 특히 MT와 RT의 위상을 정확히 맞추기 위한 상보 클록 발생장치로서 두 개의 반전기와 세 개의 반전기를 병렬 연결하여 경로지연(path delay)을 일치 시켰다. 부지연 발생부는 측정단과 반복단이 결합되어 있으며, 측정단의 역할을 수행하는 부분은 MCHG를 발생하기 위한 전하펌프와 가변 캐패시터이고 반복단의 역할을 수행하는 부분은 RCHG를 발생하기 위한 전하펌프와 가변 캐패시터 및 비교기가 해당된다.

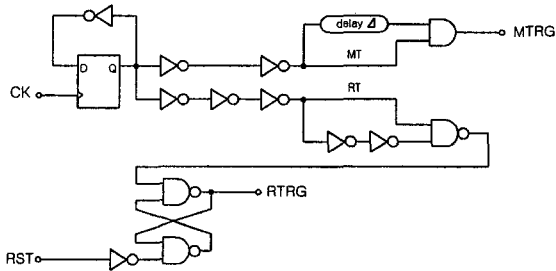


그림 7. 조절신호 발생기  
Fig. 7. Control-signal generating block.

2. 주파수 적응성을 갖는 회로의 설계

본 논문에서 제안하는 부지연 회로는 DDR SDRAM에 적용될 수 있도록 시스템 클록의 주파수 범위가 20MHz~250MHz의 넓은 범위에서 동작할 수 있는 새로운 개념을 포함한다. 이를 위해서는 동작범위를 여러 개의 작은 범위로써 나누고, 제안하는 부지연 회로가 그 동작 범위에서 최적의 성능을 발휘하도록 환경을 설정한다. 이를 위해서는 전압비교기의 공통모드 입력 전압 범위(CMR)를 고려한 가장 최적의 입력전압에서 로직 변화(logic crossing)가 일어나야 한다. 본 논문에서 제안하는 기법은 그림 5의 타이밍도에서 보듯이 MCHG와 RCHG 전압은 주파수가 변하여도 전압 비교

기에서의 로직 변화가 일어나는 공통 입력전압을 일정하게 유지하기 위해 주파수에 비례하는 기울기를 갖는 MCHG와 RCHG 신호를 발생한다. 이를 위해 회로의 동작을 주파수에 따라 6개의 영역으로 나눈 후, 각 동작영역에 따라 적절한 크기의 가변 부하 캐패시터를 그림 8의 전하펌프 회로의 출력단에 연결함으로써 동작영역의 변화에 따른 가변적인 MCHG와 RCHG의 기울기를 얻을 수 있다.

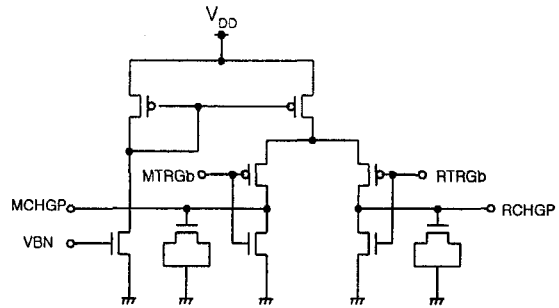


그림 8. 전하펌프 회로  
Fig. 8. Charge pumping circuit.

그림 9는 그림 6에 보인 부지연 발생부의 가변 캐패시터로서 주파수 감지기로부터의 4비트 디지털 출력인 VC[0:3]에 따라 가변적인 캐패시터를 CHGIO를 통해 비교기 입력전압인 MCHG나 RCHG에 연결되도록 설계한 회로이다. 주파수가 높아질수록 VC[0:3]이 "high"가 되는 개수가 늘어나므로 선택(option) 캐패시터스가 점점 분리된다. 따라서 고주파수에서는 부하 캐패시터스가 줄어들어서 MCHG 및 RCHG의 기울기가 가파르게 되고, 저주파수에서는 선택 캐패시터가 점점 연결되어 MCHG 및 RCHG의 기울기가 작아진다.

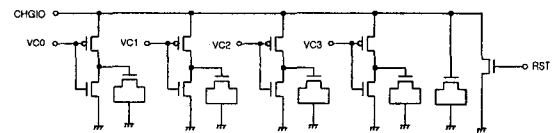


그림 9. 가변 캐패시터부  
Fig. 9. Variable capacitors.

비교기의 로직 평가가 끝난 후 캐패시터에 쌓여있는 전하를 방전시키는 신호인 RST는 전원인가 신호인 PWRUP이나 출력클록인 OCKi에 의해 발생된다.

3. 가변 오프셋 전압 비교기 (Variable-offset voltage comparator)



주파수감지부와 감지 결과를 표본화(sampling)해서 래치(latch)하는 부분 및 그 결과를 저장하고 다시 주파수 감지기 부분에 되먹임하여 주파수 감지 영역을 재 설정하는 4비트의 레지스터부로 구성된다. 입력클록의 duty ratio와 무관한 주파수 감지작용이 가능하도록 하기 위해 "high" 펄스폭을 감지하는 부분과 "low" 펄스폭을 감지하는 부분의 클록은 서로 반대위상의 클록이 입력된다. 레지스터부는 4개의 리세트(reset)형 D-ff으로써 구성되며, 전원인가 구간에서 Reset 펄스에 의해 출력 VC[3:0]가 리세트 된다. 회로가 enable 되면 주파수감지부의 감지결과인 CLKO에 의해 발생하는 클록에 동기되어 "high" 데이터가 VC[0] 에서부터 VC[3] 까지 옮겨간다. 변화된 VC[3:0] 신호는 다시 주파수감지부의 설정 주파수를 높이기 위해 되먹임 된다.

그림 13은 그림 12의 주파수감지부의 회로도이며 그림 14는 감지원리를 나타낸다. 전원인가 이후 주파수감지부는 VC[3:0]이 모두 리세트 되어 감지주파수는  $f_{set} = 50\text{MHz}$ 로 설정되고, 감지 펄스폭은

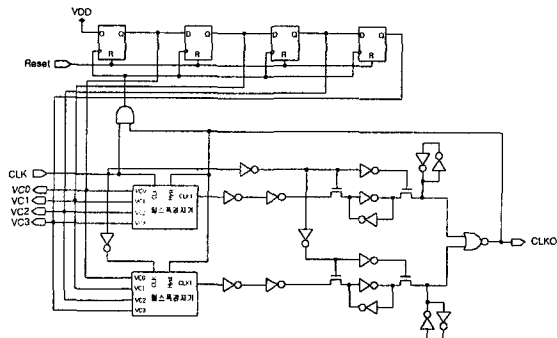


그림 12. 주파수 감지회로  
Fig. 12. Frequency detection circuit.

$T_{set} = 1/2f_{set} - t_{DH}$ 로써 설정된다.  $t_{DH}$ 는 데이터의 홀드 시간 (hold time)으로서 그림 12에서 두 개의 반전기로 구성된 지연버퍼의 지연시간이다. 입력클록의 falling time은 그림 13의 주파수감지부의 첫 번째 단의 풀업 경로 (pull-up path)와 두 번째 단의 풀다운 경로 (pull-down path)를 거쳐 느려지며, 상승시간 (rising time)은 상대적으로 빠르다. 만약 입력 클록의 "low" 펄스폭이 설정된  $T_{set}$ 보다 짧다면 그림 14 (a)의 c와 같이 다음 번 클록의 rising edge에서 "high"를 감지한다. 그림 12의 아래 부분인 "high" 펄스폭 감지부에서도 역시 "high"를 감지한다면 CLKO는 "high"로 설정된다.

이는 입력주파수  $f_{in}$ 이  $f_{set}$ 보다 크다고 판단한 것으로서, 레지스터부에 클록 펄스가 입력되어 VC[0]을 설정한다. 이는 다시 주파수 감지기에 되먹임되어 12K의 저항을 피하여  $f_{set}=100\text{MHz}$ 에 설정되고 다음 번 클록의 rising edge에서 다시 주파수를 감지한다. 이렇게 CLKO가 "low"가 될 때까지 VC[3:0] 신호 변화가 반복되어 디지털 데이터로서 출력된다. 특히 주파수 감지의 과정이 완료되어 CLKO가 "low"가 되는 순간, Hyst 신호에 의해 2K의 저항을 추가하여  $\Delta f$  만큼의 설정주파수를 낮추는 히스테리시스(hysteresis) 동작이 일어난다. 이와 관련된 동작과 전달특성을 그림 14 (b)에 나타내었다.

주파수감지부에 사용되는 저항은 온도특성이 좋고 전류-전압간의 선형성이 좋은 폴리실리콘 저항이며, 각 동작 주파수 영역에 따른 출력 디지털 데이터가 선형적인 열코드(thermo-code)가 나오도록 저항 값을 조절하였다. 입력 주파수의 동작영역을 6등분하여 출력되는 디지털 VC[3:0]의 결과를 hspice로 시뮬레이션 하여 표 1의 결과를 얻었으며 매우 선형적인 동작특성을 보인다.

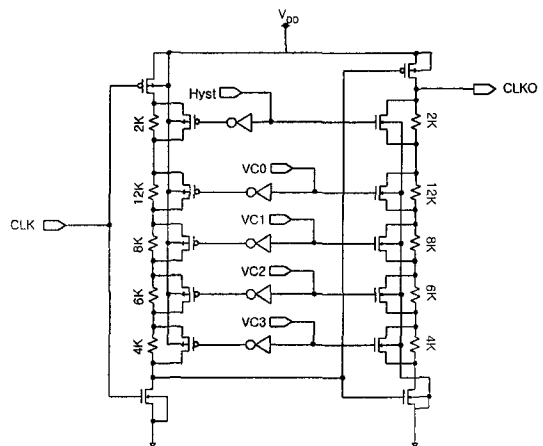
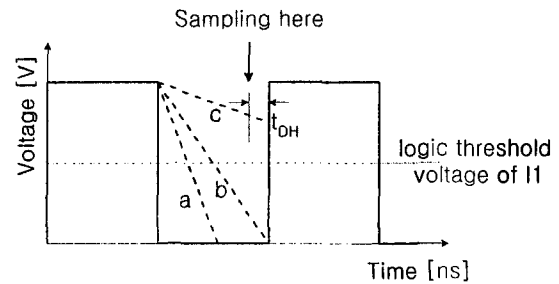


그림 13. 펄스폭 감지회로  
Fig. 13. Pulse-width detection circuit.



(a)



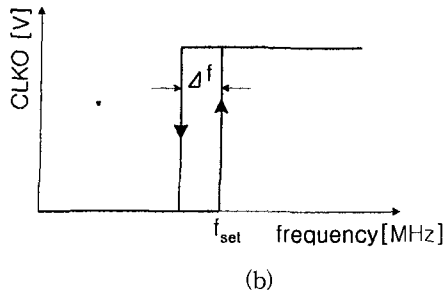


그림 14. 펄스폭 감지원리 (a) 개념적인 타이밍도 (b) 히스테리시스  
 Fig. 14. Principle of the pulse-width detection: (a) Conceptual timing diagram (b) Hysteresis.

III. 제안하는 부지연회로의 응용 및 시뮬레이션 결과

그림 15는 그림 11의 가변 오프셋 전압비교기의 (+) 입력 단인 INP에 dc 1.5V를 가하고 (-)입력 단인 INN에 0V에서 5V까지 변화시키면서 dc 시뮬레이션을 행한 결과이다. 이는  $(W/L)_3 = (W/L)_4 = 45/1$ ,  $(W/L)_{11} = (W/L)_{14} = 20/1$  일 때의 결과로서 a의 경우는  $M_{11} \sim M_{14}$ 가 모두 분리된 경우이며, b, c, d, e는 VC[0:3]에 따라 각각 하나씩 연결되는 경우이다.

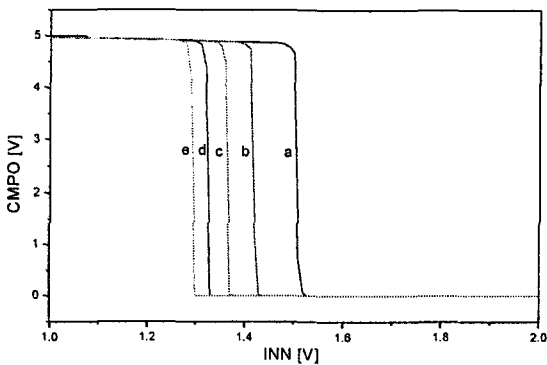
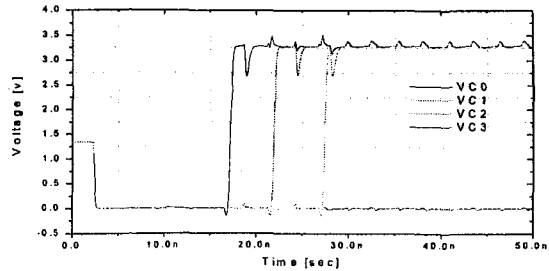


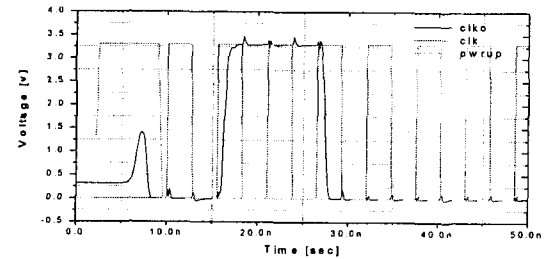
그림 15. 가변 오프셋 전압 비교기의 DC 특성  
 Fig. 15. DC characteristics of the variable-offset voltage comparator.

위의 결과를 살펴보면 로직 반전이 일어나는 입력전압 값이 식 (5)에서와 같이 변화되는 것을 알 수 있다. 따라서 a~e의 간격을 VC[0:3]에 따른 원하는 값으로 설정하기 위해서는  $M_{11} \sim M_{14}$ 의 크기를 비선형적으로 설계해야 한다.

그림 16 (a), (b)는 그림 12의 주파수 감지기에서 입력클럭 주파수가 180MHz일 때의 출력 데이터를 시뮬레이션 결과이다. 이 결과로부터 전원인가 과정이 끝난 후 수 개의 클럭 후에 VC[0:3] = {1 1 1 0}이 출력되어 표 1의 결과와 일치됨을 알 수 있다.



(a)



(b)

그림 16. CK = 180MHz 일 때의 펄스폭 감지회로의 시뮬레이션 결과 (a) VC[0:3]의 파형 (b) clk, clko, pwrup의 파형

Fig. 16. Simulated results of the pulse-width detection circuit when CK = 180MHz: (a) Waveform of VC[0:3] (b) Waveform of clk, clko, pwrup.

그림 17은 제안하는 부지연 회로를 DDR SDRAM에 적용할 때의 예를 보인 것이다. DDR SDRAM은 클럭의 상승시간 (rising time)과 하강시간 (falling time)에 모두 동기된 부지연 클럭이 필요하므로 그림 18과 같이 제안하는 부지연 회로를 4개 사용하여 90°씩 위상이 분리된 4개의 제어신호에 의해 매 클럭의 상승시간과 하강시간에 동기된 부지연 클럭을 발생한다.

그림 19는 그림 18에 보인 DDR SDRAM에 적용되는 제안하는 부지연 회로의 hspice 시뮬레이션 결과를 보인 것이다. 입력클럭 clkin은 100MHz의 클럭이며, 최종 출력 클럭 clkout은  $\Delta=2.5ns$ 로 설정되어 입력 클럭의 상승 edge와 하강 edge에 동기되어 출력된다.

아래 부분의 mchg 신호와 rchg 신호를 살펴보면 비

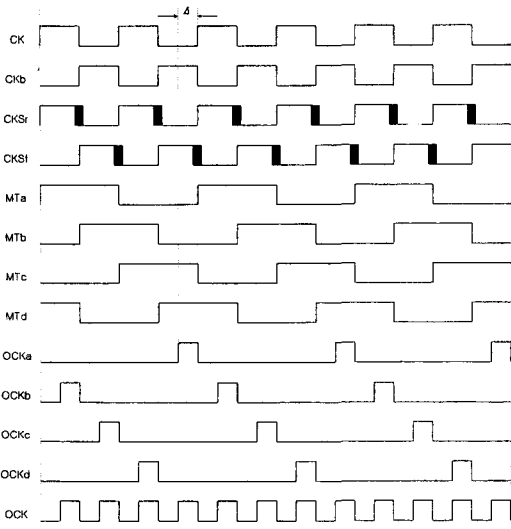


그림 17. DDR SDRAM 응용을 위한 부지연 클록의 타이밍 다이어그램

Fig. 17. Timing diagram of the negative-delayed clock for the DDR SDRAM applications.

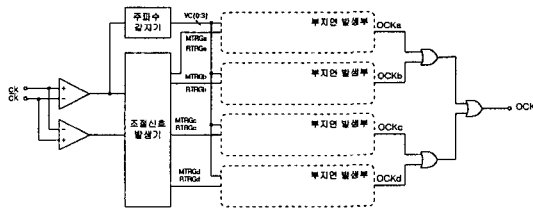


그림 18. DDR SDRAM 응용을 위한 제안하는 부지연 회로의 블록 다이어그램

Fig. 18. Block diagram of the proposed negative-delay circuit for DDR SDRAM.

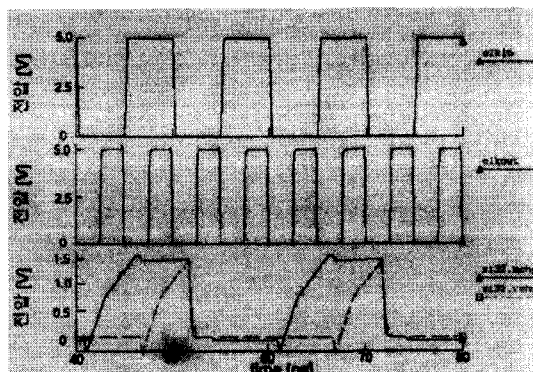


그림 19. 100MHz 입력클록이 가해졌을 때, DDR SDRAM 응용을 위한 제안하는 부지연 회로의 시뮬레이션 파형

Fig. 19. Simulated waveform of the proposed negative-delay circuit for DDR SDRAM when a 100MHz input clock is applied.

교기의 지연시간과 기타 로직에 의한 지연  $\Delta AUX$ 을 가변 오프셀 비교기에 설정된 오프셀 전압으로써 상쇄 시킴으로써 원하는 시점에서 부지연 클록을 얻을 수 있다.

#### IV. 결 론

본 논문은 표준 DRAM 공정에서 구현 가능한 CMOS 부지연 회로의 설계기법을 논하였다. 기존의 디지털 SMD의 양자화 잡음을 제거하고 고정밀의 해상도를 구현하며 넓은 로킹 범위를 구현하면서도 작은 칩 면적을 차지하기 위해서는 아날로그 형태의 부지연 회로가 바람직한 바, DDR SDRAM에 적용 가능하도록 주파수 적응성을 가지며 넓은 주파수 로킹 범위를 만족하고 넓은 부지연 범위를 구현하는 것을 특징으로 하는 새로운 개념의 아날로그 부지연 회로를 제안하였다.

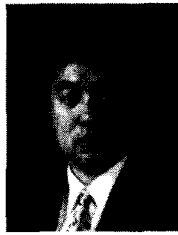
넓은 주파수 로킹 범위를 만족하기 위해 새로이 제안하는 주파수-디지털 변환기의 출력에 의한 동작 주파수의 감지결과에 따라 동작 주파수 범위를 나누고, 최적화 된 펄핑 회로의 부하 캐패시턴스를 설정한다. 넓은 부지연 범위를 구현하기 위해서는 반복단에 필연적으로 존재하는 부수적인 지연효과를 상쇄하는 데 있어서 기존의 방법과 같이 초단인 지연모델단에 상쇄 지연모델을 두는 것이 아니라 반복단 내의 전압비교기의 오프셀 전압을 가변적으로 설정함으로써 상쇄 되도록 하였다. 이렇게 함으로써 지연모델단에서 구현할 수 있는 지연의 범위가 기존의 기법보다 넓어진다.

제안된 회로는 기존의 SMD 회로와 마찬가지로 두 사이클마다 한 개씩의 부지연된 클록을 발생하므로 매우 빠른 로킹 시간을 얻는다. 또한 개회로 구조이므로 피덕임에 따른 클록 지터가 없어서 DDR SDRAM과 같은 초고속 DRAM의 내부 클록회로로서 적용 가능하다. 본 논문에서는 hspice를 사용하여 0.6 $\mu$ m 표준 CMOS 공정을 사용하여 이의 유용성을 입증한 바, 20MHz~250MHz 의 넓은 주파수 영역에서 동작가능하며 시뮬레이션 결과 약 30ps 이내의 해상도를 보여 궁극적으로 DRAM의 최대 데이터 전송속도를 향상시키는 데 기여할 것으로 기대된다.

## 참 고 문 헌

- [1] Thomas H. Lee et al., "A 2.5 V CMOS Delay-Locked Loop for an 18 Mbit, 500 Megabyte/s DRAM," IEEE J. Solid-State Circuits, vol. 29, no. 12, pp. 1491-1496, Dec. 1994.
- [2] Yasuhiro Takai et al., "A 250Mb/s pin 1Gb Double Data Rate SDRAM with a Bi-Directional Delay and an Inter-Bank Shares Redundancy Scheme," ISSCC Dig. Tech. Papers, pp. 418-419 Feb. 1999.
- [3] T. Sacki et al., "A 2.5-ns clock access, 250MHz, 256-Mb SDRAM with synchronous mirror delay," IEEE J. Solid-State Circuits, vol. 31, pp. 1656-1665, Nov. 1996.
- [4] Daeyun Shim et al., "An Analog Synchronous Mirror Delay for High-Speed DRAM Application," IEEE J. Solid-State Circuits, vol. 34, no. 4, pp. 484-493, April 1999.

## 저 자 소 개



金大井(正會員)

1964년 12월 22일생. 1987년 2월 서울대학교 전자공학과 공학사. 1989년 2월 서울대학교 전자공학과 공학석사. 1994년 2월 서울대학교 전자공학과 공학박사. 1994년~1998년 LG 반도체(현, 현대전자) 책임연구원. 1999년~현재 국민대학교 전자공학부 전임강사. 주 관심분야는 무선통신용 아날로그 회로설계, 초고속 DRAM 및 메모리 시스템 설계임