

DLC-coated Si-tip FEA 제조에 있어서 기판 상에 경사-회전 증착된 Al 희생층을 이용한 Gate 누설 전류의 감소

주병권 · 김영조*

KIST 정보재료소자연구센터

* 청운대학교 전자공학과

Decrease of Gate Leakage Current by Employing Al Sacrificial Layer Deposited on a Tilted and Rotated Substrate in the DLC-coated Si-tip FEA Fabrication

Byeong-Kwon Ju and Young-Cho Kim*

Electronic Materials and Devices Research Center, KIST

*Department of Electronics Engineering, Chung Woon University

요약: Lift-off를 이용한 DLC-coated Si-tip FEA 제조에 있어서 gate 절연막의 측면에 DLC가 coating되는 것을 방지하기 위해 기판 상에 Al 희생층을 경사-회전 증착한 뒤 DLC를 coating하고, 다음으로 희생층을 식각하여 tip 이외의 DLC를 제거하는 방법을 제안하였다. 이러한 Al 희생층을 이용한 lift-off 공정에 의해 제조된 DLC-coated Si-tip FEA의 전류-전압 특성과 전류 변동 특성을 조사하였으며, gate 누설 전류의 감소와 방출 전류의 안정성을 확인하였다.

Abstract: For the DLC-coated Si-tip FEA, the modified lift off-process, by which DLC coated on both gate electrode surface and gate insulator in the gate aperture could be removed, was proposed. In the process, the Al sacrificial layer was deposited on a tilted and rotated substrate by an e-beam evaporation, and DLC film was coated on the substrate by PA-CVD method. Afterward the DLC was perfectly removed except the DLC films coated on emitter tips by etch-out of Al sacrificial layer. Current-voltage curves and current fluctuation of the DLC-coated Si-tip FEA showed that the proposed lift-off process played an important role in decreasing gate leakage current and stabilizing emission current.

1. 서 론

Si-tip FEA(field emitter array)에 DLC를 coating할 경우 emitter tip 뿐만 아니라 gate 전극 표면과 gate 절연막의 측면에도 DLC가 coating되어 gate 누설 전류를 증가시키고 emitter의 수율을 감소시키는 등의 문제점을 초래하였다^{1,2)}. 이의 해결을 위해 Al 희생층을 사용하여 gate aperture 내부를 제외한 전 영역의 DLC를 제거함으로써 gate 누설 전류와 emitter 수율 면에서 향상을 이루었으나, 동작 영역에서 gate 누설 전류가 방출 전류의 20%까지 이르는 등 여전히 개선되어야 할 여지를 남기고 있다²⁾.

본 연구에서는 gate 누설 전류를 만족할만한 수준인 방출 전류 대비 3% 이하로 줄이고자 Al 희생층을 이용한 수정된 lift-off 공정을 개발하였으며, 이의 효과를 살펴보고자 한다.

2. 소자의 제조

본 실험에 사용된 Si-tip FEA의 규격은 앞서 보고된 바 있으며¹⁻³⁾, 60×60개의 emitter들이 300×300 μm²의 영역 내에 존재하게 되며 gate aperture의 직경은 1.8 μm로 조절하였다. Fig. 1(a)은 수정된 lift-off에 의해 DLC-coated Si-tip FEA가 제조되는 과정을 보인 것이

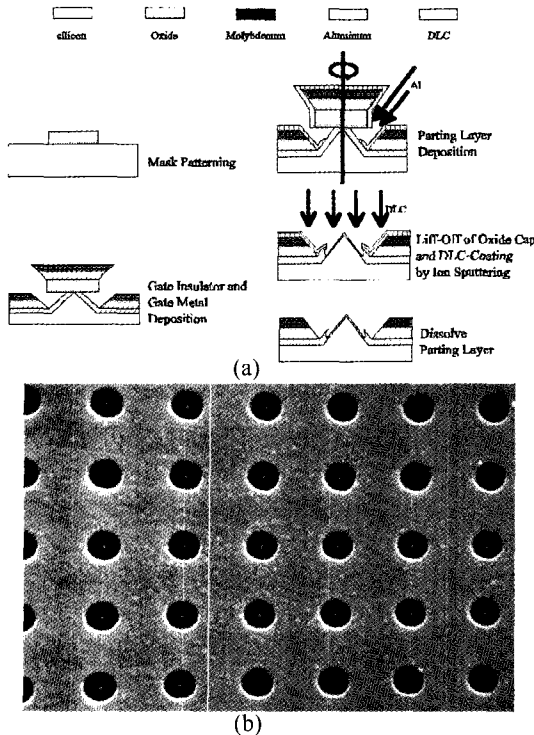


Fig. 1. Fabrication process (a) and device structure (b) of DLC-coated Si-tip FEA using modified lift-off process.

다. 산화막 mask patterning-oxidation sharpening-gate 절연막(SiO₂) 및 전극(Mo) 증착 과정까지는 앞서 기술한 바와 같다. 다음 단계인 Al 희생층 증착 과정을 살펴 보면, 기관을 임의의 각도로 경사지게 한 상태에서 회전시키면서 Al을 전자선 증착시켜 결과적으로 gate 절연막의 측면에도 Al이 도포되도록 하였다. 다음으로 BOE에 의해 산화막을 식각함으로써 tip위에 capping되어 있는 층들을 제거하고, DLC coating을 위해 Ar⁺ ion beam으로 tip의 표면을 세정하였다(400 V/min). DLC 막은 고순도 carbon target을 30분 동안 Ar⁺ sputtering하여 300 Å 두께로 소자 전면에 증착되었다. 마지막 단계로 Al 희생층을 H₃PO₄:HNO₃:CH₃COOH:H₂O (80:5:5:10) 용액 내에서 습식 식각함으로써 emitter tip 부분을 제외한 전 영역의 DLC를 제거하게 된다. 이 과정을 통하여 제조된 DLC-coated Si-tip FEA를 Fig. 1(b)에 보였다.

3. 동작 특성 평가

제조된 DLC-coated Si-tip FEA에 대하여 안정화 과

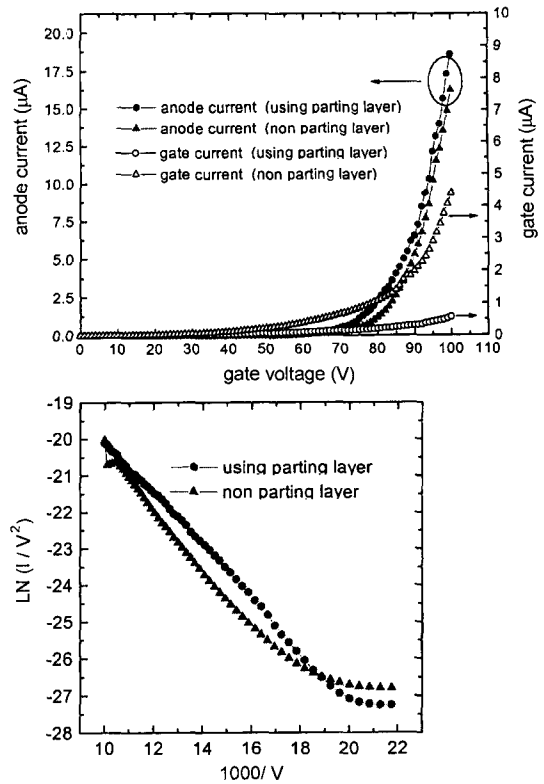


Fig. 2. I-V curve (a) and Fowler-Nordheim plot (b) of DLC-coated Si-tip FEA.

정을 거친 뒤, computerized Keithley 237 SMU-UHV test station 시스템을 이용하여 10⁻⁷ Torr의 진공도에서 전계 방출 특성을 평가하여 보았다. 이때 양극으로는 ITO 막 상에 ZnO:Zn 형광체가 도포되어 있는 유리 기관을 사용하였고, tip과 양극간의 거리는 spacer를 사용하여 1 mm로 유지하였다. Fig. 2(a)는 동일한 규격을 가지며 단지 Al 희생층을 사용하지 않아 tip, gate 전극 표면, 그리고 gate 절연막 등 전면(全面)에 DLC가 coating된 Si-tip FEA와 본 연구에서 제안된 공정에 의해 tip 상에만 DLC가 coating된 소자들에 대해 양극 전압을 300 V로 고정시킨 상태에서 gate 전압에 따른 방출 전류의 변화를 측정된 결과이며, Fig. 2(b)는 이에 대한 Fowler-Nordheim plot(F-N plot)에 해당한다. 이로부터 turn-on 전압은 48~53 V 범위에서 tip 상에만 DLC가 coating된 경우가 약간 감소하는 것으로 나타났다. Gate 누설 전류의 경우 본 공정을 이용함으로써 급격하게 감소하는 것으로 확인되었는데, 예를 들어 100 V의 gate 전압에 대해 방출 전류의 28%에 이르렀던 gate 누설 전류가 DLC의 coating 영역을 tip 상으로만 제한함으로써 1/10에 해당하는 2.7% 수준으로 감소되었음을 볼 수 있다.

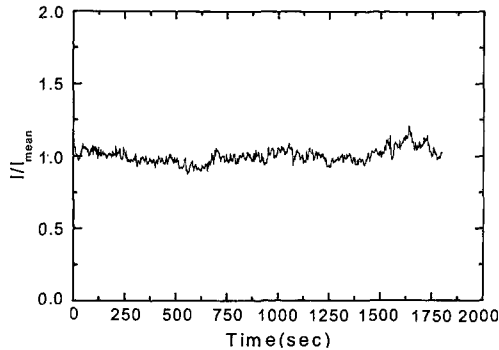


Fig. 3. Current fluctuation behaviors of DLC-coated Si-tip FEA.

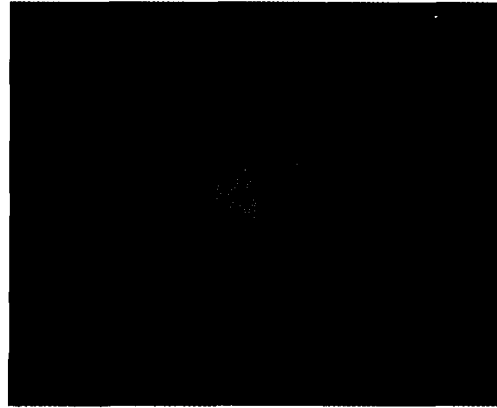
Tip 상에만 DLC가 coating된 Si-tip FEA에 대해 25분 동안의 전류 표동 특성을 측정된 결과를 Fig. 3에 나타내었다. 평균적인 전류 표동률은 15% 정도로 나타났다. 아울러 Fig. 4의 (a)와 (b)는 각각 76V 및 100V의 gate 전압에 따른 ZnO:Zn 형광체의 발광을 보인 것으로 발광 영역이 전적으로 균일함을 알 수 있다.

4. 결 론

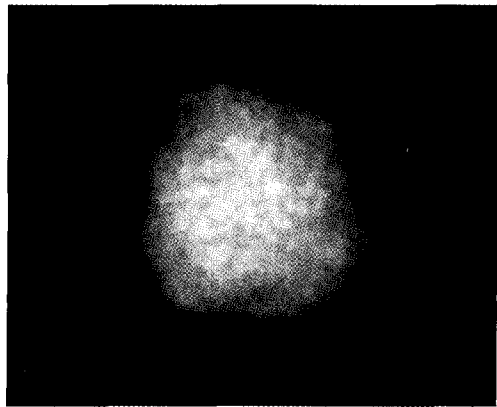
Si-tip FEA의 전계 방출 성능을 개선하기 위하여 DLC 코팅을 하는 과정에 있어서 DLC 막이 gate 측면에 코팅되는 문제를 해결할 수 있는 방법을 제안하였다. 즉, Al 희생층을 경사-회전 증착한 뒤 lift-off 공정을 적용하는 방법에 의해 gate 누설 전류를 전계 방출 전류 대비 3% 이하로 줄일 수 있었다. 제안된 공정은 Si-tip FEA 상의 DLC 코팅 뿐만 아니라, Mo-tip FEA는 물론 기타 제 기능성 박막들을 tip 링 코팅하는 과정에서도 적용될 수 있다.

감사의 글

본 연구는 2000년도 청운대학교 학술연구조성비 지원에 의하여 연구되었으며, 이에 감사를 드립니다.



(a)



(b)

Fig. 4. Light emission patterns of ZnO:Zn phosphors excited by electrons emitted from the DLC-coated Si-tip FEA for the gate bias of 76V(a) and 100V(b).

참고 문헌

1. 주병권, 이상조, 이윤희, 전동렬, 오명환, "실리콘 팁 전계 방출 소자의 제조 및 동작 특성 평가", 마이크로전자 및 패키징학회지, 제6권, 1호, pp. 65-73 (1999)
2. 주병권, 이상조, 김 훈, 이윤희, 오명환, "DLC-coated Si-tip FEA 제조에 있어서 Al 희생층을 이용한 gate 누설 전류의 감소", 전기학회논문지, 제47C권, 8호, pp. 577-580 (1999).