

고밀도 비선형 자기 저장 채널을 위한 신경망 등화기와 터보 코드의 연접 데이터 복호 방법

정회원 이준*, 이재진*

Serially Concatenated Neural Linear Transversal Equalizer/Turbo Code Detection for High Density Nonlinear Magnetic Storage Channels

Jun Lee*, Jaejin Lee* *Regular Members*

요약

디지털 자기 기록 저장기에서 채널 밀도가 증가하면 심각한 인접심볼 간섭과 비선형 왜곡이 야기된다. 본 논문에서는 심각한 비선형 인접심볼 간섭과 비선형 왜곡을 극복하기 위한 방법으로 기존의 등화기 대신 NLTE(neural linear transversal equalizer)를 등화기로 사용하고 검출기로는 터보 코드를 사용한 NLTE/TC 구조를 제안한다. 채널 밀도 S=2.5 에서 부분 삭제가 0.7 정도 존재할 때, 코드율이 8/9일 때는 10⁻⁵의 비트 에러율을 18dB 이후에서 만족하며, 코드율이 16/17일 때는 20dB 이후에서 만족함을 알 수 있었다. 채널 밀도 S=3 에서 부분 삭제가 0.6 정도 존재할 때 코드율이 8/9일 때는 10⁻⁵의 비트 에러율을 22dB 이후에서 만족하고, 코드율이 16/17일 때는 24dB 이후에서 만족함을 확인할 수 있었다.

ABSTRACT

As the channel density increases in magnetic recording system, serious intersymbol interference(ISI) and nonlinear distortion occur. In this paper, to overcome severe nonlinear ISI and nonlinear distortion, we propose a concatenated system using neural equalizer and turbo code as equalizer and detector, respectively. When the channel density and partial erasure are 2.5 and 0.7, respectively, the proposed system achieves BER of 10⁻⁵ at 18 dB and 20 dB with code rates of 8/9 and 16/17, respectively. When the channel density and partial erasure are 3 and 0.6, respectively, the proposed system achieves BER of 10⁻⁵ at 22 dB and 24 dB with code rates of 8/9 and 16/17, respectively.

I. 서론

채널 밀도가 증가함에 따라 디지털 자기 기록 채널은 인접심볼간 간섭(ISI)과 비선형 왜곡이 심해진다. 디지털 자기 기록 시스템의 지배적인 비선형 왜곡에는 천이 이동(transition shift)과 부분 삭제(partial erasure)가 있다^{[1][2]}. 천이 이동은 지그재그(zigzag) 천이에 의해 정상적인 천이의 위치가 이동

하는 현상을 말하며, 부분 삭제는 인접 심벌들의 천이에 의해 재생된 신호의 크기가 부분적으로 감소되는 현상을 말한다^[2]. 디지털 자기 기록 시스템에서는 재생 신호에 발생하는 ISI와 비선형 왜곡을 극복하기 위해 등화기를 사용한다. 그러나 기존의 선형 등화기나 결정 제한 등화기는 채널에 심각한 비선형 왜곡이 존재할 때 원 신호를 복원하기가 어렵다. 이러한 비선형 왜곡을 보상하기 위해 신경망을

* 동국대학교 전자공학과 (zlee@dgu.ac.kr)

논문번호: 00079-0228, 접수일자: 2000년 2월 28일

※ 이 논문은 한국과학재단의 '98 특정기초 연구과제(98-0101-01-01-3) 연구비에 의해 수행되었음.

이용한 등화기, 즉 MLP(multilayer perceptron)의 구조를 가지는 NDFE(neural decision feedback equalizer)와 QSNDFE(quadratic sigmoid neural decision feedback equalizer)등이 제안되었다^[3]. MLP란 신경망에서 입력층(input layer)과 출력층(output layer) 외에 은닉층(hidden layer)이 하나 이상 존재하는 구조로써 신경망에 가장 많이 사용되는 구조이다. MLP의 구조를 가지는 NDFE는 기존의 DFE를 신경망으로 구성한 등화기로 뉴런(neuron)의 활성화 함수(activation function)로는 비선형 함수인 하이퍼볼릭 탄젠셜 함수(hyperbolic tangential function, HTF)를 사용하고, 가중치(weight)를 갱신하기 위한 학습(learning) 알고리즘으로는 BP(backpropagation)를 사용하는 등화기이다. QSNDFE는 단지 NDFE의 활성화 함수 HTF를 QSF(quadratic sigmoid function)로 대체하여 NDFE보다 우수한 성능을 발휘하는 MLP구조를 가지는 신경망 등화기이다.

본 논문은 부분 삭제가 존재하는 채널 모델에서 기존의 방법들과 달리 PRML 방법을 사용하지 않으면서 기존의 등화기를 NLTE(neural linear transversal equalizer)로 대체하고 검출기로서 터보코드^[4]를 연결하여 사용하는 NLTE/TC 방법을 제안한다. 제안된 구조의 시스템은 그림 2와 같다. NLTE는 하나의 입력층(input layer, 17)과 은닉층(hidden layer, 27) 및 출력층(output layer, 1)으로 구성된 MLP 구조로 구성하였다. 뉴런(Neuron)에 사용된 활성화 함수는 HTF를 사용하였으며 각 뉴런에 연결된 강도(weight)를 갱신하기 위한 학습 알고리즘으로는 BP 알고리즘을 사용하였다.

본 논문의 구성은 다음과 같다. 2장에서는 비선형 자기 채널과 SNR(signal-to-noise)의 정의를 살펴보았다. 3장에서는 본 논문에서 제안하는 MLP구조를 가지는 NLTE에 대하여 설명하였으며, 4장에서는 모의 실험 결과를 분석하였으며, 5장에서 결론을 내렸다.

II. 비선형 자기 저장 채널 모델

A. 부분 삭제 채널 모델

지배적인 비선형 왜곡 중 부분 삭제는 쓰기 보상(write precompensation)이나 기존의 선형 등화기 또는 결정 궤환 등화기에 의해 어느 정도 보상되어질 수는 있지만 한계가 존재하며, 기록 시스템의 성능을 저하시키는 가장 큰 요인으로 작용하고 있

다. 부분 삭제는 채널 비트의 폭이 좁아짐으로 해서 생기는데, 채널 밀도가 증가함에 따라 이웃하는 지그재그 영역이 서로 맞닿아 발생하는 현상이다. 폭이 좁아진 비트 영역이 재생될 때 재생 신호의 크기가 감소하는 부분 삭제가 발생하게 된다.

디지털 자기 기록 시스템에서는 자성 물질의 히스테리시스 특징을 이용해 포화 기록(saturation recording)을 사용한다. 즉, 헤드의 코일에 공급되어진 전류에 의해 이진 데이터 $a_k \in \{-1, +1\}$ 를 두 방향 중의 한 방향으로 자화시킨다. 기록 시스템에서 미분 특성은 자화 전이 데이터 $b_k = a_k - a_{k-1}$ 와 관계가 있다^[1]. 디지털 자기 기록 채널에서 자화의 전이에 의한 응답은 식(1)과 같은 로렌치안(Lorentzian) 펄스로 모델링 된다.

$$g(t, PW50) = \frac{A}{PW50(1 + (\frac{2t}{PW50})^2)} \quad (1)$$

여기서 A는 정규화된 상수이고, PW50은 절반 높이에 대한 펄스폭을 나타낸다. 두 번의 연속적인 자속의 전이는 식 (2)의 이중 비트(dibit) 응답으로 모델링할 수 있다.

$$h(t, PW50) = g(t, PW50) - g(t - T, PW50) \quad (2)$$

여기서 T는 심볼 주기를 나타낸다. 부분 삭제가 존재하는 디지털 자기 저장 시스템의 재생신호는 식 (3)과 같이 표현할 수 있다.

$$\begin{aligned} r(t) &= \sum_k (\gamma \times b_k) * g(t, PW50) + n(t) \\ &= \sum_k c_k * g(t, PW50) + n(t) \end{aligned} \quad (3)$$

여기서 γ 는 부분 삭제율을 의미하며, *는 컨볼루션을 의미한다. 부분 삭제율은 이웃하는 전이의 수에 의해 결정되며 식 (4)와 같이 표현할 수 있다.

$$\gamma = \begin{cases} 1 & \text{for } b_{k-1} = b_{k+1} = 0 \\ a & \text{for } |b_{k-1}| \neq |b_{k+1}| \\ a^2 & \text{for } |b_{k-1}| = |b_{k+1}| = 2 \end{cases} \quad (4)$$

γ 는 부분 삭제의 실제량을 나타내며, 채널 밀도에 따라 달라진다.

B. SNR 정의

로렌치안 채널 모델에서 SNR은 식 (5)과 같이 정의한다.

$$SNR = 10 \times \log\left(\frac{S_{ms}}{N_{ms}}\right) \quad (5)$$

여기서 S_{ms} 는 채널을 통과한 신호의 제곱 평균, 즉 신호의 전력을 나타내며, N_{ms} 는 AWGN의 전력을 나타낸다.

III. 제안된 NLTE의 구조

본 논문에서 제안한 NLTE 등화기의 구조는 그림 1과 같다. MLP구조를 가지는 NLTE는 N개의 메모리가 TDL(tapped delay line)형태를 가지는 입력층과, M개의 노드를 가지는 은닉층, 1개의 노드를 가지는 출력층으로 구성되어 있다. 또한 모든 층(layer)들이 서로 완전히 연결되어 있으며, 은닉층과 출력층에는 입력 데이터가 바이어스된 경우 NLTE의 성능을 향상시키기 위한 바이어스층($\theta^s(n)$)이 있다. NLTE는 기존의 LTE와 달리 출력층의 출력(\bar{a}_k)과 원래 데이터(a_k) 값의 에러(ϵ_k)를 이용해 MSE(mean squared error)가 감소하도록 가중치(또는 탭) 계수 갱신을 위해 신경망을 사용하기 때문에 기존의 등화기 보다 우수한 성능을 발휘한다. 각 층의 k번째 노드의 출력은 식 (6)과 같이 표현할 수 있다.

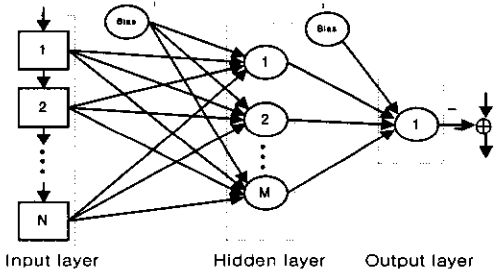


그림 1. 제안된 NLTE의 구조

$$net_k^s(n) = \sum_j w_{jk}^s(n) O_j^{s-1}(n) + \theta^s(n)$$

$$O_k^s(n) = f(net_k^s(n)) \quad (6)$$

여기서 j 값은 $S-1$ 번째 층의 노드 개수까지 증가시킬 수 있으며, $w_{jk}^s(n)$ 는 n 번째 계산 단계에서 $S-1$ 층의 j 번째 노드에서 S 층의 k 번째 노드까지의 연결 강도이며, $\theta^s(n)$ 은 S 번째 층의 바이어스를 나타내고, $f(\cdot)$ 는 비선형 대응 능력을 가지는 비선형 함수, 즉 활성화 함수를 나타낸다. 본 논문에서는 비선형 함수로서 HTF를 사용하였다. HTF는 식 (7)과 같다.

$$f(x) = \frac{1 - e^{-x}}{1 + e^{-x}} \quad (7)$$

BP 알고리즘은 각 층들끼리 연결된 가중치를 갱신하기 위해 사용된다. 이것은 출력 노드에서의 MSE를 최소화하기 위한 반복적인 계산 형태의 알고리즘이다. 만약 출력층에서 원하는 값이 $d_k(n)$ 이라 할 때 가중치 갱신을 위한 수식은 식 (8), (9)와 같다.

$$\delta_k^s = \begin{cases} (d_k(n) - O_k^s(n))f'(net_k^s(n)) & \text{for } s=M \\ f'(net_k^s(n)) \sum_j \delta_j^{s+1} w_{jk}^{s+1} & \text{for } s=1,2,\dots,M-1 \end{cases} \quad (8)$$

$$w_{jk}^s(n+1) = w_{jk}^s(n) + a\delta_k^s(n)O_j^{s-1} + \beta \Delta w_{jk}^s(n-1) \quad (9)$$

여기서 a, β 는 각각 학습률 인수(learning rate parameter)와 모멘텀률 인수(momentum rate parameter)를 나타내며, M 은 은닉층의 총 노드의 수를, N_s 은 S 번째 층의 노드 개수를 나타낸다. $\Delta w_{jk}^s(n-1)$ 은 MSE의 수렴률 속도를 증가시키는 인자로서 $w_{jk}^s(n)$ 과 $w_{jk}^s(n-1)$ 의 차이를 의미하며, $f'(\cdot)$ 는 $f(\cdot)$ 의 미분을 의미한다.

IV. 모의 실험

모의 실험은 채널 밀도 $S=2.5, S=3$ 에서 부분 삭제와 가우시안 잡음이 존재하는 채널에서 행해졌다. NLTE는 하나의 입력층(input layer, 17)과 은닉층(hidden layer, 27) 및 출력층(output layer, 1)으로 구성된 MLP 구조로 구성하였다. 뉴런(neuron)에 사



그림 2. 부분 삭제가 있는 비선형 자기 기록 채널을 위한 NLTE/TC 검출 시스템

용된 활성 함수는 HTP를 사용하였고, 학습률 인수와 모멘텀 인수는 각각 0.005와 0.4이며, 각 뉴런에 연결된 강도의 갱신을 위한 학습 알고리즘으로는 BP 알고리즘을 사용하였다. 검출기로는 인코더의 생성 다항식이 (7,5)인 RSC 코드를 사용하고, 프레임 크기는 624이며, 반복 검출 횟수가 3으로 고정된 MAP 디코더를 사용하였다. 그림 3과 4는 각각 모의 실험을 위한 데이터 기록 모델과 데이터 검출 모델을 나타내었다. 그림 5는 채널 밀도 $S=2.5$ 에서 부분 삭제량 a 가 0.7일 때 코드율에 따른 제안된 신호 검출 방법의 성능을 나타낸 그림이다. 코드율이 8/9일 때 10^{-5} 의 비트 에러율은 18dB 이후에서 만족되며, 코드율이 16/17일 때는 20dB 이후에서 만족되는 것을 알 수 있다. 그림 6은 채널 밀도 $S=3$ 에서 a 가 0.6정도 존재할 때 코드율에 따른 성능을 나타낸 그림이다. 코드율이 8/9일 때 10^{-5} 의 비트 에러율은 22dB 이후에서 만족되고, 16/17일 때 24dB 이후에서 만족되는 것을 알 수 있다.

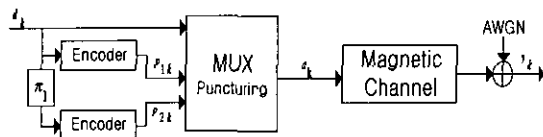


그림 3. NLTE/TC를 위한 데이터 기록 채널 모델

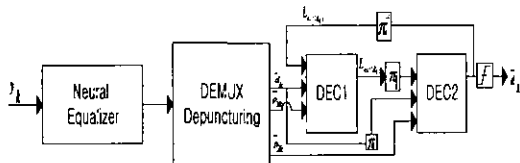


그림 4. NLTE/TC 데이터 검출부

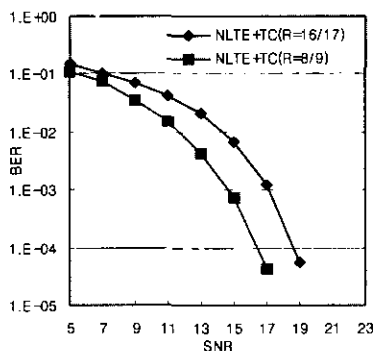


그림 5. $S=2.5$ 이고 부분 삭제량이 0.7일 때 코드율에 따른 NLTE/TC의 성능

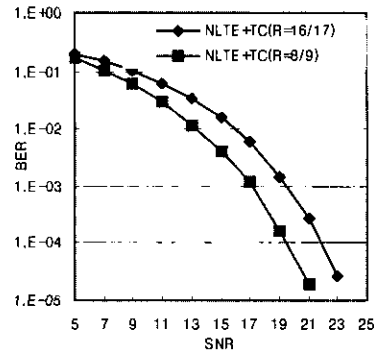


그림 6. $S=3$ 이고 부분 삭제량이 0.6일 때 코드율에 따른 NLTE/TC의 성능

V. 결론

고밀도 디지털 자기 기록 시스템에서 극심한 ISI와 비선형 왜곡을 보상하기 위해 기존의 등화기 대신 NLTE를 채널 등화기로 사용하고 검출기로는 터보 코드를 사용하는 데이터 복호 방법을 제안하였다. 기존의 NDFE^[1]는 채널 밀도 $S=2$ 에서 부분 삭제량이 0.7일 때 16dB 이후에서 10^{-5} 의 비트 에러율을 만족하고, 채널 밀도 $S=3$ 에서는 부분 삭제량이 0.5일 때 약 30dB 이후에서 10^{-5} 의 비트 에러율을 만족하는 것과 비교할 때, 본 논문에서 제안한 구조인 NLTE/TC의 성능이 좋음을 알 수 있다.

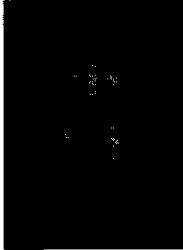
참고 문헌

- [1] S. Choi, S. Ong, C. You, D. Hong, and J. Cho, "Performance of neural equalizers on partial erasure model," IEEE Trans. on Magnetics, vol. 33, no. 5, pp. 2788-2790, Sep. 1997.
- [2] X. Che, M. Bhattacharyya, and H. N. Bertram, "Studies of nonlinear bit shift and partial erasure using pseudo-random sequence," IEEE Trans. on Magnetics, vol. 29, no. 6, pp. 3972-3974, Nov. 1993.
- [3] S. Choi, S. Ong, C. You, and D. Hong, "A quadratic sigmoid neural decision feedback equalizer for nonlinear digital magnetic recording channels," Proc. of GLOBECOM, vol. 3, pp. 1735-1740, 1998.
- [4] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding: Turbo codes," Proc. of ICC, pp.

1064-1070, June 1993.

이 준(Jun Lee)

정회원



1998년 2월: 동국대학교 전자공
학과 학사 졸업

2000년 2월: 동국대학교 전자공
학과 석사 졸업

2000년 3월~현재: 동국대학교
전자공학과 박사과정

<주관심 분야> 기록저장시스템 및 채널 코드(RSPC,
Turbo Code, Watermark)

이 재 진(Jaejin Lee)

정회원

1983년 2월: 연세대학교 전자공학과 졸업

1984년 12월: U. of Michigan, Dept. of EECS 석사

1994년 12월: Georgia Tech, Sch. of ECE 박사

1995년 1월~1995년 12월: Georgia Tech, 연구원

1995년 1월~1997년 2월: 현대전자 정보통신연구소,
책임연구원

1997년 3월~현재: 동국대학교 전자공학과 조교수

<주관심 분야> 통신이론, 비밀통신, 기록저장시스템