

차세대 이동통신 단말기에 이용되는 적층 칩 필터 설계 및 제작

Design and Fabrication of Multilayer Chip Filter for Next Generation Mobile Communication Phone

이 석 원*, 윤 중 략**
(Suk Won Lee* · Jung Rag Yoon**)

Abstract

In this paper, the multilayer chip band pass filter for next generation mobile communication phone is fabricated and designed. For the design, the multilayer chip filter of non-contented equivalent circuit and contented equivalent circuit with attenuation pole is presented. Finally, it is fabricated and designed using the multilayer chip filter of contented equivalent circuit with attenuation pole. The size, insertion loss, center frequency and band width of multilayer chip filter are $4.5 \times 3.2 \times 2.0$ [mm], 3.0[dB] and 1945 \pm 25 MHz respectively. The multilayer chip filter was fabricated by screen printing with Ag electrode after tape casting. Simulation results of multilayer chip filter are compared with experimental results and found to be in excellent agreements.

Key Words(중요용어) : Multilayer chip band pass filter (적층 칩 대역 통과 필터), Next generation mobile communication phone (차세대 이동통신 전화기), Attenuation pole (감쇠극), Tape casting (테이프 캐스팅)

1. 서론

최근 정보 통신량의 증가와 광대역 통신 시스템의 발전에 따라 음성 및 데이터 등 정보통신의 신속한 교환이 요구되는 이동통신, 위성통신의 필요성이 점차 고조되고 이 분야에 대한 통신시스템이 현저하게 발전되고 있다. 특히, 이동통신의 경우 아날로그 방식을 적용한 1세대 이동통신 시스템부터 디지털 방식을 이용한 2세대 이동통신 시스템, 전세계를 하

나의 표준으로 하는 3세대 이동통신 시스템인 IMT-2000(International Mobile Telecommunication-2000)에 이르기까지 실용화가 급속히 진행되고 있다. 이러한 통신 수요의 주종은 휴대용 단말기로서 소형화, 경량화가 요구되며 이에 따라 부품의 소형화, 경량화, SMD(Surface Mounted Device)화 및 고성능 제품 개발이 치열해지고 있다.[1], [2] 이동통신 단말기의 고주파단에 이용되는 수동부품 중 대표적인 소자인 필터에도 영향을 미쳐 소형, 경량화의 요구를 충족시키면서 우수한 특성을 가지는 필터의 개발이 진행되고 있다.

현재 필터의 소형화를 위해 높은 유전상수와 높은 품질계수를 가지는 마이크로파 유전체의 개발이 진행되는 동시에 필터 구조에 대한 연구도 진행되고 있다. 필터의 구조의 경우 적층형 소자 개념을 도입하여 $\lambda/4$ 유전체 공진기를 이용한 필터보다 크기

* 호서대학교 전기공학부

(충남 아산시 배방면 세출리 산29-1 호서대학교,
Tel: 0418-540-5482, Fax: 0418-540-5480
E-mail : swlee@office.hoseo.ac.kr)

**삼화콘텐서

(경기도 화성군 동탄면 장지리 211-1
Tel: 0339-370-8361)

2000년 3월 6일 접수, 2000년 6월 5일 심사완료

및 부가가 현저히 줄어든 strip line 공진기를 이용한 적층 칩 필터 구조의 연구가 진행되고 있다.[3], [4], [5]

기존의 연구 결과를 보면 strip line을 이용한 적층형 칩 필터의 설계 있어서 실제 적층형 칩 필터 제작시 고려되어야 할 칩 필터의 크기, 내부전극 및 세라믹 sheet의 공정 제한성, 제조공정 장비의 제한 요소를 고려한 연구가 미흡하였다. 따라서 본 논문에서는 실제 칩 필터 제작시 고려되어야 할 사항을 고려하여 감쇠극을 위한 등가회로가 있는 경우와 감쇠극을 위한 등가회로가 없는 경우의 설계 과정을 정립하였다. 설계이론을 바탕으로 하여 칩 필터의 크기가 $4.5 \times 3.2 \times 2.0$ [mm]이고 1920~1970 MHz의 통과대역을 갖는 등가회로를 선정하고 이 등가회로를 바탕으로 3차원 고주파 구조 해석 시뮬레이터인 HFSS(High Frequency Structure Simulator, Ansoft社)와 고주파 회로 해석 프로그램인 ADS(Advanced Design System, HP社)를 이용하여 적층형 칩 필터를 설계하였다.

적층형 칩 필터의 제작은 칩 부품의 대표적인 구현 방법인 테이프 캐스팅법을 이용하여 유전체 sheet를 제작하였으며 스크린 프린팅법을 이용하여 은(Ag) 전극을 인쇄하고 적층, 압착, 절단공정을 거쳐 바인더를 탈지 후 900°C에서 소결하였다. 소결된 적층 칩을 연마 후 은(Ag)전극을 이용하여 입, 출력 단자 및 접지단자를 형성하였다. 소자의 필터특성 측정은 Network Analyzer(HP 8510C, HP社)를 이용하여 측정한 후 시뮬레이션 결과와 비교 분석하였다.

2. 적층 칩 필터의 구조 및 등가회로

그림 1(a)는 중심주파수보다 저주파대역에서 감쇠극을 갖는 적층 칩 필터의 구조이고 그림 2(a),(b),(c)와 그림 3(a),(b),(c)는 본 논문에서 설계하고자하는 감쇠극을 위한 전극이 없는 필터의 구조이다.

일반적으로 감쇠극을 위한 전극이 있는 경우 그림 1 (a)에서 커플링 캐패시터 전극 크기의 조절을 통하여 감쇠극 위치를 변화시켜 중심주파수보다 낮은 주파수에서 감쇠특성을 향상시킬 수 있는 장점이있다. 반면에 strip line 공진기의 길이를 줄일 수 있는 공진기 형태인 SIR(Step Impedance Resonator)형을 이용할 수 없을 뿐만 아니라 필터의 소형화 기여하는 loading 캐패시터의 설계 제한으로 필터의 크기가 커지고 입,출력 단자와 접지면이 공진기 개방단

에 위치함으로써 제조 공정시 전극의 적층 및 절단시 정밀성이 요구되는 단점이 있다.[4], [5] 따라서 본 논문에서는 칩 필터의 크기 및 제작 공정을 고려하여 감쇠극을 위한 도체 전극이 없는 그림 2(a)와 그림 3(a) 구조의 필터를 대상으로 하였다.

적층 칩 필터의 구조를 설명하면 여섯층의 세라믹 sheet 위에 다섯층의 도체 전극으로 구성되어 있으며 두 개의 shield 전극과 strip line 공진기, 입,출력 캐패시터 및 loading 캐패시터로 구성된다. 그림 2, 3의 등가회로는 strip line 공진기를 집중 소자화한 회로로서 L_1, C_1 은 strip line 공진기의 등가 소자값, L_3, C_3 는 strip line 공진기간의 전자적 결합에 의한 등가 소자값, C_{01}, C_{02} 는 입, 출력 캐패시터이고 C_{r1}, C_{r2} 는 Comb line filter⁽⁸⁾에서와 같이 공진기의 길이를 줄이기 위한 것이다.

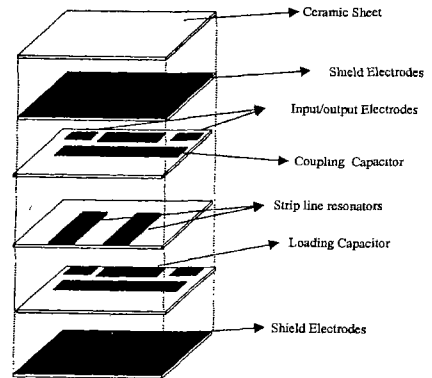
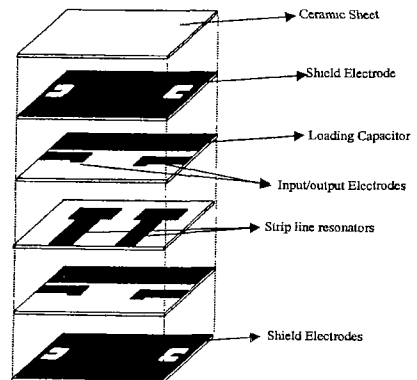


Fig. 1. 감쇠극을 위한 전극이 있는 적층 칩 필터구조

Fig. 1. Multilayer chip filter structure contented electrode for attenuation pole.



(a)

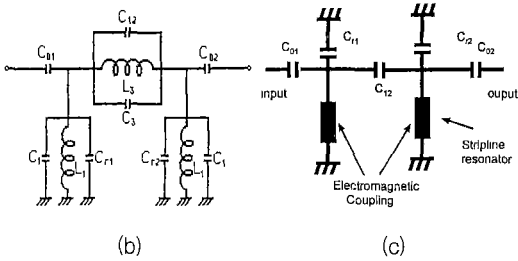
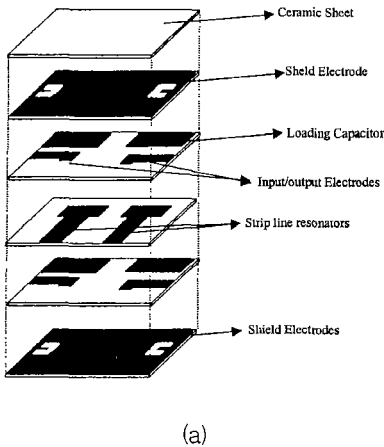


그림 2. 감쇠극을 위한 등가회로가 있는 적층 칩
(a) 구조 (b) 등가 회로 (c) 집중화된 등가회로
Fig. 2. Multilayer chip filter contented equivalent circuit for attenuation pole
(a) Structure (b) Equivalent circuit (c) Equivalent circuit with lumped elements.



(a)

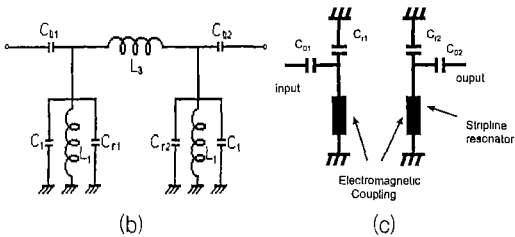


그림 3. 감쇠극을 위한 등가회로가 없는 적층 칩
(a) 구조 (b) 등가 회로 (c) 집중화된 등가회로
Fig. 3. Multilayer chip filter non-contented equivalent circuit for attenuation pole
(a) Structure (b) Equivalent circuit (c) Equivalent circuit with lumped elements.

3. 감쇠극을 위한 도체 전극이 없는 적층 칩 필터 설계 방법

3.1 결합스트립선로 공진기의 등가 소자값 결정

결합스트립선로는 집중소자 회로이론 해석을 위하여 4단자 분포소자 임피던스 행렬에 의한 기모드, 우모드 임피던스(Z_{oe}, Z_{oo}) 해석 방법이 이루어지고 있다.[9] 그림 4는 결합스트립 선로의 어드미턴스 행렬로 표시되는 2-포트 π 회로로서 결합스트립선로 공진기의 등가 소자값을 결정할 수 있다.

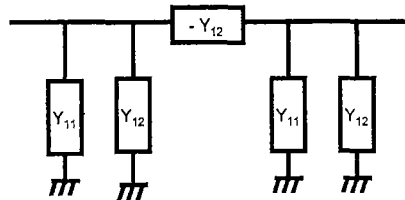


그림 4. 2포트 회로망의 π -등가회로
Fig 4. π -equivalent circuit of 2 port network.

3.1.1 감쇠극을 위한 결합 캐패시터를 갖는 결합스트립선로 등가 소자값 설계

그림 2 (a)는 그림 1(a)과 같이 감쇠극을 위한 도체전극인 커플링 캐패시터는 없지만 loading 캐패시터 도체를 strip line 공진기간에 연결시킴으로서 감쇠극을 고려한 설계를 할 수 있다. 본 구조의 경우 칩 필터 설계에서 loading 캐패시터와 감쇠극을 위한 커플링 캐패시터의 설계값이 제한되는 단점은 있으나 저지 대역의 감쇠특성 및 제조공정의 안정화를 위하여 유용한 구조이다.

그림 2(b), (c)는 그림 2(a)의 등가회로 및 strip line 공진기를 집중소자화한 등가회로로서 $-Y_{12}$ 는 공진기와 공진기간의 전자기적 결합을 나타내므로 병렬 LC회로로 등가화 할 수 있고 $Y_{11}+Y_{12}$ 는 strip line 공진기 자체를 나타내며 병렬 LC로 등가화 할 수 있다. 따라서 공진기의 등가 소자값 C_1, L_1 은 그림 4에서의 $Y_{11}+Y_{12}$ 와 식(1)을 이용하여 구할 수 있으며

$$Y_{11} + Y_{12} = -j \frac{\cot \theta}{Z_{oe}} = j \left(\omega_o C_1 - \frac{1}{\omega_o L_1} \right) \quad (1)$$

$$C_1 = \frac{1}{4\pi Z_{oe}} \left[\frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_o l}{ck}\right)} - \frac{1}{f_o \tan\left(\frac{2\pi f_o l}{ck}\right)} \right] \quad (2)$$

$$L_1 = \frac{Z_{oe}}{\pi f_o^2 \left[\frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_o l}{ck}\right)} + \frac{1}{f_o \tan\left(\frac{2\pi f_o l}{ck}\right)} \right]} \quad (3)$$

전자기적 결합에 대한 등가 소자값 C_3 , L_3 는 $-Y_{12}$ 의 관계를 이용하여 구할 수 있다.

$$-Y_{12} = -j \frac{Z_{oe} - Z_{oo}}{Z_{oe} Z_{oo}} \frac{\cot \theta}{2} = -j \frac{1}{\omega_0 L_3} \quad (4)$$

$$C_3 = \frac{Z_{oe} - Z_{oo}}{8\pi Z_{oe} Z_{oo}} \left[\frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_p l}{ck}\right)} - \frac{1}{f_p \tan\left(\frac{2\pi f_p l}{ck}\right)} \right] \quad (5)$$

$$L_3 = \frac{2Z_{oe} Z_{oo}}{\pi f_p^2 (Z_{oe} - Z_{oo}) \left[\frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_p l}{ck}\right)} + \frac{1}{f_p \tan\left(\frac{2\pi f_p l}{ck}\right)} \right]} \quad (6)$$

여기서 ω_p : 감쇠극 각주파수, ω_o : 공진 각주파수

k : 전파속도율, c : 광속 (3×10^8)

l : 공진기의 길이이다.

3.1.2 감쇠극을 위한 결합 캐패시터가 없는 결합 스트립 선로 등가 소자값 설계

그림 3 (a)는 그림 2(a)와 같이 감쇠극을 위한 도체 전극이 없는 필터의 설계 방법이지만 loading 캐패시터 부분을 분리함으로써 감쇠극을 중심주파수보다 고주파대역으로 이동할 수 있는 구조이고 등가회로에서 감쇠극을 위한 C_{12} 를 L_3 로 등가화할 수 있다. 등가화한 회로의 L_1 , C_1 , L_3 는 식 (7)(8)로부터 구할 수 있다.

$$-Y_{12} = -j \frac{Z_{oe} - Z_{oo}}{Z_{oe} Z_{oo}} \frac{\cot \theta}{2} = -j \frac{1}{\omega_0 L_3} \quad (7)$$

$$Y_{11} + Y_{12} = -j \frac{\cot \theta}{Z_{oe}} = j \left(\omega_o C_1 - \frac{1}{\omega_o L_1} \right) \quad (8)$$

$$L_1 = \frac{Z_{oe}}{\pi f_o^2 \left[\frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_o l}{ck}\right)} + \frac{1}{f_o \tan\left(\frac{2\pi f_o l}{ck}\right)} \right]} \quad (9)$$

$$C_1 = \frac{1}{4\pi Z_{oe}} \left[\frac{2\pi l}{ck \sin^2\left(\frac{2\pi f_o l}{ck}\right)} - \frac{1}{f_o \tan\left(\frac{2\pi f_o l}{ck}\right)} \right] \quad (10)$$

$$L_3 = \frac{Z_{oe} Z_{oo} \tan \theta}{\pi f_o (Z_{oe} - Z_{oo})} \quad (11)$$

3.2. J-인버터에 의한 필터의 등가소자 값 설계

대역통과 필터 설계를 만족하기 위해서는 우선 사양을 만족시킬 수 있는 적절한 저역통과 프로토타입 필터를 설계한 후 주파수 변환에 의해 대역 통과 필터가 설계될 수 있다.[10] 이 대역통과 필터는 직렬 공진과 병렬 공진회로의 두가지 공진으로 이루어져 있어 고주파대역에서는 구현하기가 어렵다. 따라서 이와같은 문제점을 해결하기 위하여 인버터 개념을 도입하며 J-인버터를 이용한 필터의 등가회로는 그림 5(a)와 같다.

3.2.1 감쇠극을 위한 결합 캐패시터를 갖는 필터의 등가 소자값 설계

그림 2(c) 등가회로를 그림 5 (a)로 변환하면 J_{01} , J_{23} 는 입출력 캐패시터로 커플링 캐패시터로 구성된 π 등가회로로 나타낼 수 있으며 J_{12} 는 병렬공진을 위한 C_{12} 로 나타낼 수 있다. 그림 5 (a) J-인버터를 집중 소자화한 등가회로를 그림 5 (b)에 나타내었으며 점선부분은 원래 공진기회로를 나타내고 C_1 은 J-인버터 회로로 변환시킬 때 나타나는 negative 소자값을 상쇄시키기 위한 값이다.[10] 입출력 캐패시터 C_{01}, C_{02} 는 J-인버터 이론으로부터 구하면 다음식과 같으며

$$J_{01} = \sqrt{\frac{G_A b_1 W}{\varepsilon_0 \varepsilon_1 \omega_1}} \quad (12)$$

$$C_{01} = C_{02} = \frac{J_{01}}{\omega_0 \sqrt{1 - \left(\frac{J_{01}}{G_A}\right)^2}} \quad (13)$$

감쇠극 각 주파수 ω_p 에서 어드미턴스가 0 이어야 한다는 조건으로부터 C_{12} 을 구하고 공진기회로로부터 C_{r1} 를 구하면 다음식과 같다.

$$j\omega_p C_3 + j\omega_p C_{12} - j \frac{1}{\omega_p L_3} = 0 \quad (14)$$

$$C_{12} = \frac{1}{\omega_p^2 L_3} - C_3$$

$$j\omega_0 C_r - j \frac{1}{\omega_0 L_1} = 0$$

$$(C_r = C_1 + C_{r1} + C_{01}^e + C_{12} + C_3 - \frac{1}{\omega_0^2 L_3})$$

$$C_{r1} = \frac{1}{\omega_0^2 L_1} + \frac{1}{\omega_0^2 L_3} - (C_1 + C_{01}^e + C_3 + C_{12}) \quad (15)$$

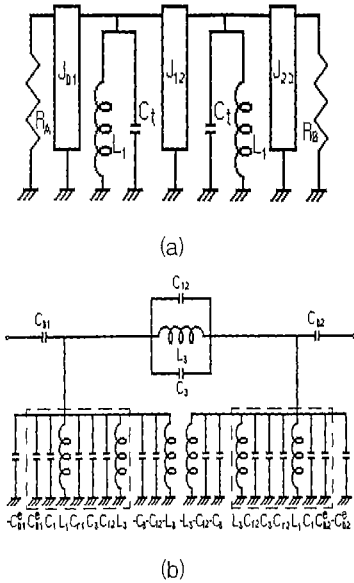


그림 5. 감쇠극을 위한 등가회로가 있는 적층 칩 필터의 J-인버터 이론을 적용한 등가회로
(a) 등가 회로 (b) 집중화된 등가회로

Fig. 5. Equivalent circuit with apply J-inverter theory of multilayer chip filter contented equivalent circuit for attenuation pole.

(a) Equivalent circuit (b) Equivalent circuit with lumped elements.

3.2.2 감쇠극을 위한 결합 캐패시터가 없는 필터의 등가 소자값 설계

그림 3 (c)의 J-인버터에 의한 등가회로는 그림 5 (a)와 동일한 표현이 가능하고 J-인버터를 집중소자화한 등가회로는 그림 6으로 표현되며 C_{01} , C_{02} , C_{01}' , C_{A1} 은 다음과 같이 구해진다.

$$C_{01} = C_{02} = \frac{J_{01}}{\omega_0 \sqrt{1 - (\frac{J_{01}}{G_A})^2}} \quad (16)$$

$$C_{01}' = \frac{C_{01}}{1 + (\frac{\omega_0 C_{01}}{G_A})^2} \quad (17)$$

$$j\omega_0(C_1 + C_{01}' + C_{A1}) - j\frac{1}{\omega_0(L_1 + L_3)} = 0$$

$$C_{A1} = \frac{1}{\omega_0^2 L_1} + \frac{1}{\omega_0^2 L_3} - (C_1 + C_{01}') \quad (18)$$

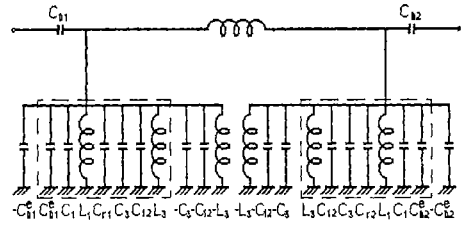


그림 6. 감쇠극을 위한 등가회로가 있는 적층 칩 필터의 J-인버터 이론을 적용한 집중화된 등가회로
Fig. 6. Equivalent circuit with apply J-inverter theory of multilayer chip filter contented equivalent circuit for attenuation pole.

3.3 결합스트립선로 공진기의 구조파라미터 값

설계

결합스트립선로 공진기 구조에서 구하고자 하는 파라미터는 그림 7의 공진기 폭 w , 공진기와 공진기 사이의 간격 g 및 공진기와 접지면사이의 거리 t 로서 이 파라미터들은 결합스트립선로의 우모드 특성 임피던스 (Z_{oe})와 기모드 특성임피던스 (Z_{oo})를 구하는 식으로부터 유도될 수 있다.[9]

$$g = \frac{4t}{\pi} \tanh^{-1} \left[e^{\frac{\pi g}{4t\epsilon_r}} \left(\frac{1}{Z_{oe}} - \frac{1}{Z_{oo}} \right) \right] \quad (19)$$

$$w = 2t \left(\frac{\eta}{Z_{oe} 4\sqrt{\epsilon_r}} - \frac{1}{\pi} \ln [2 + 2 \tanh(\frac{\pi g}{4t})] \right) \quad (20)$$

여기서, w : 공진기의 폭, t : 공진기와 접지면 사이의 거리, g : 공진기와 공진기 사이의 간격, η : 공기의 고유임피던스

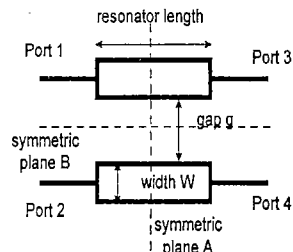


그림 7. 결합스트립선로 공진기 구조
Fig. 7. Structure of coupled strip line.

3.3.1 감쇠극을 위한 결합 캐패시터를 갖는 필터의 결합스트립선로 공진기 구조파라미터값 설계

결합스트립선로의 구조에 맞는 Z_{oe}, Z_{oo} 를 동시에 구하는데는 어려움이 있으므로 이를 해결하기 위해 임피던스 비 p 를 정의하고 J-인버터이론으로부터 얻은 식 (21)을 적용하면 공진기의 구조파라미터를 얻을 수 있는 임피던스 비 p 를 식 (22)로 구할 수 있다.[8], [9]

$$J_{12} = W \sqrt{\frac{b_1 b_2}{g_1 g_2}} = \frac{W}{\omega_0 L_1} \sqrt{\frac{1}{g_1 g_2}} \quad (21)$$

$$(\because b_1 = b_2 = \frac{1}{\omega_0 L_1})$$

$$P = \frac{Z_{oe}}{Z_{oo}} = \left(\frac{2W}{f_0^2 - f_p^2} \sqrt{\frac{1}{g_1 g_2}} \right) \times \left(\frac{\left[\frac{2\pi l}{ck \sin^2(\frac{2\pi f_0 l}{ck})} + \frac{1}{f_0 \tan(\frac{2\pi f_0 l}{ck})} \right]}{\left[\frac{2\pi l}{ck \sin^2(\frac{2\pi f_p l}{ck})} + \frac{1}{f_p \tan(\frac{2\pi f_p l}{ck})} \right]} \right) + 1 \quad (22)$$

3-3-2. 감쇠극을 위한 결합 캐패시터가 없는 필터의 결합스트립선로 공진기 구조파라미터값 설계

감쇠극을 위한 결합캐패시터가 없는 필터의 결합스트립선로 공진기 구조파라미터는 J-인버터 이론으로부터 식 (23)과 같이 구해지므로 임피던스비 p 는 식 (24)와 같이 나타낼 수 있다.

$$J_{12} = \frac{1}{\omega_0 L_3} = W \sqrt{\frac{b_1 b_2}{g_1 g_2}} = \frac{W}{\omega_0 L_1} \sqrt{\frac{1}{g_1 g_2}} \quad (23)$$

$$(\because b_1 = b_2 = \frac{1}{\omega_0 L_1})$$

$$P = 1 + f_0 \tan \theta \sqrt{\frac{W}{g_1 g_2}} \left[\frac{2\pi l}{ck \sin^2(\frac{2\pi f_0 l}{ck})} + \frac{1}{f_0 \tan(\frac{2\pi f_0 l}{ck})} \right] \quad (24)$$

W : Fractional bandwidth, g_1, g_2 : 저역통과필터의 프로토타입 소자

4. 적층 칩 필터의 시뮬레이션 결과

본 논문에서 제작하고자하는 적층형 칩 필터 사양

은 표 1로서 1920~1970 MHz의 통과대역을 갖고 중심주파수가 1945 MHz인 chebyshev형 필터이다. 표 1의 특성을 만족하기 위한 필터의 설계는 앞서 언급한 설계 방법을 이용하여 감쇠극을 위한 결합 캐패시터를 갖는 경우와 없는 경우에 대하여 표 2의 초기값을 얻은 후 마이크로파 회로해석 프로그램인 ADS를 이용하여 설계 방법의 타당성을 검토하였다.

표 1. 적층 칩 필터의 사양

Table 1. Specification of multilayer chip filter

중심 주파수	1945 MHz
통과 대역폭	1920 ~ 1970 MHz
삽입 손실	3 dB Max.
반사 손실	10 dB Min.
입출력 임피던스	50 [Ω]
크 기	4.5(W)×3.2(L)×2.0(t) Max.

표 2. 적층 칩 필터의 설계 결과

Table 1. Design result of multilayer chip filter

	감쇠극 있는 등가회로 값	감쇠극 없는 등가회로 값
공진기 길이	2.6 [mm]	2.3 [mm]
C_{o1}	0.86 [pF]	0.97 [pF]
C_{r1}	9.5 [pF]	9.0 [pF]
C_{i2}	0.54 [pF]	
L_3		60 [nH]
g	1.2 [mm]	0.91 [mm]
w	1.7 [mm]	0.77 [mm]
t	0.6 [mm]	0.6 [mm]

그림 8은 ADS를 이용하여 시뮬레이션한 결과로서 (a), (b)는 감쇠극을 위한 결합 캐패시터를 갖는 경우이고 (c)는 감쇠극을 위한 결합 캐패시터가 없는 경우로서 필터특성이 필터 사양과 일치함을 볼 수 있으며 앞 절에서의 설계 방법이 타당함을 확인할 수 있다. 그림 8 (a),(b)에서 보면 감쇠극의 위치가 900[MHz]와 1250[MHz]에 존재함을 볼 수 있다. 감쇠극 위치는 C_{i2} 값의 조정을 통하여 얻을 수 있으며 감쇠극 주파수가 증가할수록 저주파대역에서 감쇠특성이 향상됨을 볼 수 있다. 그림 8 (c)을 보면 감쇠극을 위한 결합 캐패시터가 있는 경우와 달리 감쇠극의 위치가 중심 주파수보다 높은 주파수인 5200[MHz]에 존재함을 볼 수 있다. 이와 같은 결과

는 공진기와 공진기 사이의 전자적 결합에 의한 감쇠극 주파수가 중심 주파수보다 커진다는 보고와 일치함을 볼 수 있다.[10]

본 연구에서는 필터의 감쇠특성도 필터의 성능에 영향을 끼치므로 중심주파수보다 낮은 주파수에서의 감쇠 특성을 가지는 감쇠극을 위한 결합 캐패시터를 갖는 경우의 설계 방법으로 필터의 구조를 시뮬레이션한 후 제작하였다.

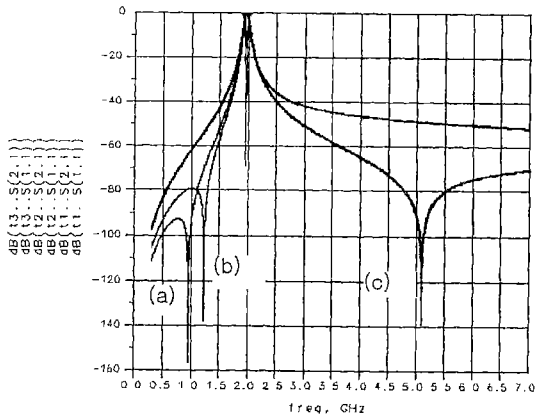


그림 8. ADS를 이용한 시뮬레이션 결과
(a)감쇠극을 위한 등가회로 있는 필터 결과
(b)감쇠극을 위한 등가회로 없는 필터 결과

Fig. 8. Simulation result of using ADS

(a) simulation result of multilayer chip filter contented equivalent circuit for attenuation pole.

(b) simulation result of multilayer chip filter non-contented equivalent circuit for attenuation pole.

그림 9는 감쇠극을 위한 결합 캐패시터를 갖는 경우에 대하여 설계된 회로소자값을 Maxwell 방정식에 의하여 분산소자 형태로 구조화한 전체 구조 및 시뮬레이션한 결과를 나타내었다. 그림 9 (a)는 입, 출력 캐패시터, 스트립라인 공진기 등의 도체전극 크기와 sheet의 두께를 정한 후 FEM을 기초로 하여 삼각형 또는 사면체의 mesh로 구조를 분할하였다. 각 mesh의 node에서 Maxwell 방정식의 해를 반복적으로 계산하는 HFSS를 이용하여 시뮬레이션한 필터의 구조로서 외부를 도체로 하고 내부는 유전율 40.2로 지정한 후 양쪽면에 입, 출력포트를 지정하였다. 실제 구조에서 캐패시터 설계시 공진기와의 커플링에 의한 기생 캐패시터, 공진기 위치에 따른 전류 세기가 달라진다. 따라서 공진기의 개방면으로 갈수록 전류가 최대가 되어 커플링이 최대가 되고 공진기의 접지면으로 갈수록 전류가 최소가 되어 캐

패시턴스가 조금씩 변화한다. 따라서 도체전극의 크기 및 sheet의 정확한 두께는 얻기 위하여 여러번의 시뮬레이션을 통하여 그림 9 (b)와 같은 필터 특성을 얻을 수 있었으며 ADS의 시뮬레이션 결과와 일치함을 볼 수 있다.

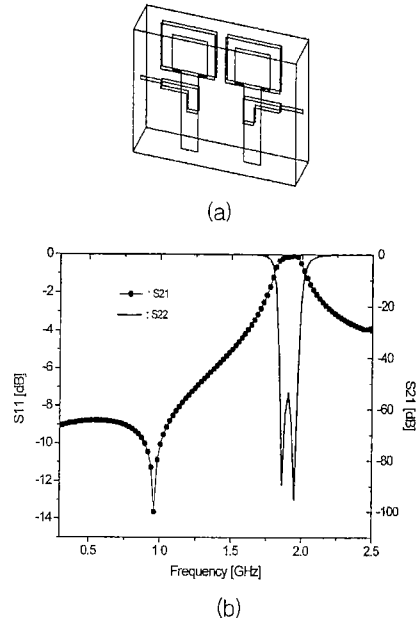
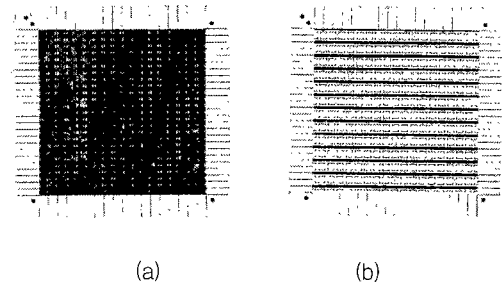


그림 9. HFSS를 이용한 시뮬레이션 결과
(a) 적층 칩 필터 구조 (b) 시뮬레이션 결과

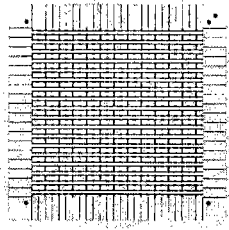
Fig. 9. Simulation result of using HFSS
(a) Configuration of multilayer chip filter (b) Simulation result

그림 10은 실제 필터 제작에 필요한 전극패턴으로서 (a)는 접지 패턴 (b)는 스트립라인 공진기 패턴 (c)는 입출력 및 loading 캐패시터 패턴이다.



(a)

(b)



(c)

그림 10. 적층 칩 필터의 전극 패턴

- (a) 접지 (b) 입출력 캐패시터 와 loading 캐패시터
- (c) 스트립라인 공진기 패턴

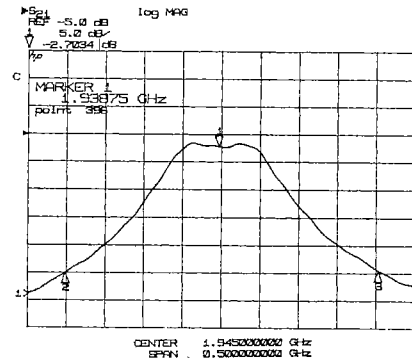
Fig. 10. Electrode patterns of multilayer chip filter.

- (a) ground pattern
- (b) input and output capacitor and loading capacitor
- (c) strip line resonator pattern

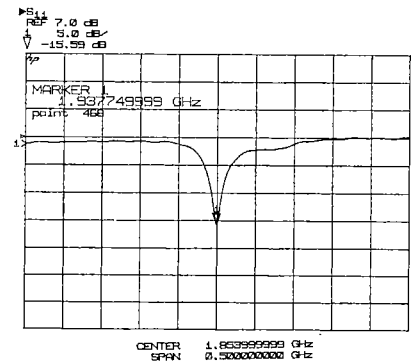
5. 적층 칩 필터의 제작 결과

본 실험에서 사용한 세라믹 분말의 마이크로파 유전특성은 900°C의 소결온도에서 유전율 40.2, 품질계수($Q \times f_0$) 11,800, 공진주파수의 온도계수는 $-1.2[\text{ppm}/^\circ\text{C}]$ 였다. 필터의 제작은 칩 부품의 대표적인 구현 방법인 테이프 캐스팅법을 이용하여 유전체 sheet를 제작하였으며 스크린 프린팅법을 이용하여 은(Ag) 전극을 인쇄하고 적층, 압착, 절단공정을 거쳐 바인더를 탈지 후 900°C에서 소결하였다. 소결된 적층 칩을 연마 후 은(Ag)전극을 이용하여 입, 출력 단자 및 접지단자 형성하였다.[7] 그림 11 (a)는 제작된 적층 칩 필터를 Network Analyzer(HP, 8510C)를 이용하여 S_{21} 을 측정한 결과로서 중심주파수는 1938[MHz]이고 통과대역내의 삽입손실은 2.703[dB], 대역폭이 50[MHz]임을 알 수 있으며 그림 (b)에서의 통과대역의 반사손실은 $-15.59[\text{dB}]$ 로 측정되었으며 중심주파수보다 200[MHz] 낮은 주파수에서의 감쇄량은 25[dB]로 측정되었다. 시뮬레이션 결과와 비교하여 보면 중심주파수가 설계 사양보다 7.0[MHz] 낮게 측정되었지만 대역폭 및 삽입손실은 시뮬레이션 값과 유사한 값을 얻을 수 있었다. 설계값보다 중심주파수가 낮게 측정된 원인으로는 필터 제작시 소결과정 중에서 중심주파수를 결정하는 파라미터인 C_{r1} 층이나 공진기층과 차폐층의 두께가 설계된 것보다 두꺼워져 나타난 현상으로 중심주파수 결정에 캐패시터를 형성하는 층이 매우 민감함을 볼 수 있었다. 그림 11 (c)는 적층 칩 필터의 특성 임피던스가

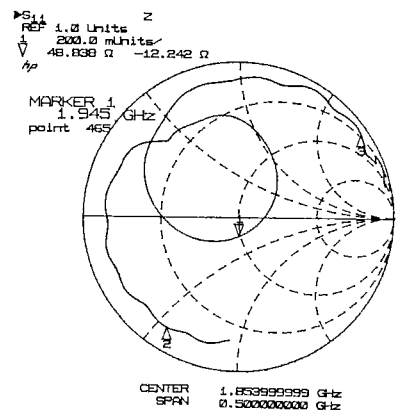
특성곡선으로서 특성 임피던스가 약 $48.8 + j12.24[\Omega]$ 으로서 설계시 특성 임피던스인 $50[\Omega]$ 과 유사한 값을 나타내고 있으며 다소 차이가 있는 것은 측정시 측정 지그 단자와 설계시 고려하지 못한 입력 및 출력단자의 기생용량 및 두께 편차 의한 결과로 예상된다.



(a)



(b)



(c)

Fig. 11. 적층 칩 필터의 측정결과
 (a) S_{21} 측정 결과 (b) S_{11} 측정 결과
 (c) 임피던스 특성

Fig. 11. The measured results of multilayer chip filter.
 (a) S_{21} measurement result (b) S_{11} measurement
 result (c) Characteristic Impedance

6. 결 론

본 논문에서는 기존의 감쇠극을 위한 커플링 캐패시터스가 있는 구조를 적층 칩 필터를 실제 제작시 공정상의 불량을 줄일 수 있는 구조를 제안하고 필터 설계 방법을 확립하였다. 즉, 감쇠극을 위한 전극은 별도로 설계하지 않지만 등가회로상에 설계 방법을 통하여 감쇠극이 있는 등가회로 필터 설계 방법을 통하여 차세대 이동통신용 적층 칩 필터를 제작하였다. 시뮬레이션 결과 적층 칩 필터의 설계 방법이 타당함을 확인하였으며 시뮬레이션 결과를 이용하여 적층 칩 필터를 제작하여 측정한 결과 중심주파수는 1938[MHz]이고 통과대역내의 삽입손실은 2.703[dB], 대역폭이 50[MHz]로서 설계값과 유사한 결과를 나타내었다. 본 연구 결과 차세대 이동통신 단말기에 이용되는 적층 칩 필터의 제작 가능성을 볼 수 있다.

감사의 글

본 연구는 1999년도 호서대학교 학술연구비 지원에 의해 수행되었습니다.

참고 문헌

[1]. S.Urabe, "Developments in Mobile/Portable Telephone and Key Devices for Miniaturization", IEICE TRANS. ELECTRON., E79-C ,no.5. pp .600-605, 1996

[2]. Ryoji Imai, "Dielectric Filter Technology Strives to Shrink Components, Retain Characteristics," JEE October, pp. 24-26, 1994.

[3]. T. Ishizaki, M. Fujita, H.Kagata, T.Uwano and H.Miyake, " A Very Small Dielectric Planar Filter for Portable Telephone," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-42, no,11, pp. 2017-2022, 1994.

[4]. H.kagata, Y.Inoue, J.Kata and I.Kameyama, "Low fire bismuth based dielectric ceramics for

microwave use," Jap.J.Appl.Phys.,vol.32, Part 1, no .9B, pp3152-3155, 1992

[5]. T.Kitamura, M.Geshiro, T. Ishizaki and T.Maekawa, "Characterization of Triplate strip Resonators with a Loading Capacitor," IEICE TRANS. ELECTRON., E81-C, no.12, pp1793-1799, 1998.

[6]. Sang Ki Ko, Kyung Young Kim, and Byong Ho Kim, "Characteristics of tapped microstrip bandpass filter in BiNbO₄ ceramics," Journal of Materials Science Materials in Electronics 9, pp.351-356, 1998.

[7]. Jung Rag Yoon, Serk Won Lee and Heun Young Lee, "Design and Fabrication of Multilayer Chip Band Pass Filter for Mobile Communication," Journal of the Microelectronics & Packing Society, vol.6, no.3, pp.19-24, 1999.

[8]. A. D. Vincze, "Practical Design Approach to Microstrip Combine type Filter," IEEE Trans. on Microwave Theory and Techniques, vol. MTT-22, pp. 1171-1181, December 1974.

[9]. E.M.T. Jones and J.T. Bolljhan, "Coupled Strip Transmission Line Filters and Directional Couplers." IEEE Trans. on Microwave Theory and Techniques. vol .MTT-4, pp. 75-81, April 1956.

[10]. G.L.Matthaei, L.Young, and E.M.T. Jones, Microwave Filters, Impedance Matching Networks, and Coupling Structures, Artech House, 1985.