

기판의 Non Contact 전기 검사 기술



타다시 코바야시
(일본, (유)소립기술사무소 대표)

1. 서론

급속하게 진행되는 전자기기의 고기능화와 소형화에 대응하기 위하여, 프린트 기판의 제조면에서는 고밀도화 기술이 급진전되고 있다. 그러나, 이러한 제품의 전기 검사 기술은 그것에 충분히 대응하지 못하고, 기술, 비용의 양면에서 검사의 난이도가 증가되고 있다.

전기 검사에서는 프린트(Print)회로의 도체의 한 끝단에 전압을 인가(전원공급)할 때, 다른 도체의 끝단에서 그 전위를 측정(검출)한다. 이것에 사용하는 Probe는 현재, 전원 공급용, 검출용 모두 기구적으로 접촉시키는 것이 대부분이다. 만일 MCM, BGA, Buildup 배선판에 Pad Pitch가 급속히 축소되면, 전기 검사에도 그것에 대응할 수 있는 미소 Pitch Probing기술이 요구된다. 현재 150 μ m Pitch까지의 기구적 Probing이 개발되어 있고, 한층 미세화 기술의 개발이 진행되고 있다.

그러나 미소 Probe에는 기계 강도가 약하여 절연확보가 어렵고, Probe의 전기 저항이 크게 된다. 따라서 Probe Cost가 급증한다. Maintenance가 곤란한 것도 문제다. 양산품의 검사 이외에는 비용면에서 채용 곤란하다. Flip Chip실장에는 현재 Pad Pitch가 80 μ m이지만, 가까운 장래에 50 μ m Pitch가 필요하다고 예상되고 있으며, 이것에 대응 가능한 기술은

Spring Probe 방식, 도전 고무 방식 모두 아직 완성단계에 이르지 못하고 있다.

Assembly에 대한 검사에는 각 Net의 Node에 Probe를 대고 탑재 부품 단위로 검사하는 ICT(In Circuit Tester)를 행한 후, Print판 Connector의 단자에서 신호를 입출력하여 Assembly의 기능을 검사하는 기능테스트(Function Test)를 행하는 2단 방식이 일반적이다.

Assembly 불량률의 대부분은 Open불량, 실장 불량, Short 불량이다. 그 밖에 제품 출하 검사 후에 접촉 불량률 일으키는 납 유사 접촉 불량(냉땀) 등, BGA에는 납 접촉부가 은폐되어 Probing이 불가능한 문제도 있다. Assembly의 전기 검사는 현재, 전용 Probe 치구 방식과 Flying Probe방식이 주체로 되어 있으나, 치구 방식은 Probing 곤란과 높은 비용때문에, Flying Probe는 검사 속도가 늦기 때문에 이것에 대신할 수 있는 검사 방법의 개발이 기대되고 있다.

급속히 고속화가 진행되고 있는 반도체에 있어서도 검사는 큰 문제로 되고 있다. 통상 반도체 내부에는 Probing이 불가능하기 때문에 종래 Device Test는 Device 단자에서 테스트 패턴(Test용 입력 Data의 Set로서 Test Vector라고도 한다)을 입력하고, 그의 출력을 Device 단자에서 취출하여 해석하는 방법에 의한다. 그러나 집적도가 높고 아날로그(analog), 디지털(Digital)의 혼재 등 복잡화가 진행되어, 1개의

Device를 [통제] Test하는 것은 거의 불가능하게 되어 가고 있다. 따라서 Device내부에 코어 로직(Core Logic)에 추가적으로 테스트용 Logic을 마련하여 Device를 Block으로 나누어 검사하는 DFT(design For Test, 테스트용이화 설계)가 주목되고 급후의 대규모 집적회로의 테스트는 이 방법이 중심이 된다고 예측되고 있다.^[1]

DFT는 기본적으로 Probing에 의해 검사하지 않고, LSI에 한하지 않으며, 보드(Board)나 시스템의 검사에도 적용 가능하다. 그러나 DFT에 필요한 배선, Logic을 위한 비용과 영역의 Overhead와 DFT에 대응함에 따라서 성능이 약간 저하되는 등의 문제로 인하여 전면 채용에는 이르지 못하고 있다. 그러나 급후, 전자 시스템의 모든 단계(Level)에 검사의 곤란성이 높아짐에 따라 급속히 보급이 진행된다고 보여진다.

2. Non Contact Probing검사

2.1 Probing법의 비교

다음 표는 종래의 Probing법과 이하에 소개하는 새로운 Probing법에 있어서의 방식, 치구비 및 검사 속도를 비교한 것이다. 대량 생산 품종으로 접촉이 가능하면 전용 치구가 최적이다.

소량 생산품으로서 검사 속도가 문제가 되지 않으면 Flying Probe방식이 최적으로 된다. 그러나 급후의 수요의 중심으로 되는 중량 생산 품종에 대해서는 양자 모두 제품 가격당의 검사 비용이 과대하게 되는 것이 현상이다. 치구비가 싸고, 검사 속도가 빠른 Non Connect Probing기술이 확립된다면, 장래의 이 분야에 급속히 보급되어 1999년은 Non Connect 검사 원년, 2002년에는 보급률 40%에 달한다고 하는 예측도 있다.^[2]

표 1. 전기 검사에서의 Probing

	접촉	검출	치구비	검사 속도
1. 전용 치구	접촉	접촉	고	고
2. Universal 치구	접촉	접촉	중	고
3. Flying Probe	접촉	접촉	저	저
4. EO 이용	접촉	비접촉	중	중
5. 전자 Beam 이용	비접촉	비접촉	저	고
6. 광전 효과 이용	비접촉	비접촉	저	고
7. Plasma 이용	비접촉	비접촉	저	저(?)

2.2 EO효과를 이용하는 검사기

EO효과는 전기광학 효과(Electro-Optic Effect)의 약자로서, 물질이 외부에서 전계되었을 때 그의 굴절율이 변화하는 현상을 말한다. 굴절율의 변화가 전계에 비례 경우를 "Bogels" 효과라고 한다. 프린트판 또는 그의 부품 실장품의 도체의 한

끝단에 어떠한 방법으로 전압을 인가하면 도체의 주변에 전계가 발생한다. 도체에 EO효과를 검출하는 소자를 접근시켜, 그 전계를 측정하는 것에 의해 도체 Open의 유무를 검출할 수 있다. 또, 인접 도체와의 사이에 Short가 있는 경우도 전계 강도가 증가하므로 Short를 검출할 수 있다. 이 원리에 기반을 둔 비접촉 검사장치가 개발되고 있다. 단, 표에 나타나 있는 것과 같이 전원을 공급하는 부분에는 접촉식의 Probe를 사용하므로 완전한 Non Contact라고는 말할 수 없다. 전원 공급측은 비교적 넓은 Pitch이며 검출측은 대단히 미세한 Pitch의 프린트판의 검사가 된다.

검사의 공간분해능을 올리기 위해서는 EO소자를 가능한 피 검사판의 도체에 근접시킬 필요가 있다. 또 전계의 공간적인 변화를 두드러지게 하기 위하여 검사 도체에 플러스전압을 인가하는 경우에, 인접도체에는 마이너스전압을 인가하는 등의 연구가 도입되어지고 있다.

그림 1은 石川島播磨重工業 미국의 PDI사가 공동으로 개발한 액정 TFT Array 기판 검사 장치의 원리를 나타낸 것이다.^[3] Array기판의 화소 전극에 전압을 인가한 상태에서 기판 상에 Modulator(EO소자)를 근접시켜 그 상면에서 광을 조사하고, Modulator내의 EO효과에 의해 편광시킨 반사광을 CCD Camera로 촬영, 화상처리하여 전압 맵을 작성한다. 이 전압분포를 분류하여 화소의 양부, 결함 종류를 판별한다. 명확한 단선 이외에 ON불량, Off 불량 등의 불완전한 결함검출도 가능하다. Modulator는 검사 영역 70mm×70mm로서 기판과의 거리를 약 20 μ m로 유지, 검사의 공간 분해능 80 μ m까지를 보증하고 있다. 이 Modulator를 XY방향에 이동하여 대형 사이즈의 검사를 가능하게 하고 있다.

BGA의 Flip Chip Pad와 Ball Pad사이에 Short/Open검사에 EO효과를 이용한 예도 있다.^[4] 이 방식에는 Flip Chip

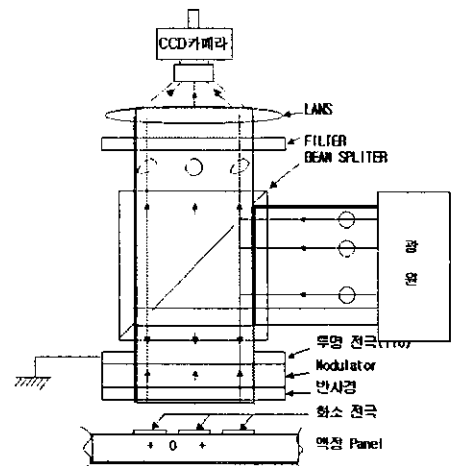


그림 1. 액정 array Checker의 검사 원리

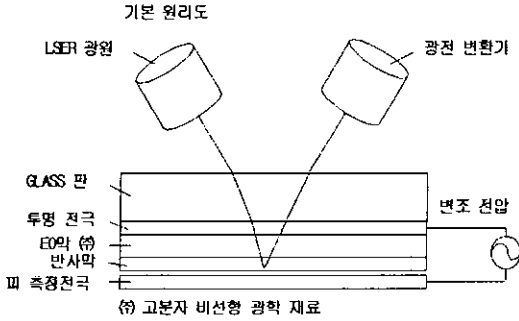


그림 2. 고분자 EO막 센서

답게측에 EO Sensor(그림 2)를 올려 놓고, 그 위를 레이저광으로 스캔(Scan)한다. BGA의 Ball측과 EO Sensor위에 설치된 투명 전극간에 교류전압을 인가하여, 레이저광의 입사각 및 반사각이 일정하도록 BGA를 올려놓은 Stage를 Pad열에 따라 이동시켜서 스캔을 한다. 이 방식의 장점은 사용하는 EO 소자가 고분자 비선택 광학재료의 박막(수 μm 두께)으로 가능하게 되고, 코팅된 얇은 반사막을 열어 직접 Pad에 접촉시키는 점이다. 이러한 EO소자와 검사 도체를 밀착시키는 것에 의해 높은 공간분해능(최소 검출 패턴 폭 $20\mu\text{m}$, 최소 검출 Pitch $50\mu\text{m}$)을 얻고 있다. 재료는 "신전자"와 독일의 "Kisto"사가 공동 개발함.

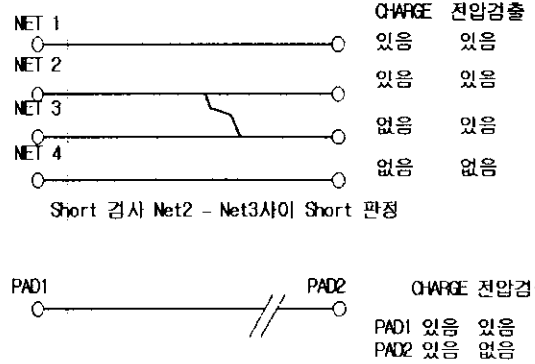
2.3 전자 빔(Beam)을 이용한 검사기¹⁵⁾

진공중의 프린트기판의 도체에 전자 빔을 입사하면 도체에 충전이 되고, 이 전위를 바꾸는 것이 가능하다. 이 경우 전자가 들어가기 때문에 마이너스 충전으로 된다. 어떠한 방법으로 도체의 전위를 비접촉으로 측정이 가능하다면, 프린트기판의 Open/Short검사기를 구성하는 것이 가능하다.

그림 3에 있어서 Net1,2, . . .와 순차 충전하여 가고, 각 Step으로 근처 Net의 전위를 측정하면 Net간의 Short를 검출하는 것이 가능하다. 또, 1 Net의 한 끝에서 충전하고 다른 끝에서 전위를 측정하면 Net내의 단선을 검출할 수 있다.

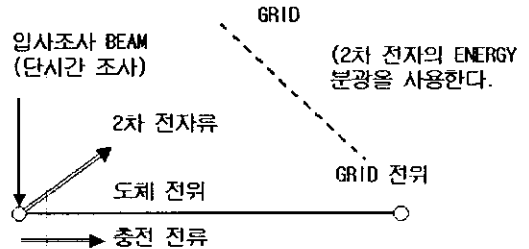
도체 전위 측정원리의 한 예를 그림 4에 나타내었다. 도체에 입사된 전자흐름은 도체를 충전하는 것과 동시에 2차 전자의 흐름을 방출한다. 이 전자의 흐름은 양극으로 모이게 되지만, 양극과의 사이에 Grid전극을 놓고 일정한 Grid전위를 준다. 도체가 충전된 전위가 마이너스방향으로 움직이면 방출된 2차 전자의 에너지가 증가하므로, 어떤 레벨(Level) 이상의 에너지를 갖는 2차 전자흐름의 크기를 측정하면 도체 전위를 측정하는 것이 가능하다.

단, 검사 시작전에는 전부의 도체 전하를 방전시킬 필요가 있다. 이 방전에는 저에너지의 Ion Shower를 입히는 Flat 총이 사용된다.



OPEN 검사 Net1 - Net2사이 OPEN 판정

그림 3. 전자 빔 테스트의 검사 원리



2차 전자류 (일정 Energy이상 유지할 것)

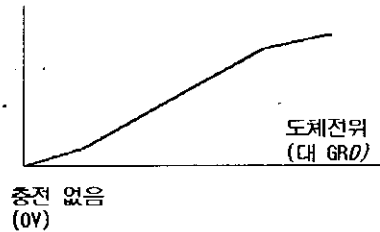


그림 4. 전자 빔 테스트의 전압 측정 원리

전자 빔 테스트는 기본적으로는 Open /Short Tester이지만, 측정 데이터의 처리에 의해 $100\mu\text{m}$ 의 절연 검사가 가능하게 된다. 그러나 Open판정치는 $10 \sim 100\mu\text{m}$ 으로 높다. 단, 일정 전류로 도체를 충전하면서 전위의 변화를 측정하면 Net의 전기용량을 측정하는 것도 가능하다.

전자 빔 방식의 장점은 그 스캔속도이다. $10,000$ Pad의 스캔에 요하는 시간은 300ms 정도가 된다고 한다. 한편 100Torr (0.0013 기압)정도의 고진공 하에서 스캔하기 때문에 진공을 만드는 시간이 걸리지만, 미리 로드록으로 기판의 세트(Set)와 함께 진공기를 행한 다음, 그 상태로 시험 진공조에 옮기면 시간을 단축할 수 있다.

2.4 광전 효과를 이용한 검사기⁽⁶⁾

진공중의 프린트판의 도체에 레이저빔을 입사하면 도체에서 광전자가 방출된다(광전효과). 프린트판에 대하여 Grid전극을 놓고 일정한 플러스전위를 부여해 놓으면 광전자의 크기는 충전이 지속됨에 따라서 감소하여 간다. 이유는 도체가 플러스에 충전됨에 따라 Grid와의 전위차가 작아지기 때문이다. 광의 입사를 방지하면 충전은 정지되고 도체전위는 일정하게 유지된다. 이 도체에 재차 레이저빔을 주사하여도 도체전위가 이미 올라가 있기 때문에 광전자의 방출은 별로 발생하지 않는다. 이렇게 하여 광전자류를 측정하는 것에 의해 도체 전위를 판정하는 것이 가능하다.

이 원리를 응용한 것이 광전 효과 이용의 검사기이다. 그림 5에 Short검사중의 광전류, 도체전위의 개념적인 Profile을 나타내었다. 접속이 정상이라면 실선의 Profile로 되지만, Short가 있으면 점선의 Profile로 되므로 불량을 검출할 수 있다. Open검사의 경우는 Net내의 Pad에 순차 레이저빔을 조사함으로써 같은 형태의 불량을 검출할 수 있다.

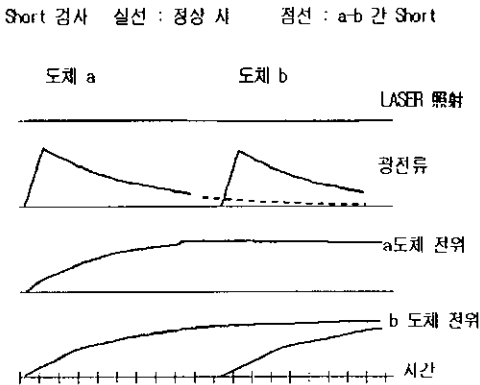


그림 5. 광전효과 테스트의 검사원리

Short, Open검사의 Algorithm은 전자 빔 테스트의 경우와 같다. 방출된 광전류의 크기에 따라서 조사끝의 Net에 연결되어 있는지 아닌지를 판정한다.

광전류 변화의 Profile을 해석하는 것에 의해 1~100MΩ의 절연저항의 측정이 가능하게 된다. 보통 판정레벨은 현재의 것은 아직 100~1000Ω으로 비교적 높다. 전자 빔의 경우도 같다. 도체에 대전된 전하를 방전시키는 기구가 필요하게 된다.

레이저의 스캔속도는 AOI처럼 고속화가 가능하다. Flying Probe방식보다 10배 이상이라고 한다. 이 방식도 진공흡입기가 필요하나, 필요한 진공도가 100mmHg(0.2~0.3기압?)으로서 전자 빔 테스트보다 낮기 때문에 진공흡입 시간이 짧고, 장치의 비용도 비교적 낮다. 시스템 전체의 비용은 전자 빔보다 저렴하다고 한다.

3. Soft적인 전기 검사 기술

3.1 DFT와 BIST⁽⁷⁾

피시험 Device(DUT라고 약칭함)의 내부에 시험에 필요한 기능을 갖게 만든 것이 DFT대응 Device이다. 다음에 기술하는 바운더리 스캔(Boundary Scan)법은 DFT의 하나이다.

바운더리 스캔법에는 테스트기능(테스트 패턴의 생성, 결과의 해석) 자체는 Device(또는 Board)의 외부에 놓고, 그곳에서 테스트 패턴이 IC내부의 각 Block(또는 Board상의 각 부품)의 단자에 공급시켜, 테스트 패턴에 대응하는 Device(또는 Board)에서의 응답이 테스트에 돌아오게 되어 해석된다. 소프트웨어적인 Probing수단이라고 하는 것이 적절하다.

BIST법은 DFT의 또 하나의 축이다. BIST의 특징은 DUT 내부에 테스트 패턴의 생성이나 결과의 해석 기능도 내장하고 있는 것이다. 아날로그, 디지털, 메모리(Memory) 등 타입이 다른 복수의 Block이 집적되어 있는 경우, Block 곳곳에 테스트기능을 갖고있게 만들면 실시간에 가까운 속도로 Block을 검사하는 하는 것이 가능하다. 각 Block의 검사 결과는 압축된 형태로 바운더리 스캔 버스(Boundary Scan bus)를 경유하여 외부에 취출하는 것이 가능하다.

SOC(System On Chip) 등의 고집적도 LSI의 검사에는 BIST가 필수로 되고 있다. 그러나 집적도가 높게 됨에 따라 필요한 테스트 패턴의 수가 기하급수적으로 증가하여, 그 생성이나 결과의 해석용 Logic이 반도체의 영역에 점유 비율이 높아지게 되므로 적절한 Block으로 나누어 분할공략(Divide and Conquer)⁽⁷⁾과 BIST방법의 선택이 중요하게 된다. 또 Analog Bist의 개발이 과제로 되고 있다.⁽¹¹⁾

3.2 바운더리 스캔법⁽⁸⁾

바운더리 스캔법은 1990년 IEEE 1149.1로 규격화되었다. Test Block이 필요하지 않도록 소프트웨어적인 In-circuit 검사방법이다. 그러나, 이것을 가능하게 하기 위하여 탑재 IC 및 기판에는 [바운더리 스캔 대응]의 회로가 들어가 있지 않으면 안된다(그림 6). 즉, 탑재된 IC에는 IEEE 1149.1에 규정한 회로를 내장하고 바운더리 스캔 전용 핀(4 또는 5 핀)이 추가되어 있을 것. 부품을 탑재한 프린트판에 바운더리 스캔 전용의 배선을 가지고 있을 것.

이하여 바운더리 스캔법의 개요를 그림 6에 간단히 설명한다. 그림 6에 나타낸 것과 같이, 바운더리 스캔 대응의 IC(device)에는 입력 핀과 코어 로직 사이에 그리고 코어 로직과 출력 핀 사이에 각각 바운더리 스캔 셀(Boundary Scan Cell)이라고 부르는 Shift Register(with Latch)를 준비한다. 또 TAP(Test Access Port)이라고 부르는 전용 Pin, TDI(Test Data In), TDO(Test Data Out), TCK(Test Clock), TMS(Test Mode Select), TRST(Test Reset)가 추가된다

(TRST는 Option).

각 IC에는 코어 로직에 추가적으로 검사 Step을 제어하는 테스트 로직(Test Logic)이 준비되어 있다. 테스트 로직에는 TAP Controller, Instruction Register 등의 Register가 들어 있다. Instruction Register는 명령 코드를 읽어내어 Decode하여, 각종의 기능을 실행시키는 Register이다(그림 8에는 이것을 대표하여 TAP Controller라고 기입되어 있음). 각 IC의 내부의 TDI단자에서 입력한 테스트 데이터는 각 핀의 바운더리 스캔 셀을 거쳐서 TDO로 나오게 되어 있다. 이것을 종합하여 바운더리 스캔 레지스터(Boundary Scan Register)라고 한다. Instruction Register의 명령 코드는 TMS를 선택하는 것에 의해서 TDI단자에서 입력하는 것이 가능하다.

프린트 기판에서는 또 하나의 IC의 TDO에서 다음 IC의 TDI에 각 IC를 직렬로 접속한다. 그 결과, 프린트 기판상의 IC의 바운더리 스캔 셀이 전부 프린트기판상의 TDI에서 TDO까지 스캔 체인으로 연결되게 된다. 한편, TCK, TMS, TRST신호는 각 IC에 병렬로 배선된다.

그림 6에 IC1, IC2사이에 Short/Open 검사를 하는 경우에 있어서 간단히 조작을 설명한다. Test Vector를 daisy Chain으로 연결된 프린트기판의 TDI단자에서 Clock의 Timing으로 순차적으로 입력하고, 정확히 IC1의 출력 핀 위치에 온 시점에서 TMS를 조작하여 IC1의 출력 스캔 셀에 Set한다. 다음 TMS를 조작하여 IC2의 입력 핀의 상태를 IC2의 스캔 셀에 Set하고, Clock의 Timing으로 프린트 기판의 TDO에서 받아 내어서 입력된 Test Vector와 비교하는 것으로서 IC1의 출력 핀과 IC2의 입력 핀사이의 Short/Open을 검출한다.

현규격으로는 디지털 회로에만 적용가능(아날로그회로는 규격화 진행중)하며, 비대용의 IC도 꽤 많기 때문에 현재의 상태로서는 전체의 테스트는 하지 못하고, 바운더리 스캔법으로

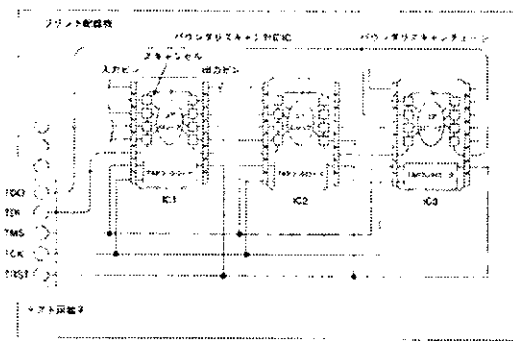


図6 バウンダリスキャンテスト用の接続

그림 6. 바운더리 스캔 테스트용의 결선

검사가 되지 않는 부분에 대해서는 접촉 Probing이 병용되고 있다. 그러나 바운더리 스캔 대응의 IC는 급속히 증가하고 있어 향후 보급이 크게 진전되리라고 예측되고 있다(Data Quest사의 조사에는 2000년까지의 채용율 62%).

3.3 SCITT법¹⁰⁾

SCITT법(Static Component Interconnection Test Technology)은 Boundary Scan법과 같이 물리적인 Probing을 하지 않고, 프린트기판상의 LSI사이의 Short/Open 검사를 행하는 방법이다. 이 기술은 富士通과 Phillips사가 공동 개발한 것이다.

바운더리 스캔법과의 차이점을 이하에 정리한다.

① 탑재한 IC에는 소량의 ROM(또는 Decoder)회로의 추가가 요구되지만, 바운더리 스캔법에서 사용하는 테스트전용 핀은 필요하지 않다. SCITT법에는 코어 로직용 입출력 핀을 테스트에 병용하기 때문이다.

② 부품을 탑재한 테스트기판에는 Test Vector출력 및 테스트 출력 평가용의 컨트롤러(CPU도 있을 수 있다)가 접속될 수 있도록 하지 않으면 안되나, 컨트롤러, CPU는 프로그램으로 제어 가능하므로 테스트 전용의 회로는 필요하지 않다.

③ 테스트기능의 항목은 Open/Short 실장 누락, 오(誤)실장은 바운더리 스캔법과 같이 하는 것이 가능하다. 단, 바운더리 스캔법으로 가능한 내부 로직 검사 및 탑재 부품과 User Code를 읽어내는 기능은 없다.

이상과 같이 SCITT법은 바운더리 스캔법의 기능의 일부는 대응하지 못하나 주요한 테스트(Open/Short검사)는 실행이 가능한 한편, 구성이 간단하고 저비용의 검사가 실현 가능하다. 이 기술이 규격화되고 보급되면 유력한 검사 수단이 된다고 생각한다. 그림 7은 SCITT 기술의 기본 개념을 RAM탑재 Board의 예로 나타내고 있다.

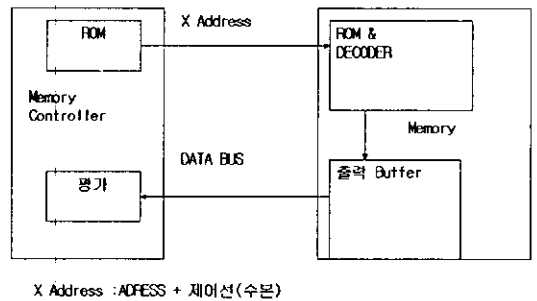


그림 7. SCITT기술의 기본 개념

Test Vector를 Core 회로의 Address Pin, 제어 핀을 이용하여 입력하고, 코어 회로의 Data Bus를 이용하여 테스트 출력을 얻는다. 이렇게 코어회로의 배선을 테스트에 이용하는

참고문헌

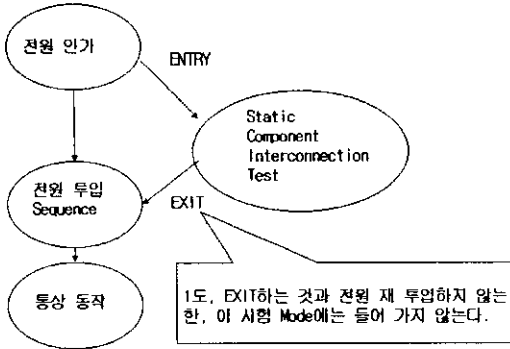


그림 8. SDRAM(SCITT기능부)에서의 상태 천이도

것으로 본래의 코어 로직의 동작에 지장이 없게 된다. 전원 투입시만 테스트 모드에 들어가서 테스트 종료 후에 코어 로직의 통상 동작에 들어 가게 된다(그림 8).

테스트는 입력이 N개의 경우, 모두 "0", 모두 "1", 하나만 "1"이고 나머지는 전부 "0" (Walking "1") 및 입력의 하나만 "0"이고 나머지는 모두 "1" (Walking "0")인 4종의 Test Vector를 입력하여 LSI에서의 출력을 Out Port Bus에서 읽어 낸다. 그 출력이 LSI소정의 패턴으로 된 경우에, 입력측, 출력측 모두에 배선, 납땜에 Open/Short는 없는 것으로 판단한다.

즉, 입력 Vector에 대한 출력 Vector의 정상, 이상의 판정은 RAM의 경우는 RAM에 써 넣는 내용과 그것을 읽어 내는 내용을 비교하면 좋으나, 일반적인 ASIC에 대해서는 그 내부에 전용의 ROM을 갖고, 입력 데이터에 대한 출력치의 진리치표(True Table)를 저장하여 놓으면 테스트가 가능하게 된다. ASIC의 경우 테스트 모드에는 본래의 판기능에 관계없이 전부 피시험 단자로서 취급 되지만, 진리치 표의 작성 방법 및 테스트 모드에의 Entry / Exit 방법의 표준화가 필요하다.

4. 결 론

이상, 최근의 전기 검사의 새로운 원리, 방법에 대해서 2, 3을 소개하였다. 다양한 사양, Lot Size의 프린트기판을 하나의 검사기술로 검사하는 것은 불가능하고 지극히 비경제적으로 되어 버린다. 금후는 복수의 검사 기술을 각각 최적의 부분에 적용하여 전체로서 효율적, 경제적인 검사를 실현할 수 있는 통합화 기술이 요구되고 있다. Non Connect Probing 검사기는 점차적으로 일부가 제품화되는 단계이지만, 금후 급속히 실용화가 진행된다고 예상된다. 또, DFT는 본래 반도체 검사의 방법으로서 개발된 것이나, MCM이나 Board Assembly의 검사에 있어서 중요성이 높아지고 있다고 생각한다.

- [1] International Technology Roadmap for Semiconductors, Int. SEMATIC, 1999.
- [2] C. Vaucher: "Electrical Test: Where are we and where are we going?", ECWC8, 1999.
- [3] 石川島播磨重工 Catalog, 1998
- [4] 新電子 Catalog, 1999
- [5] M. Brunner: "Contactless Electrical Testing of HDI Bare Boards Leveraging Electron-beam LCD Testing Technology", IEEE conf abstract 052799.
- [6] Mario A. Cugini: "No Fixtures, No Contact, No Marks Non Contact Electrical Test via Controlled Electron Migration", Noah Systems, Inc.
- [7] V. D. Agrawal, et. al., 「LSI에BIST방법을 적용한 시스템의 Test Cost 低減」, 日 Electronics no.619, 1994.
- [8] C. M. Maunder and R. E. Tulloss: "The Test Access Port and Boundary Scan Architecture", IEEE Computer Society Press Tutorial 4.
- [9] 富士通技術資料 "Static Component Interconnection TEST Technology", 1998.

저 자 약 력

성명 : 타다시 코바야시

❖ 약 력

KOBAYASHI Tadashi-born in 1931,
Graduated in electrical engineering of Kyoto University in 1954

Worked for PWB technologies at Mitsubishi Rayon and Ryoko Electronics. President of Kobayashi PC Technology Office and PC-Techno. New activities Consulting services, Printed circuit technology.

✉ E-mail: ept@gicho.co.jp

- 역자 : 백 갑 찬 (LG생산기술원) -