

플라즈마 디스플레이 패널의 구동방식 및 구동회로



권오경
(한양대학교 전자 전기 공학부)

요약

플라즈마 디스플레이는 시야각이 매우 넓으며 비선형성이 우수하고 수동 행렬 구동이 가능하다. 제조 방법이 다른 표시 장치보다 간단하고 대형화가 용이하기 때문에 42인치 이상 대형 표시 장치로 많은 회사에서 플라즈마 디스플레이를 개발 및 상용화 하고 있다. 플라즈마 디스플레이는 초기에는 PMD(Pulse Memory Drive) 및 NOA(Nomally On Anode) 방식으로 구동하는 DC PDP를 중심으로 개발되었으나, DC PDP의 소비 전력이 매우 크고 패널의 수명이 짧기 때문에 더 이상 개발되지 않고 현재 AC PDP를 중심으로 개발 및 상용화가 되고 있다. AC PDP를 구동하는 방법으로 어드레스 구간과 유지 방전 구간이 완전히 분리된 ADS(Address Display Separation) 방식과 유지 방전이 진행되는 동안 어드레스를 하는 AWD(Address While Display) 방식이 있다. 그러나, ADS나 AWD 방식으로 고해상도 고휘도의 PDP를 구동하기가 어렵기 때문에 고해상도의 PDP를 구동할 수 있는 ALIS, MAoD, MASS 방식 등이 개발되었다. 그리고, AC PDP는 유지 방전할 때, 패널에 고전압을 충전하고 방전하기 때문에 패널에서 소모하는 전력이 많아 이를 줄이기 위해 에너지 회수 회로를 사용하여 전력 소모를 줄이고 있다. 본 논문에서는 PDP의 구조 및 동작 원리에 대해서 설명하고, 계조를 표시하기 위한 구동 방법, 전력 소모를 감소시키기 위한 에너지 회수회로 및 구동회로에 대해서 기술하였다.

1. 서론

플라즈마 디스플레이는 다른 평판 디스플레이 장치 보다 40인치 이상의 대형화에 적합하며 매우 강한 비선형성, 좌우 160도 정도의 광시야각의 특성을 가지며, 형광체의 발광을 이용하기 때문에 1678만 풀 컬러 구현이 용이하다. 그리고, 현재 40인치 대화면 표시장치 시장에서 CRT를 대체할 수 있는 유일한 평판 표시장치로 각광을 받고 있다.^(1,2) PDP의 기본적인 동작 원리는 다음과 같다. 양 전극 사이에 있는 네온(Ne),

아르곤(Ar), 제논(Xe) 또는 이들의 혼합물질은 높은 전압이 인가되면 이온화가 발생되어 플라즈마 상태로 변하게 된다. 이 때 플라즈마의 전리 현상에서 나오는 VUV(Vacuum Ultra Violet)가 RGB로 구성된 형광막을 자극하여 밝기와 색상을 표시하게 된다. PDP는 전극이 방전 기체에 노출되어 있는 DC PDP와 전극이 방전 기체에 노출되어 있지 않고 유전체에 덮여 있는 AC PDP의 두 종류가 있다. 제2절에서는 DC PDP와 AC PDP의 구조와 동작 원리에 대하여 설명하고 제3절에서는 DC PDP와 AC PDP의 구동 방식 및 계조 구

현 방식에 대하여 설명한다. 제4절에서는 PDP의 전체 시스템에 대하여 설명하였다. 제5절과 제6절에서 각각 에너지 회수 회로와 구동회로에 대해서 설명하였으며 제7절에서 결론을 기술했다.

2. PDP의 구조 및 동작 원리

2.1. DC PDPs

초기에 개발된 매트릭스(matrix) 형태의 DC PDP 구조는 그림 1에 개략적으로 도시되었다.⁽¹⁾ 그림 1에서 보는 것 같이 한쪽 유리판에 있는 전극은 세로로 전극이 구성되어 있고, 맞은편의 유리판에 있는 전극은 가로로 형성되어 있어, 표시하고자 하는 셀에(가로축의 전극과 세로축의 전극에 각각) 고전압을 인가하여 방전할 수 있도록 설계되어 있다. 셀 간의 간섭이 없도록 가운데 유리판에는 작은 구멍을 만들어 놓고 전극들이 교차되는 셀에 불활성 기체를 밀봉한다. DC PDP는 전극들이 직접 방전공간에 노출되어 있는 것이 특징이다.

2.2 AC PDPs

초기에 개발된 격자구조 형태의 개략적인 AC PDP 구조는 그림 2와 같다.^(1,2) 전극이 방전할 때 발생하는 플라즈마에 노출된 구조인 DC PDP와는 달리 AC PDP는 방전 셀과 전극 사이에 유전체가 있어 플라즈마로부터 전극을 보호하는 구조를 가지고 있다. 이러한 구조를 이용하면 플라즈마 식각에 의한 수명이 단축되는 DC PDP보다 패널의 수명이 길며 에너지 회수 회로를 적용하기 용이한 장점이 있다. 그리고 MgO는 방전이 일어날 때 플라즈마에 의한 유전체의 손상을 막기 위한 보호층으로 사용되며 2차 전자 방출 계수가 큰 물질이기 때문에 방전 효율을 높일 수 있다.

AC PDP는 전극 위에 유전체가 있으므로 플라즈마에 의해서 발생된 전자나 양이온이 전계에 의해 유전체 위에 쌓이는데 이것을 벽전하라고 하며 AC PDP의 동작에 중요한 역할을 한다. 그림 3은 외부에서 인가되는 전압에 따라 벽 전하의 분

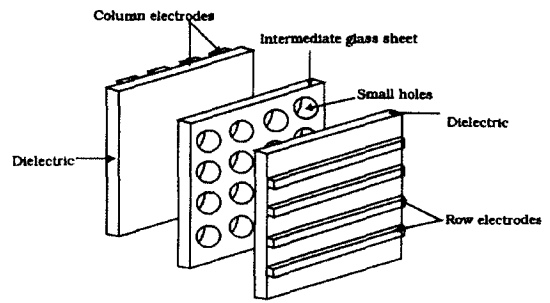


그림 2 AC PDP의 구조

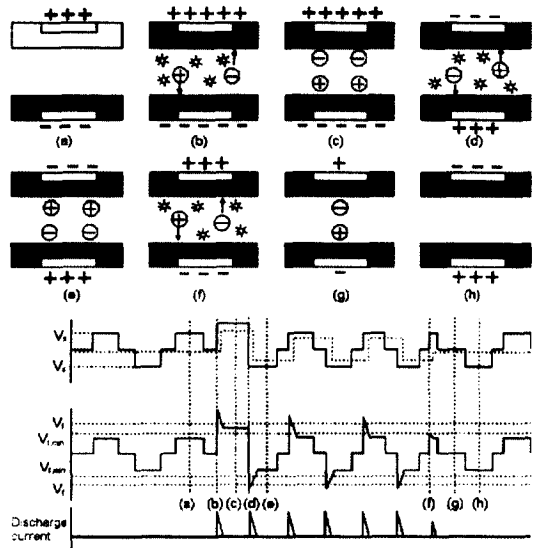


그림 3 AC PDP의 동작 원리

- (a) 방전개시전압(firing voltage)보다 낮은 전압, 방전이 발생하지 않음
- (b) 방전개시전압보다 큰 전압이 인가, 초기 방전이 발생
- (c) 양이온은 음극으로 전자는 양극으로 이동, 벽전하를 형성
- (d) 방전개시전압보다 작은 전압(유지 전압)으로 방전
- (e) (d) 방전후 벽전하의 분포
- (f) 짧은 펄스폭으로 벽전하가 소거
- (g) 벽전하가 거의 소거된 상태
- (h) 완전히 벽전압이 소거된 상태

포를 통해 AC PDP의 동작을 설명한 것이다.^(1,2) 첫 번째 파형도에서 실선은 전극에 인가하는 전압을 나타내고, 점선은 벽전하에 의해서 형성된 벽전압을 나타내고 있다. 실제로 벽전압은 그림 3에서 보여진 것과는 반대의 극성으로 발생된다. 두 번째 파형도는 외부 인가 전압과 벽전압의 합을 나타낸 것으로 실제 방전공간에 걸리는 유효 전압이다. 이 때의 전압이 V_f 이상이 되면 셀에 방전이 일어나게 된다. 세 번째 파형도는

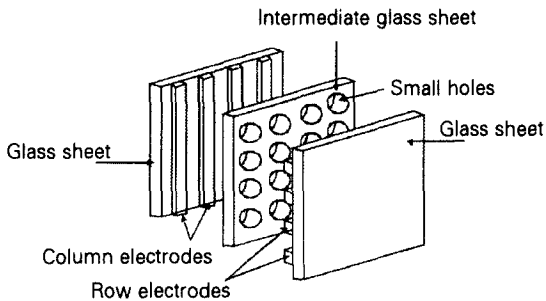


그림 1 DC PDP 구조

방전 전류를 나타내고 있다. 다음은 그림 3에 나타난 AC PDP의 동작을 각 단계별로 설명한 것이다. 그림 3 (a)에서는 초기방전전압 V_f 이하에서 방전이 일어나지 않으며 초기방전 전압 V_f 이상이 인가되는 그림 3 (b)에서 방전이 일어난다. 이후 벽전하에 의해 초기방전전압 V_f 보다 낮은 전압에서 방전이 지속되며, 방전을 발생하지 않기 위해서는 그림 3 (f)와 같이 별도의 소거 펄스를 인가 하여 벽전하를 제거 한다. 소거 펄스는 짧은 시간동안 방전하여 이전 단계에서 생성되어 있던 벽전하를 중화시킨다. 그리고 소거 펄스에 의해서 방전이 되어 양이온과 전자가 다시 생성되어도 소거 펄스의 폭이 유지방전 펄스보다 짧기 때문에 벽전하가 유전체에 형성되지 않는다. 또한 펄스 전압을 작게 인가하여 소거 펄스를 인가하는 방법도 사용된다. 일단 벽전하가 없어지면 셀을 다시 방전시키기 위해서는 방전개시전압 이상의 전압을 외부로부터 인가해야 한다.

3. 구동 방식

3.1 DC PDP 구동방식

초기에는 DC PDP를 구동하기 위해서 리프레시(refresh)형 구동방식(단순 스캔형, 자기-스캔(self-scan)형)등 여러 방식들이 개발되었으나,^[1,2] 최근에는 PMD(Pulse Memory Drive, 펄스 기억 구동) 방식을 사용하여 DC PDP를 구동하고 있다. PMD방식은 NHK에서 PDP의 기억 특성을 이용하여 DC PDP를 구동하기 위하여 개발되었다.^[3,4] 그림 4는 DC PDP의 단면도이고 패널의 전극중 보조 양극(auxiliary anode)의 역할은 보조 셀(auxiliary cell)에 방전을 일으켜 플라스마 이온들을 중화 통로(priming path)를 통해 표시 셀(display cell)로 이동시킨다. 이러한 플라스마 이온은 표시 셀(display cell)의 방전 전압을 낮추어 초기 방전을 일으키는 역할을 한다. 이러한 효과를 중화 효과(priming

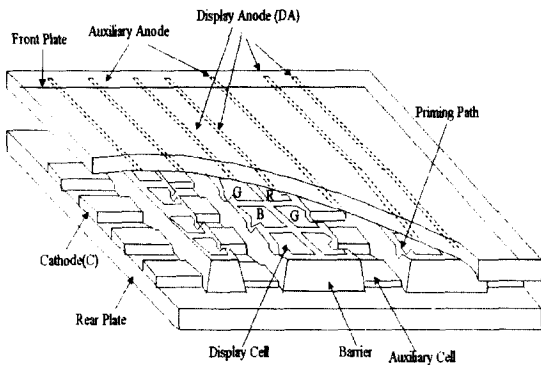
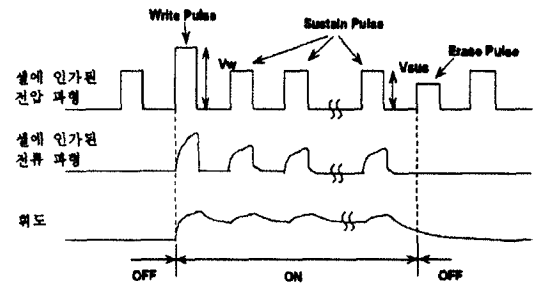
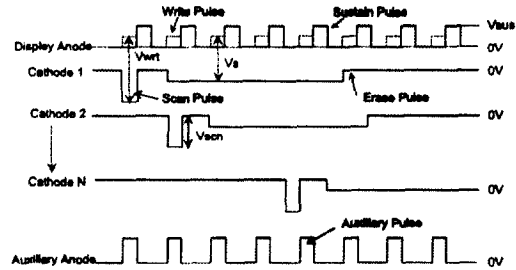


그림 4 DC PDP의 단면도



(a)



(b)

그림 5 (a) 펄스 기억 구동 방식의 원리

(b) NHK의 PMD(Pulse Memory Drive) 방식의 구동 파형

effect)라고 한다. 그림 5 (a)는 PMD(Pulse Memory Drive) 방식의 구동 원리를 나타낸 것이다. 유지전압(sustain voltage)은 방전 개시 전압(firing voltage)보다 작기 때문에 유지 전압을 인가하기 전에 방전이 발생되어야 유지 전압을 인가하였을 때 선택된 셀에서 방전이 발생된다. 그래서, 먼저 방전 개시 전압 V_f 이상의 크기를 갖는 기입 전압(write voltage)이 인가된 후, 계속해서 유지 전압이 인가되면 방전이 지속된다. PMD방식은 한번 방전 후에는 V_f 보다 낮은 전압으로도 방전이 유지되는 것이 특징이다. 그 이유는 방전이 발생되었을 때 불활성 기체들 중 일부는 준안정상태(metastable state)인 원자들이 존재하고, 다음 펄스가 인가될 때는 셀의 재방전 전압을 낮추어 주는 역할을 하기 때문에 방전 개시 전압보다 낮은 유지 전압으로 방전을 유지시킬 수 있는 것이다.

그림 5(b)는 PMD 방식에 따른 구동 파형을 나타낸 것이다. 먼저 어드레싱이 시작될 때 양극 전극에 기입 전압이, 음극 전극에 스캔 전압이, 보조 양극(auxiliary anode) 전극에는 보조 펄스(auxiliary pulse)가 인가된다. 이 때 음극 전극과 보조 양극 사이의 전압이 음극 전극과 양극 전극 사이의 전압보다 크다. 이로 인해 음극 전극과 보조 양극 전극 사이(auxiliary cell)에서 방전이 일어나 발생된 방전 때문

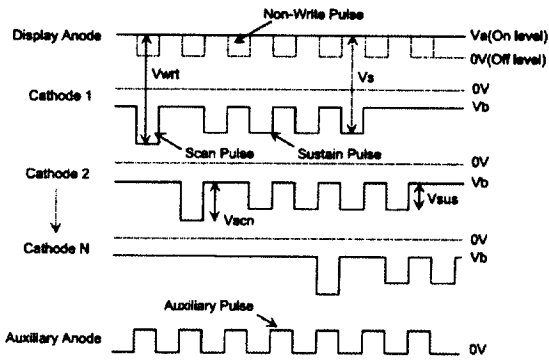


그림 6 OKI사의 NOA(Nomally On Anode)방식의 구동바형

에 형성된 플라즈마가 표시 셀(display cell)로 이동하여 음극 전극과 양극 전극 사이의 셀 방전이 낮은 전압에서도 발생할 수 있도록 한다. 이후 양극 전극에 유지 전압을 인가하고 음극 전극에 일정한 전압을 인가함으로써 양극 전극과 음극 전극에서 유지 방전을 일으킨다. 그리고, 음극 전극에 0V를 인가하여 양극 전극과 음극 전극 사이의 전압을 작게 하면 더 이상 방전이 일어나지 않는다. 이 방식은 구동 파형에서 볼 수 있듯이 양극 전극에 3가지의 전원 전압(접지 전압 포함)이 인가되고, 음극 전극에 3가지의 전원 전압(접지 전압 포함)이 인가되어 총 5가지의 전원 전압을 필요로 하기 때문에 구동 회로를 설계하는데 가격을 상승시키는 요인이 된다. 이러한 단점을 보완한 마쓰시타의 전원 전압의 종류를 3개로 감소시키는 방식⁽⁴⁻⁸⁾과 OKI의 NOA (Normally On Anode) 방식이 있다.^(9,10) OKI사의 NOA 방식에서는 양극의 구동 파형의 전원 전압의 수를 5가지로 증가되지만, 일정한 바이어스 전압을 인가하여 회로 규모나 전압의 변화 폭을 줄인 구동 방식을 제안하였다. 그림 6은 OKI사의 NOA(Normally-On Anode) 방식을 나타낸 것이다.⁽⁸⁻¹⁰⁾ 이 구동 방식의 바이어스 전압(V_b)은 항상 음극 전극에 인가된 상태이고, 스캔 펄스는 1번째 행부터 N번째 행까지 순차적으로 인가된다. 그리고 스캔 펄스와 동기하여 보조 펄스가 모든 보조 전극에 인가되어 순서대로 한 전극씩 보조 셀에서 방전이 발생되어 표시 셀에 중화 효과를 가져온다. 양극은 두가지 종류의 전원 전압이 사용된다. 양극의 전압이 V_a 일 때는 음극의 스캔 펄스와와 전압차이가 V_f 이상이 되기 때문에 방전이 일어나고, 0V일 때는 음극의 스캔 펄스와의 전압 차이가 V_f 보다 작기 때문에 방전이 발생되지 않는다. 따라서 선택적으로 셀을 방전시킬 수 있다. 또한 음극에서 스캔 펄스와 유지 전압을 인가할 때 일정한 바이어스 전압을 인가하여 전압의 변화 폭을 감소시킴으로써 스캔 구동 LSI 칩 크기를 감소시킬 수 있다.

3.2 AC PDP 계조 구현 방식 및 구동 방식

AC PDP의 구동 파형은 어드레싱 구간과 유지 구간으로 크게 나눌 수 있다. 어드레싱 구간에서는 각 스캔 전극과 어드레스 전극으로 각 화소에 대한 데이터를 전송하여 각각의 셀을 선택적 방전시키거나 소거시키고, 유지 구간에서는 각 화소의 데이터를 유지하면서 계조를 구현한다. AC PDP에서는 동작 원리상 각 셀에 데이터를 기입한 후 인가하는 유지 펄스의 개수로서 계조를 나타내는 부화면(subfield)을 사용하고 있다.⁽¹¹⁾

3.2.1 기존의 계조 구현 방식

그림 7은 기본적인 PDP의 계조 표현 방식을 나타내고 있다. C1에서 C480은 스캔 전극을 나타내고 1 화면을 n(여기에서는 $n=8$)개의 부화면으로 분할한다. 각 부화면 마다 모든 스캔 전극을 이용하여 어드레싱을 하고 어드레싱이 끝난 후 바로 유지 방전을 하게 된다. 이때 각 부화면에서 발생하는 유지 방전의 횟수를 2의 지수로 차등을 두게 된다. 예를 들어 $n=8$ 이면 $m=2^n=256$ 계조를 구현할 수 있다.

먼저 유지 펄스 사이에서 스캔 전극에 기입 전압을 인가하고 그와 동시에 데이터 전극에 데이터 전압을 인가하여 스캔 전극과 데이터 전극 사이에서 어드레스 방전을 발생시킨다. 그 후 유지 전극과 스캔 전극에 교대로 유지 전압을 인가함으로써 유지 방전을 발생시키고 계조를 구현한다. 어드레스 방전은 전면 기판에 있는 데이터 전극과 후면 기판에 있는 스캔 전극 사이에서 발생되고 유지 방전은 후면 기판에 평행하게 놓여 있는 유지 전극과 스캔 전극의 두 전극 사이에서 일어난다. 또한 중화 효과는 패널의 셀이 켜질 확률을 증가시키기 위하여 각 부화면이 시작될 때 수행한다.

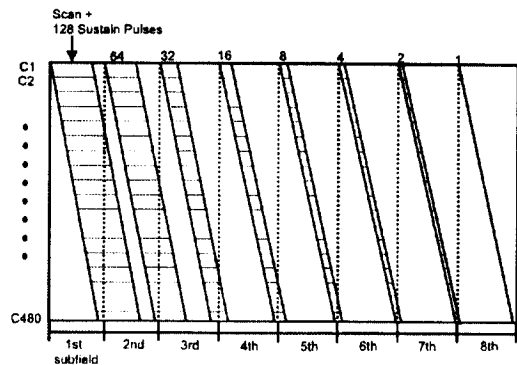


그림 7 기존 방식에 따른 계조 구현 방식

3.2.2 Address Display Separated(ADS) 방식

주요 AC PDP 개발업체에서 주로 사용되고 있는 ADS 방식은 일본의 후지쓰사에서 개발한 AC PDP 구동 방식으로 기존의 방식과는 달리 어드레스 구간과 유지 구간을 완전히 분

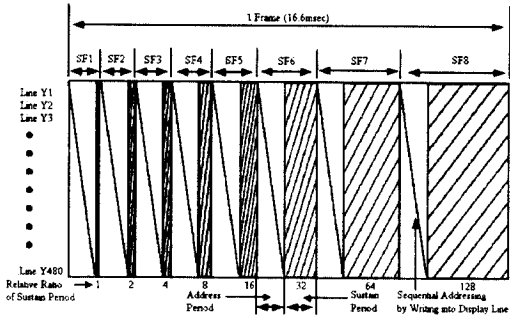


그림 8 ADS 구동 방식에 따른 계조 구현 방법

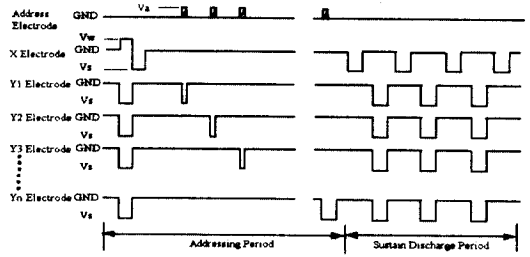


그림 11 선택적 소거에 의한 ADS 방식의 구동파형

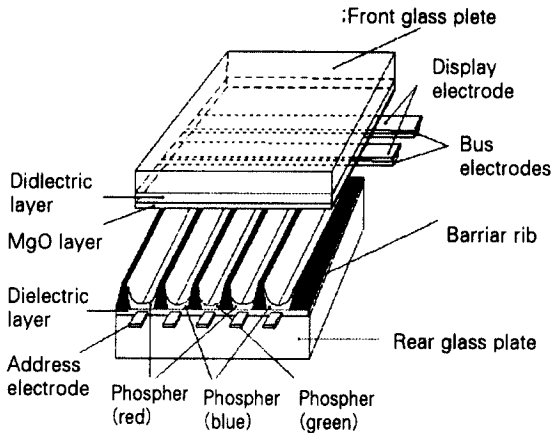


그림 9 3전극 면방전 AC PDP의 단면도

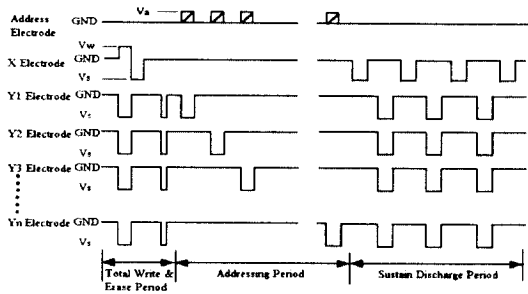


그림 10 선택적 기입에 의한 ADS 방식의 구동파형

리하여 AC PDP를 구동한다. 그림 8은 ADS 방식의 계조 구현 방법을 나타낸 것이다. 기존 방법에서는 유지 펄스 주파수가 높기 때문에 전력 소모가 크다는 단점이 있다. ADS 방식은 각 부화면마다 먼저 어드레싱을 하고 유지 방전은 모든 유

지 방전 전극과 모든 스캔 라인 전극에 유지 펄스를 인가하여 패널의 모든 셀들이 동시에 유지 방전을 한다. 이러한 구동을 할 경우 유지 펄스 회로와 에너지 회수 회로의 구성을 외부 개별 소자로 구성이 가능하여 구동 회로의 구성이 간단해 지고 구동 IC의 전력 소모를 줄일 수 있다.⁽¹⁶⁾ 먼저 하나의 화면을 8개의 부화면으로 분할한다. 각 부화면에서 Y1에서 Y480까지 어드레스 과정을 수행하고 난 후 모든 스캔 라인을 하나로 묶어서 동시에 유지 펄스를 인가하여 계조를 나타낸다. 그림 9는 후지쓰사의 3전극 면방전형 AC PDP 구조에 대하여 나타낸 것이다. 후지쓰사의 AC PDP는 전면 기판에 스캔 전극과 유지 전극이 평행하게 놓여져 있고 후면 기판에는 어드레스 전극이 놓여져 있다. RGB 형광체는 줄 구조로 되어 있다.⁽¹⁷⁻²⁰⁾

그림 10과 그림 11은 그림 9와 같은 3전극 면방전형 AC PDP의 구동 파형을 나타낸 것이다. 그림 10은 선택적 기입에 의한 어드레싱 방법을 나타낸 것으로 먼저 각 부화면을 어드레싱 하기 전에 패널의 전체 셀에 기입하기 위하여 스캔 전극과 어드레스 전극에 전압을 인가하여 전면 방전을 시킨 후(전면기입), 스캔 전극에 짧은 폭의 펄스를 인가하여 전면 방전에서 형성된 벽전하를 소거시킨다(전면소거). 이러한 과정을 거치는 이유는 전체 셀의 중화효과(priming effect)를 얻기 위해서다. 어드레스 방전은 데이터 전극과 스캔 전극에 전압을 인가하여 방전을 일으킨다(선택적 기입). 유지 방전은 기존의 방식과 달리 유지 전극과 스캔 전극에 유지 전압을 번갈아 인가하여 방전을 일으킨다(면방전). 이 때 모든 스캔 전극을 하나로 묶어서 동시에 같은 전압을 인가한다. 선택적 기입 방식은 대비율(contrast ratio)이 좋아지는 장점이 있으나 어드레스 펄스의 폭이 넓기 때문에 어드레스 기간이 늘어나는 단점이 있다. 그림 11은 선택적 소거에 의한 어드레스 과정을 나타낸 것으로 전면 기입하여 모든 셀에 벽전하를 형성시킨 후 어드레싱 과정을 수행하면서 선택적으로 소거한다. 어드레스 방전을 수행할 때 소거하지 않을 셀은 어드레스 전극과 스캔 전극에 인가하는 소거 펄스와 같은 전압을 인가하여 소거방전이 일어나지 않도록 한다(선택적 소거). 이후 유지 방전은 그림

10과 동일하다. 이 방식은 선택적 기입에 의한 방식보다 어드레스 펄스 폭이 짧아 어드레스 기간이 줄어드는 장점을 갖고 있다.

위에서 설명한 ADS 방식은 AC PDP에서 가장 많이 사용되는 방식으로 구동 회로를 설계하기가 쉽고 구동 회로의 소비 전력을 줄일 수 있다는 장점을 가지고 있다. 그러나 HDTV 해상도에서는 어드레스 기간이 너무 길어 화면 표시가 어렵다는 단점이 있다. 이를 해결하기 위하여 어드레스 전극을 상하로 분리하여 2블록 구동을 하여야 하는데 이 경우 구동 회로의 비용이 상승하여 생산 단가가 증가하게 된다.

3.2.3 Address While Display(AWD) 구동 방식

기존 방식과 ADS 방식은 화면 구동 시간 중 어드레스 시간이 너무 길고 유지 방전 기간, 즉 화면 표시 기간이 짧아 휘도가 저하되는 단점이 있다. 이것을 보완하기 위하여 유지 펄스의 주파수를 증가시켜야 하는데 이럴 경우 전력 소모가 증가할 뿐만 아니라 방전시간이 충분치 않아 불안정한 방전을 야기시킬 수 있다. AWD 방식에서는 그림 12에 나타난 것처럼 유지 방전의 사이에서 어드레스 방전을 하기 때문에 거의 1 화면 구간의 전부를 유지 방전 기간으로 사용하여 고휘도화가 가능하다. (31, 32)

그림 13은 AWD 방식에 따른 AC PDP 구동 파형을 나타낸 것이다. AC PDP는 앞의 후지쓰사의 AC PDP와 동일한 3전극 면방전형이다. 이 방식의 원리는 ADS 방식에서는 각 부화면 표시 시간이 시간적으로 독립되어 있어 그 부화면에 해당하는 데이터만을 순차적으로 어드레싱 하지만, AWD 방식에서는 동시에 여러 개(최대 8개)의 부화면에 동시에 구동되고 동시에 여러 개의 부화면에 대한 데이터를 어드레싱한다. 구동을 상세히 설명하면 다음과 같다. 먼저 1 화면을 262.5H(1H=63.5s)로 나누고 다시 1H를 n4(8-bit 계조인 경우 n=8)의 시간 간격으로 나눈다. 먼저 첫 번째 부화면에 0H04에 첫 번째 어드레스-유지 전극과 데이터 전극에 전

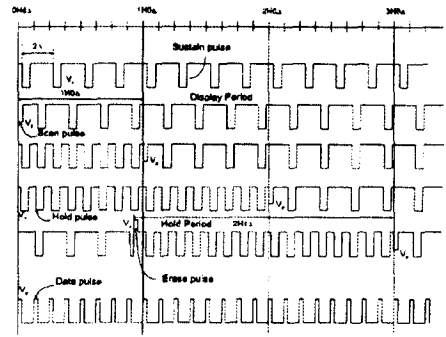


그림 13 AWD 방식에 따른 구동 파형

압을 인가하여 기입 방전을 일으키고 곧바로 유지 전극과 어드레스-유지 전극 사이에 교대로 유지 전압을 인가하여 유지 방전을 일으킨다. 그리고 1H후 두 번째 부화면에서 1H04에 첫 번째 어드레스-유지 전극과 데이터 전극에 전압을 인가하여 기입 방전을 일으키고 곧바로 유지 전극과 어드레스-유지 전극 사이에 번갈아 유지 전압을 인가하여 유지 방전을 일으킨다. 이런 방식으로 모든 스캔 라인에 대하여 어드레싱이 끝나면 다음 부화면에 대한 어드레싱을 수행한다. 각 부화면에 대하여 어드레스가 끝나면 소거 전압을 인가하여 벽전하를 소거시킨다. 또한 일정한 기간동안 휴지(hold) 펄스를 인가하여 패널의 전체 셀의 벽전하가 일정하게 되도록 초기화한다. 이 방식은 앞에서 설명한 두 가지의 계조 구현 방식에 비해 휘도를 높일 수 있다는 장점을 갖고 있으나 구동 회로의 설계가 어렵고 어드레스 펄스 간의 간격이 있기 때문에 구동 가능한 해상도의 제한이 있다. 62KHz의 유지 방전 파형을 인가할 경우 VGA(640×480) 해상도의 패널을 구동하기 위해서는 2블록 구동을 해야 한다.

3.2.4 ALIS 구동 방식

ALIS 구동은 다른 AC PDP구동 방식들과 달리 구동하는 패널의 구조가 다르다. 그림 14에서 기존 방식을 사용하는 3전극 AC PDP와 ALIS 방식을 사용하는 3전극 AC PDP와 다른 패널 구조와 유지 방전 위치를 표시하였다. 기존 ADS 방식으로 3전극 AC PDP를 구동하려면 그림 14(a)에서 보는 것같이 각 화소마다 1개의 스캔 전극과 1개의 유지 방전 전극이 필요하기 때문에 전체 PDP화면에서 전극이 점유하는 면적이 넓다. 그리고, 그림 14(a)에서 보는 것같이 Y1과 X2, Y2와 X3, Y3과 X4, Y4와 X5사이에서는 유지 방전하지 않기 때문에 방전하여 빛이 발생되는 화소의 면적이 매우 좁은 단점이 있다. 따라서, 해상도가 증가하면 전극이 차지하는 면적이 더욱 증가하여 화소의 면적이 감소하게 되고, 어드레스 시간도 증가되어 계조를 표시하기 위한 시간이 감소하게 되어 휘

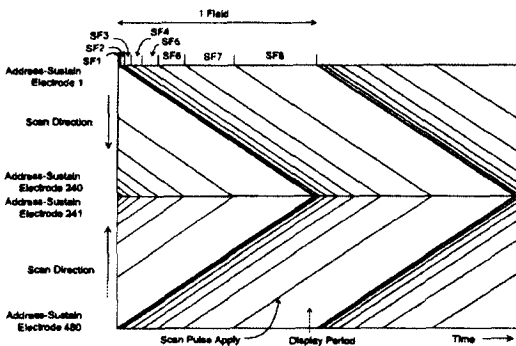


그림 12 AWD방식에 따른 계조 구현 방식

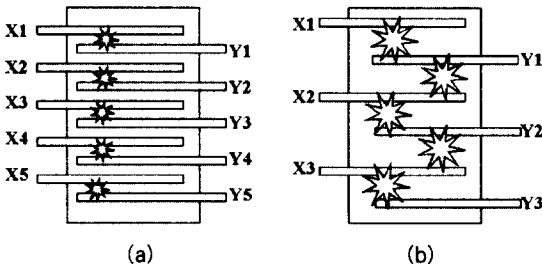


그림 14 (a) 기존 구동 방식의 3전극 AC PDP 구조
(b) ALiS 구동 방식의 AC PDP 구조

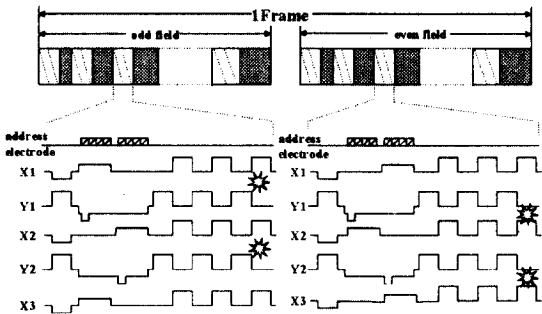


그림 15 ALiS 구동 파형

도가 더욱 떨어지게 된다.

후지쓰 사는 ALiS 구동 방식을 제안하여 기존 구조의 3전극 AC PDP의 해상도가 증가될 때 발생하는 문제점을 개선하였다.^[30] 그림 14 (b)는 ALiS 방식으로 유지 방전하는 구간을 표시하였다. ALiS 방식은 그림 14 (b)에서 보는 것같이 서로 인접한 두개의 전극에서 유지 방전이 발생하도록 3전극 AC PDP를 구동하는 것이다. 그래서, N개의 스캔 전극이 필요한 3전극 AC PDP를 ALiS 방식으로 유지방전할 때 필요한 전극의 수는 기존 방식으로 구동할 때의 2N에서 N+1로 감소하게 되고, 전극을 제외한 PDP의 모든 부분이 유지 방전을 하기 때문에 빛이 발생하는 화소의 면적을 증가시킬 수 있다. ALiS 방식의 어드레스 구간은 기수 어드레스 구간과 우수 어드레스 구간으로 나눌 수 있다. 기수 어드레스 구간은 각각 X1과 Y1사이, X2와 Y2사이 및 X3과 Y3에서 유지 방전되고, 우수 어드레스 구간에서는 Y1와 X2사이 및 Y2와 X3에서 유지 방전이 발생된다. 그래서, 기수 어드레스 구간 및 유지 방전 구간과 우수 어드레스 구간 및 유지 방전 구간을 합하여 1개의 화면이 구성하게 된다. 그림 15는 ALiS 방식으로 PDP를 구동할 때 기수 어드레스 구간과 우수 어드레스 구간의 구동 파형을 나타내고 있다. 어드레스 구간과 유지 방전 구간은 ADS 방식과 마찬가지로 분리되어 있으며, 기수 어드레스 구간과 우수 어드레스 구간 모두 어드레스 할 때 Y전극과 어드레스 전극의 파형은

동일하고, X 전극의 전압 파형에 의해 기수 어드레스와 우수 어드레스로 나누어진다. 기수 어드레스 구간에서 어드레스할 때는 먼저 초기 방전을 하고, X_n 전극을 높은 전압이 인가되는 동안 Y_n 전극에 선택하는 전압을 인가하면 X_n 전극과 Y_n 전극 사이의 공간에서 어드레스 방전이 발생되고, 이 때 X_{n+1} 전극에는 낮은 전압이 인가된 상태이기 때문에 Y_n 전극과 X_{n+1} 전극 사이에서는 어드레스 방전이 일어나지 않는다. 우수 어드레스 구간에서는 X_n 전극에는 낮은 전압이 인가되고 X_{n+1}에 높은 전압이 인가되기 때문에 Y_n 전극과 X_{n+1} 전극 사이의 공간에서 어드레스 방전이 발생된다. 나머지 유지 방전 및 제조 표시 방법은 ADS 방법과 동일하다.

3.2.5 Multiple Addressing overlapping with Display period(MAoD) 구동 방식

그림 16는 3전극 AC PDP를 MAoD 방식으로 구동할 때의 파형을 나타내고 있다.^[33] AWD 방식같이 어드레스 구간과 유지 방전 구간이 분리되어 있지 않으며 1화면 표시 기간동안 유지 방전이 계속 발생되고, 유지 방전이 발생된 후 다음 유지 방전 발생되기 전까지 4개의 Y전극을 어드레스하는 방식을 채택하고 있다. X전극에서 유지 방전 전압이 인가되지 않고 X_{bias} 상태가 될 때 Y전극에 스캔 전압을 인가하여 어드레스 방전을 발생시키고, X전극의 전압이 0V가 될 때 Y전극에는 유지 방전 전압이 인가된다. 그리고, X전극에 유지 방전 전압이 인가될 때는 Y전극의 전압은 0V가 된다. 소거할 때는 X전극에 유지 방전 전압이 인가된 후 X_{bias} 상태가 되기 전에 짧은 시간동안 0V가 될 때 Y전극에 소거 펄스를 인가하게 된다. MAoD 구동방식은 어드레스 구간과 유지 방전 구간이 분리되어 있지 않기 때문에 휘도가 높고 기입 방식의 어드레스 방전을 사용하기 때문에 대비율이 높다. 또한, 동일한 유지 방전 주파수로 AWD 방식을 사용하여 AC PDP를 구동할 때보다 MAoD 방식을 사용하면 구동 가능한 스캔 전극의 수는 2배로 증가된다. 그래서, MAoD 방식으로 구동할 수 있는 최대의 스캔 전극의 수는 512개이며, 어드레스 전극을 상하로 분리하여 어드레스를 2개의 블록으로 구동하면 1024개의 스캔 전극을 구동할 수 있다.

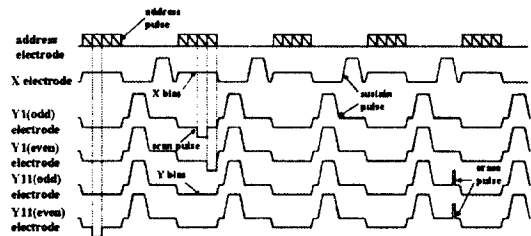


그림 16 MAoD 방식의 구동파형

3.2.5 Multiple Addressing in Single Sustain(MASS) 구동방식

그림 17은 MASS 방식의 구동 파형을 나타내고 있다.^[34] 기존의 구동 방식은 전체 X전극 모두 동일한 펄스를 인가하지만 MASS 구동 방식은 전체 X전극이 X1전극과 X2전극으로 분리되어 있고, 어드레스 방전하는 모든 Y전극도 Y1전극과 Y2전극의 두 부분으로 나누어져 있다. X1 전극과 Y2 전극에는 같은 유지 방전 펄스가 인가되고, X2전극과 Y1 전극에는 X1 전극에 인가되는 펄스와 위상이 반대인 유지 방전 펄스가 인가된다. 어드레스할 때는 X1 또는 X2 전극에는 유지 방전 전압이 인가될 동안 Y1 또는 Y2 전극 중에서 두개의 전극에 스캔 전압이 순차적으로 인가되어 어드레스 방전이 발생된다. Y1 전극을 어드레스할 때는 Y2전극에서는 어드레스 방전이 발생하지 않도록 하여야 하며 Y2 전극을 어드레스할 때에 마찬가지로 Y1전극에서는 어드레스 방전이 발생되지 않도록 하여야 한다.

MASS 방식은 AWD 구동 방식과 MAoD 구동 방식과 마찬가지로 어드레스 구간과 유지 방전 구간이 분리되지 않은 구동방식으로 휘도가 높으며 기입방식의 어드레스 방전을 하기 때문에 대비율이 높다. 또한 어드레스 구간이 유지 방전 구간과 분리되지 않은 구동 방식 중 1개의 유지 방전 구간에서 8번 어드레스 하기 때문에 62KHz의 유지 방전 파형을 인가할 경우 구동 가능한 스캔 라인수가 1024개로 가장 많다.

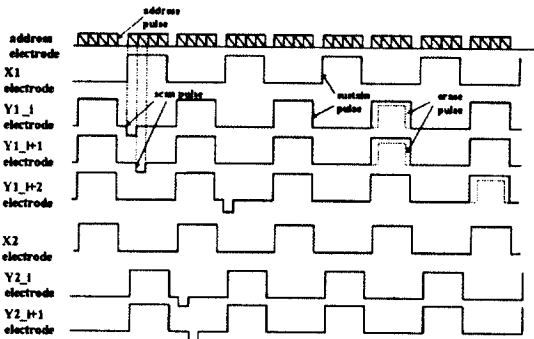


그림 17 MASS 방식의 구동파형

3.2.6 각 방식의 화면 표시 비율 비교 및 장단점 비교

ADS와 ALiS 구동 방식은 어드레스 구간과 유지 방전 구간이 분리되어 있기 때문에 화면의 유지 방전 시간 비율은 각각 30.9%와 31.1%로 다른 구동방식보다 낮으며, 화면 표시 비율이 높은 AWD 방식으로 구동할 때 휘도는 720cd/cm²으로 가장 높다. ALiS 방식은 ADS 방식과 마찬가지로 화면 표시 비율이 낮지만, 빛을 발생시키는 화소의 면적이 다른 구동방식을 사용할 때보다 넓기 때문에 휘도가 500cd/cm²으로

표 1 각 구동 방식에 따른 화면 표시 비율 및 휘도의 비교

	기존 방식 [12]	ADS (16)	ALiS (30)	AWD (31)	MAoD [33]	MASS [34]
제조	64	256	256	256	256	256
해상도	160120	850480	10241024	850480	170120	10033
어드레스 기간	11.52 ms	11.52 ms	11.48 ms	16.67 ms	16.67 ms	16.67 ms
화면 표시 기간	15 ms	15 ms	19 ms	12 ms	167 ms	167 ms
화면 표시 비율	30.9 %	30.9 %	31.1 %	91.2 %	93.4 %	93.4 %
유지 방전 펄스 주파수	62.5 KHz	100 KHz	100 KHz	125 KHz	62.5 KHz	62.5 KHz
대비율	50:1	70:1	250:1	140:1	-	-
휘도(cd/m ²)	70	150	500	720	710	600

표 2 각 구동 방식에 사용되는 전원 전압

	초기방식	ADS	ALiS	AWD	MAoD	MASS
어드레스 전압	80V	80V	80V	20V	80V	120V
유지 방전 전압	180V	180V	180V	-170V	165V	143V
스캔 전압		140V		-210V	-90V	-84V
소거 전압		100V			170V	83V
초기화 전압				-205V		104V
초기 방전 전압	300V	300V	300V	-205V		

ADS 방식보다 2배이상 향상되었다. ALiS 방식은 10241024의 고해상도의 AC PDP를 구동하였으며, MAoD 방식과 MASS 방식을 사용하면 1000개의 스캔 전극의 고해상도의 AC PDP를 구동이 가능하나, 현재는 테스트용 패널로 구동 가능성을 실험 결과를 표 1에 나타나 있다.

표 2는 각각의 구동 방식에 사용되는 전원 전압을 나타낸 것이다. ADW구동 방식을 사용하면 짧은 펄스 폭동안 방전을 시켜야하기 때문에 다른 구동 방식보다 스캔 전압이 높아야 한다.

4. PDP 구동 시스템

그림 18은 AC PDP의 전체 시스템 계통도를 나타낸 것이다.^[23] 전체 시스템은 크게 구동 회로, 제어 회로, APC 회로, 전원 공급의 네 부분으로 나누어진다. 구동 회로 부분에는 제어 회로에서 보내온 신호를 패널에 입력시키는 데이터 구동 LSI, 스캔 구동 LSI, 유지 펄스 발생기로 구성되어 있고 제어 회로

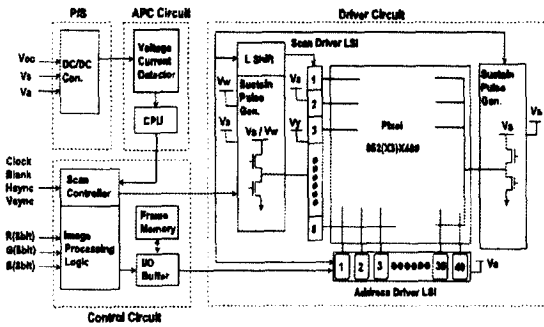


그림 18 AC PDP의 시스템 계통도(schematic diagram)

부분에는 NTSC 또는 HDTV 비디오 신호를 받아서 신호를 처리하는 화상 처리기, 계조를 나타내기 위하여 각 부화면에 해당하는 데이터를 저장하는 화면 기억 소자, 스캔 제어로 구성되어 있다. APC 회로는 전체 시스템의 전력 소모를 조절하고 또한 시스템이 안정적으로 동작할 수 있도록 비정상적인 전압이나 전류를 검출하여 오동작을 일으키지 않도록 한다.

5. 에너지 회수 회로

PDP에서 현재 대두되고 있는 문제는 계조구현 방식과 전력 소모이다. 전력은 대부분 유지 펄스를 인가할 때 소모된다. 그리고 휘도를 높이려면 유지 펄스의 주파수를 높여야 하는데 이는 소비 전력을 증가시키는 결과를 초래한다. 그러므로 이 소모되는 전력을 회수하여 다시 이용하는 회로가 필요하다. 그림 19 (a)는 이때 회수 회로의 구성도를 보여 주고 있다.^[27] 그림 19 (b)에서 초기에 C_{SS} 는 $V_{CC}/2$ 만큼 충전되어 있다고 가정하고 에너지 회수 회로를 각 단계별로 동작을 설명하면 다음과 같다.

- 단계 1 : S1-on, S2,S3,S4-off
LC 공진회로에 의하여 $V_p = V_{CC}$ 까지 충전된다.
- 단계 2 : S3-on, S1,S2,S4-off
 V_p 를 V_{CC} 로 유지한다.
- 단계 3 : S2-on, S1,S3,S4-off
LC 공진회로에 의하여 $V_p = 0$ 까지 방전된다. ($V_{SS} = V_{CC}/2$)
- 단계 4 : S4-on, S1,S2,S3-off
 V_p 를 접지로 유지한다.

만약 그림 21 (a)에 나타난 회로의 각 소자가 기생 성분을 갖고 있지 않다면 100% 회수율을 갖게 된다. 그러나 실제 스위칭 소자와 인덕터의 저항 및 기생 정전 용량에 의한 에너지

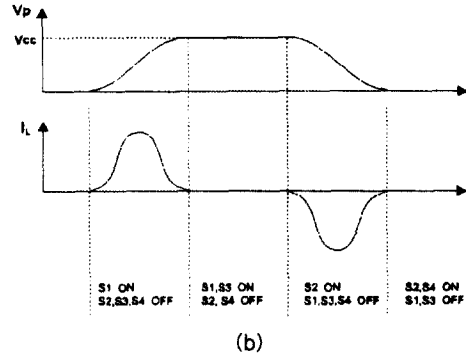
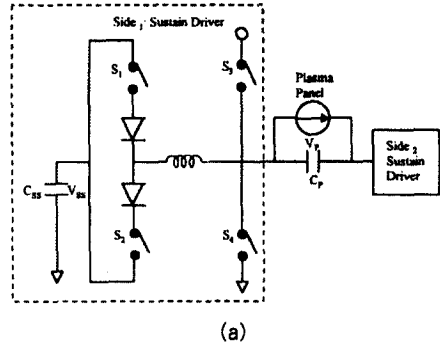


그림 19 (a) 에너지 회수 회로
(b) 패널에 인가되는 전압과 인덕터에 흐르는 전류

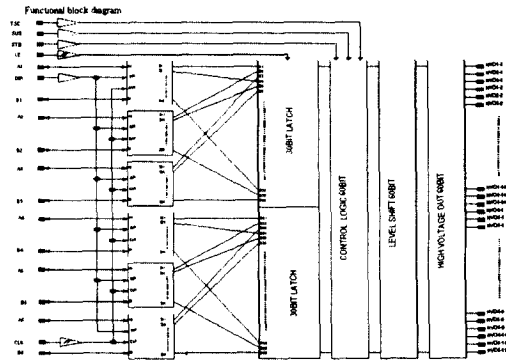


그림 20 데이터 구동회로의 구성도

손실을 고려하여 계산하면 실제 유효 회수율은 약 93%가 된다.^[28] 여기에 패널 전극의 저항까지 고려하면 에너지 회수율이 더 떨어지게 된다. 이러한 단점을 보완하기 위해 출력 셀의 충전/방전 통로에 있는 스위칭 소자를 기존의 다이오드나 pMOSFET 대신 on-저항이 작은 nMOSFET만으로 회로를 구성함으로써 전력 소모를 더 줄일 수 있다.^[29]

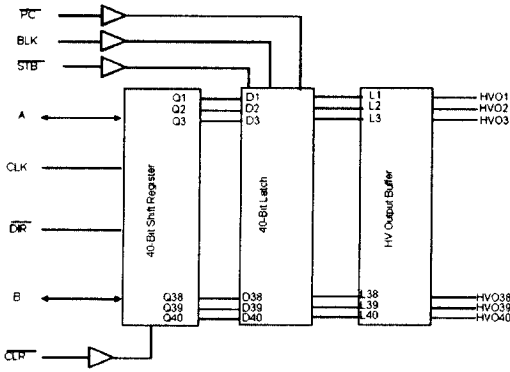


그림 21 스캔 구동 회로의 구성도

6. 구동회로

그림 20은 PDP의 어드레스 전극에 화면의 데이터를 인가시키는 데이터 구동회로의 구성도를 나타내고 있다.^[35] 저전압 6비트 데이터는 30MHz의 클럭 주파수까지 동작하는 10단의

양방향 시프트 레지스터에 입력되어 고전압 회로를 통해 60비트의 고전압 출력으로 변경시켜 내보낸다. 제어 신호는 TSC, SUS, STB, LE로 구성되어있으며 LE는 래치 enable 신호이고, STB는 고전압의 출력을 내보내는 신호이며, SUS는 출력 신호를 접지 상태로 변화시킨다. 그리고, TSC 신호는 고전압 출력 회로를 off시켜 고임피던스 상태로 만든다. 데이터 구동회로의 출력 신호는 120V까지 높일 수 있으며, 출력 전류는 채널당 50mA이다.

그림 21은 스캔 구동회로의 구성도를 나타내고 있다^[35]. 스캔 구동 회로는 40단의 양방향성 시프트 레지스터, 40비트 래치 및 40채널의 고전압 출력 버퍼 회로로 구성되어 있다. 시프트 레지스터는 30MHz까지 동작하고 전류가 500mA이고 전압이 200V까지의 고전압 출력 신호가 PDP에 인가될 수 있도록 설계되어 있다. 제어 신호로 PC, BLK, STB, DIR가 있다. 출력 신호의 극성은 PC의 신호에 의해서 결정되고, BLK 신호는 고전압 출력을 접지 상태로 만들고, DIR 신호는 시프트 레지스터의 방향성을 결정하며, STB는 래치 enable 신호이다. 그림 22(a)와 그림 22(b)는 각각 제작된 데이터 구동회로와 스캔 구동회로의 사진을 나타내고 있으며 칩의 크기를 줄여 구동 LSI의 단가를 낮추는 것이 중요하다.

7. 결 론

지금까지 PDP의 종류와 이들의 구조 및 구동방식에 관한 사항들을 살펴보았다. 현재 DC PDP는 PMD(Pulse Memory Drive) 방식으로 개발되고 있으나 패널 수명이 짧고 소비 전력이 높아 AC PDP 중심으로 개발 및 상용화가 되고 있다. PDP는 계조 표현을 위한 부화면(subfield) 방식을 사용하고 있으며, 이중 후지쓰사가 개발한 ADS(Address Display Separation)방식이 주로 사용되고 있다. 현재 상용화된 구동 방식은 모두 ADS 방식을 기반으로 개발되었으나 향후 HDTV급 PDP 개발에 있어 구동하려는 패널의 해상도가 높아지면 휘도가 감소하는 단점이 문제가 되고 있다. 이를 해결하기 위한 새로운 방안과 구동방식들이 필요할 것으로 예상된다. 이외에도 부화면(subfield) 방식 계조 표현에서 나타나는 의사윤곽현상 개선과 저전력화 및 저가격화에 대한 연구도 진행되어야 할 것이다.

참 고 문 헌

- [1] Shoichi Matsumoto, Electronic Display Devices, New York : John Wiley & Sons, 1990.
- [2] Lawrence E. Tannas, Flat-Panel Displays and CETs, New York : Van Nostrand Reinhold Company, 1985.

그림 22 제작된 구동회로의 사진
(a) 데이터 구동회로 (b) 스캔 구동회로

- [3] H. Murakami, et al., "A Pulse Discharge Panel Display for Producing a Color TV Picture with High Luminance and Luminous Efficiency," IEEE Trans. Electron Devces, vol. ED-29, pp. 888~894, 1982.
- [4] T. Yamamoto, et al., "A 40-in.-Diagonal HDTV Plasma Display," SID '93 Digest, pp. 165~168, 1993.
- [5] Y. Takano, et al., "Late-News paper: A 40-in. DC-PDP with New Pulse -Memory Drive Scheme," SID '94 Digest, pp. 731~734, 1994.
- [6] T. Kurita, et al., "Improvement of Picture Quality of 40-in.-Diagonal HDTV Plasma Display," IDW '96 Digest, pp. 287~290, 1996.
- [7] K. Ishii, et al., "Late News Paper: High-Resolution 40-inch Color Plasma Display for HDTV," Euro Display '96 Digest, pp.43~46, 1996.
- [8] K. Sasaki, et al., "Discharge Characteristics of Full-Color Plasma Display Panels with Resistors in Display and Auxiliary Cells," SID '95 Digest, pp. 819~822, 1995.
- [9] A. Takahashi, et al., "Normally-On Anode Pulse Memory Drive for DC- PDPs," SID '96 Digest, pp. 287~290, 1996.
- [10] A. Takahashi, et al., "A Full Color DC-PDP with High Speed Normally On Anode (NOA) Pulse Memory," Euro Display '96 Digest, pp. 35~39, 1996.
- [11] 加治詰恵 外, TV學會 畫像表示 システム 研究會 資料 pp. 11~14, 1973.
- [12] Y. Sano, et al., A Full-Color Surface-Discharge ac Plasma Display, SID '91 Digest, pp. 728~731, 1991.
- [13] Y. Sano, et al., "A 19-in.-Diagonal Full-Color AC Plasma TV-Display," Japan Display '92 Digest, pp. 609~612, 1992.
- [14] Y. Sano, "Driving Method of Display Panels," US Patent 5,155,414, 1992.
- [15] Y. Sano, "Method for Driving a Display Panel," US Patent 5,317,334, 1994.
- [16] K. Yoshikawa, et al., "A Full Color AC Plasma Display with 256 Gray Scale," Japan Display '92 Digest, pp. 650~608, 1992.
- [17] S. Kanagu, et al., "A 31-in.-Diagonal Full-Color Surface-Discharge ac Plasma Display Panel," SID '92 Digest, pp. 713~717, 1992.
- [18] Y. Kanazawa, et al., "Method and Apparatus for Driving Display Panel," European Patent 0 549 275 A1, 1992.
- [19] Y. Kanazawa, et al., "Method and Apparatus for Driving Surface Discharge Plasma Display Panel," US Patent 5,446,344, 1995.
- [20] T. Shinoda, "Method and a Circuit for Gradationally Driving a Flat Display Device," US Patent 5,541,618, 1996.
- [21] T. Nakamura, et al., "Invited Paper: Drive for 40-in.-Diagonal Full-Color ac Plasma Display," SID 95 Digest, pp. 807~810, 1995.
- [22] 十時庚治 外, "アドレス サステイ 全時驅動方式 によるAC形 PDPの高輝度化," Technical Report of IEICE(01), pp. 19~24, 1997.
- [23] 十時庚治 外, "カラー-PDPの畫題輝度を驅動法の工夫で2.5倍に," NIKKEI Electronics no.690, pp. 127~140, 1997.
- [24] T. Hirose, et al., "Invited Paper: Performance Features of a 42-in.-Diagonal Color Plasma Display," SID '96 Digest, pp. 279~282, 1996.
- [25] Texas Instruments, Data Book, 1996.
- [26] T. Tamura, et al., "Development of Color dc Plasma Display Driver ICs," SID '94 Digest, pp. 723~726, 1994.
- [27] Larry. F. Webber, et al., "Power Efficient Sustain Drivers and Address Drivers for Plasma Panel," US Patent 4,866,349, 1989.
- [28] Larry. F. Webber, et al., "Power Efficient Sustain Drivers and Address Drivers for Plasma Panel," US Patent 5,081,400, 1992.
- [29] Akio Tanaka, "Low Power Driver Circuit for an ac Plasma Display Panel," US Patent 5,438,290, 1995.
- [30] 권오경, "flat panel Display를 위한 구동 방식 및 구동 회로," 1995년 3월 대한전자공학회지 제 22권 제 3호, pp. 92~10.
- [31] Kanazawa et al., "Invited Paper : High Resolution Interlaced Addressing for Plasma Displays," SID 99 DIGEST, pp. 154~157, 1999.
- [32] Takahiro Urakabe et al., "Luminance Improvement of AC PDPs by Use of Address while Display scheme," TECHNICAL REPORT OF IEICE EID96-71, ED96-149, SDM96-175(1997-01), pp. 19~24, 1997.

- [32] M. Ishii et al., "Reduction of Data Pulse Voltage to 20V by Using Address While Display Scheme ACPDPs," SID '99 DIGEST, pp. 162~166, 1999.
- [33] J. Ryeom et al., "High Luminance and High contrast HDTV PDP with Overlapping Driving," IDW '99, pp. 743~746, 1999.
- [34] Ilhun Son et al., "Multiple addressing in Single Sustain Method : A New High speed driving scheme for ac-PDP," IDW '99, pp. 73~76, 1999.
- [35] O. K. Kwon et al., "Low Cost and Fast Driving LSIs for High-Resolution and Large-Size AC Plasma Display Panels," SID '99, pp. 556~559, 1999.

성명 : 권오경

◆학력

1974. 3~1978. 2 : 한양대학교 공과대학 전자공학과 공학사
 1983. 5~1986. 6 : Stanford University, Dept. of Electrical Engineering, M.S.
 1986. 6~1988. 3 : Stanford University, Dept. of Electrical Engineering, Ph.D.

◆경력

1980. 1~1983. 5 : 금성 전기(주) 기술 연구소, 연구원
 1983. 5~1987. 12 : Stanford University, Stanford Electronics Laboratories, 연구조교
 1987. 12~1992. 8 : Texas Instruments, Semiconductor Process & Design Center, 책임연구원
 1992. 9~현재 : 한양대학교 공과대학 전자전기공학부, 교수