

The Structure and Dielectric Properties of the (Ba,Sr)TiO₃ Thin Films with the Substrate Temperature

李相喆* ·李文基* ·李永熙**
(Sang-Chul Lee · Moon-Kee Lee · Young-Hie Lee)

Abstract - (Ba,Sr)TiO₃[BST] thin films were fabricated on the Pt/TiO₂/SiO₂/Si substrate by the RF sputtering. The structure and dielectric properties of the BST thin films with the substrate temperature were investigated. Increasing the substrate temperature, The BST phases increased and barium multi titanate phases decreased. Increasing the frequency, the dielectric constant decreased and the dielectric loss increased. The dielectric constant and dielectric loss of the BST thin films deposited at 500°C were 300 and 0.018, respectively at 1 kHz. The leakage current density of the BST thin films deposited at 500°C was 10⁻⁹ A/cm² with applied voltage of 3V. Because of the high dielectric constant(300), low dielectric loss(0.018) and low leakage current(10⁻⁹ A/cm²), BST thin films deposited at 500°C is expecting for the application of DRAM.

Key Words : (Ba,Sr)TiO₃ thin films, RF sputtering, Substrate temperature, Dielectric properties

1. 서 론

정보산업의 급속한 발전에 따라 전자소자의 경박단소화가 급속하게 이루어지고 있다. 특히 반도체 메모리 분야에서는 메모리 소자의 고집적화를 위해 하나의 기억 셀에서 가장 큰 면적을 차지하는 캐패시터의 크기와 두께 축소에 많은 연구가 이루어지고 있다.¹⁾ 기억소자의 칩 면적은 정보가 저장되는 셀 영역과 그에 정보를 입·출력시키는 회로 영역으로 나누어지며, 일반적인 DRAM의 경우 전체 칩 면적에서 셀이 차지하는 비율이 약 50% 정도이므로 셀 크기가 전체 칩 크기에 영향을 미치게 된다.²⁾ 또한 최근의 패키징 기술을 고려해 볼 때 소프트웨어를 방지하고 안정된 동작을 유지하기 위해서는 최소한 단위셀 당 약 25~30 fF의 정전용량을 필요로 한다. 이러한 조건을 만족하기 위해서 DRAM용 유전체 박막은 높은 정전용량과 낮은 구동전압 및 낮은 누설전류를 가져야 한다.³⁾ 256 kbit에서 64 Mbit까지는 SiO₂-Si₃N₄ (ON)구조나 또는 SiO₂-Si₃N₄-SiO₂(ONO)구조 등이 사용되어왔으나, 현재는 고집적화에 따른 한계 두께까지 도달하고 있다.⁴⁾

이러한 ON구조의 박막화에 따른 한계는 산화막 환산두께(t_{eq})로 약 40Å 정도이고, 이보다 얇은 두께에서는 누설전류의 증가와 항복전압의 급격한 감소에 의해 소자의 신뢰성 문제가 심각해진다. 이러한 한계로 인하여 적은 면적에서 높은 정전용량을 증가시키는 고유전율 재료의 이용을 고려하게

되었다.

페로브스카이트 구조의 고유전율 박막 캐패시터로는 PbTiO₃, Pb(Zr,Ti)O₃[PZT], BaTiO₃ 등의 강유전성 재료, SrTiO₃ 등의 상유전성 재료 및 (Ba,Sr)TiO₃[BST]와 같이 강유전성과 상유전성의 조절이 가능한 재료 등이 연구되고 있다.^{5),6)} 이러한 고유전율 재료 중 BST는 큰 유전상수를 갖기 때문에 기존의 ON이나 ONO 구조에 비해 소자의 구조를 단순하게 제조할 수 있으며, Sr의 고용량에 따라 DRAM의 동작 온도에서 상유전성을 나타내므로 강유전체의 분극반전에 따른 열화 및 그에 따른 피로현상을 억제시킬 수 있고, 낮은 누설전류로 DRAM의 재충전특성을 개선시킬 수 있는 장점이 있다.⁷⁾

일반적으로 세라믹 박막의 경우, 박막의 결정성 향상을 위하여 박막 형성 후에 후열처리 공정이 요구되어진다. 이러한 후열처리 공정은 세라믹 박막과 하부전극간의 확산 및 전극의 산화 등 박막의 특성을 저하시키며 높은 온도와 장시간의 열처리과정은 공정의 복잡화에 따른 생산성의 감소 등의 문제점을 발생시킨다. 따라서, 본 연구에서는 증착시 기판온도를 변화시켜 RF 스퍼터링법으로 BST 박막을 제작하였으며, BST 박막의 구조 및 유전특성을 조사하여 BST 박막의 결정성 향상과 후열처리 공정 간소화 가능성 및 DRAM의 응용가능성을 고찰하였다.

2. 본 론

2.1 실험

본 실험에서는 RF 스퍼터링을 이용하여 BST 박막을 형성

* 正 會 員 : 光云大 電子材料工學科 博士課程

** 正 會 員 : 光云大 電子材料工學科 教授

接受日字 : 2000年 9月 18日

最終完了 : 2000年 11月 2日

하기 위해 Ba:Sr=0.5:0.5인 bulk형 (Ba,Sr)TiO₃ 타겟을 사용하였으며, 기판은 하부전극으로 Pt층과 보호층으로 TiO₂층이 있는 Pt/TiO₂/SiO₂/Si 기판을 사용하였다. 증착조건 중 RF power는 90 W, 증착압력은 10 mTorr, Ar/O₂비는 80/20, 증착시간은 60분으로 고정하였으며, 기판온도는 각각 350, 400, 450, 500℃(이후 시편은 T350, T400, T450, T500이라 한다.)로 변화시켰다. 냉각속도는 7.5 °C/min로 하였다. 기판온도에 따른 BST 박막의 유전특성을 조사하기 위하여 상부전극으로 Au를 열증착기를 이용하여 증착한 후 600℃, 1시간 동안 열처리를 하였다. 시편의 제작조건은 표 1에 나타내었다.

기판온도에 따른 BST 박막의 구조 및 결정학적 특성을 고찰하기 위해 X-선 회절분석을 하였으며, BST 박막의 미세구조는 SEM으로 조사하였다. EDS와 AES를 이용하여 증착된 박막의 조성에 대해 분석을 하였다.

LCR-meter(ANDO AG-4311B)와 Impedance analyzer(HP-4149)를 사용하여 주파수(100Hz~100kHz) 및 인가전압(-5~5V)에 따른 BST 박막의 유전특성을 평가하였으며, 시간 및 전압에 따른 누설전류 특성을 조사하였다.

표 1. BST 박막의 증착 조건

Table 1. Deposition conditions of the BST thin films

Target	(Ba _{0.5} Sr _{0.5})TiO ₃ (bulk type)
Substrate	Pt/TiO ₂ /SiO ₂ /Si
RF power	90 W
Deposition pressure	10 mTorr
Ar/O ₂ ratio	80/20
Substrate temperature	350, 400, 450, 500 °C
Deposition time	60 min.
Top electrode	Au

2.2 결과 및 고찰

그림 1은 RF power 90 W, 증착압력 10 mTorr, Ar/O₂비 80/20, 증착시간은 60분으로 고정시켜 제작한 BST 박막의 기판온도에 따른 X-선 회절분석 결과이다. 후열처리 공정을 거치지 않아 barium multi titanate 상인 이차상과 BST(100),(200) 회절피크가 함께 관찰되었으나, 기판온도가 증가함에 따라 이차상의 회절피크는 감소하였다. 450℃ 이하의 기판온도에서 증착한 BST 박막의 경우 낮은 기판온도로 인한 이차상의 형성이 관찰되었다. T500의 경우, 이차상이 크게 감소하였으며 BST (100),(200)의 회절피크가 관찰되었다. 페로브스카이트상의 BST 박막을 형성하기 위하여 500℃ 이상의 기판온도가 요구되는 것으로 사료된다.

기판온도에 따른 BST 박막의 단면 및 표면의 SEM 사진을 그림 2에 나타내었다. 기판온도가 증가함에 따라 평균 결정립 크기 및 표면평활도는 증가하였다. 기판온도가 증가함에 따라 증착된 Ti와 O가 하부전극 Pt 내부로의 확산에 의하여 BST 박막의 두께는 감소하였으며, BST 박막과 Pt 하부전극간의 계면이 명확히 구별되지 않았다. 이러한 박막 내부로의 확산은 불완전한 계면층을 형성하여 BST 박막의 유전 및 전기적 특성을 저하시키는 요소로 작용될 것이다.⁸⁾ 증착된 박막의 두께는 T500의 경우 2400Å이었다.

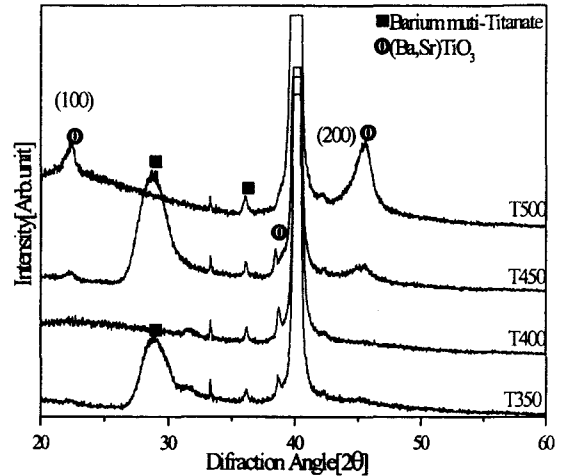
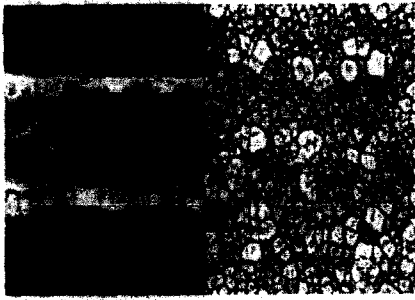


그림 1. 기판온도에 따른 BST 박막의 X-선 회절모양
Fig. 1. X-ray diffraction patterns of the BST thin films with substrate temperature

그림 3과 그림 4는 T500의 EDS, AES 분석 결과이다. 증착된 BST 박막의 조성은 T350의 경우 Ba 대 Sr의 비가 47/53이었으며, 기판온도가 증가함에 따라 스퍼터링 영역과 기판 표면에서의 스퍼터링된 Ba, Sr 이온의 이동도의 변화에 의하여 Ba의 비가 증가하였으며, T500의 경우 52/48로서 타겟의 조성비인 50/50과 매우 근접하게 형성되었다. 증착된 BST 박막의 깊이에 따른 조성의 변화를 AES로 조사하였으며, 기판온도의 변화에 의존성이 없는 균일한 조성비를 나타내었다. 그러나, BST 박막과 Pt 하부전극 사이의 계면에서 Ba, Sr, Ti이온이 Pt 전극내부로 확산되었으며, 높은 기판온도와 O₂에 의하여 Pt층이 산화되었다. 이러한 확산에 의하여 BST 박막과 하부전극 사이의 계면은 화학양론적 조성을 만족하지 못하고, 계면에서의 결합과 산소공공을 생성하여 박막에 전압을 인가함에 따라 전하를 포획하는 포획준위로서 캐리어를 포획하여 전도전류를 제한한다.

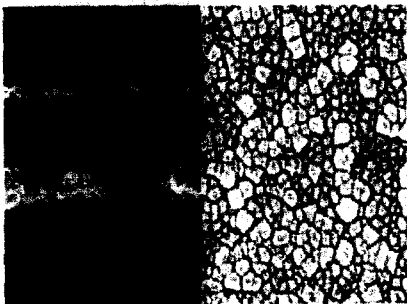
주파수 및 기판온도에 따른 BST 박막의 유전율의 변화를 그림 5에 나타내었다. 모든 박막에서 인가주파수의 증가에 따라 유전상수가 다소 감소하였으나, 큰 변화는 나타나지 않았다. T300에서 높은 유전율을 갖는 Ba₂Ti₅O₉과 같은 이차상의 형성에 의하여 높은 유전상수를 나타내었으며 T450에서 가장 낮았다. T500의 유전율은 300(1 kHz)이었다.



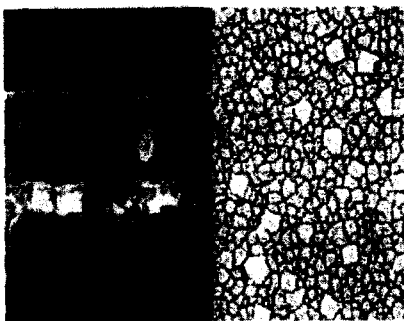
(a)



(b)



(c)



(d)

그림 2. 기판온도에 따른 BST 박막의 SEM 사진

Fig. 2. SEM photography of the BST thin films with substrate temperature (a)350°C, (b)400°C, (c)450°C, (d)500(°C)

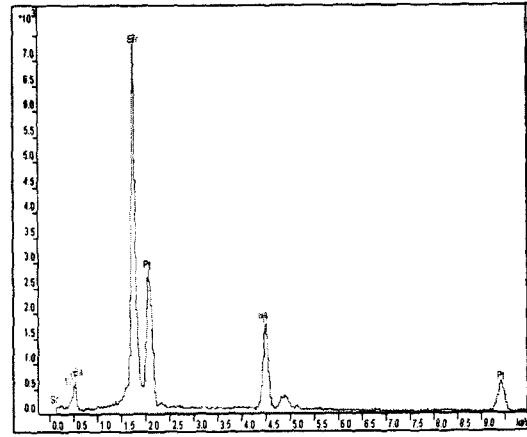


그림 3. 500°C에서 증착한 BST 박막의 EDS 분석

Fig. 3. EDS analysis of the BST thin film deposited at 500°C

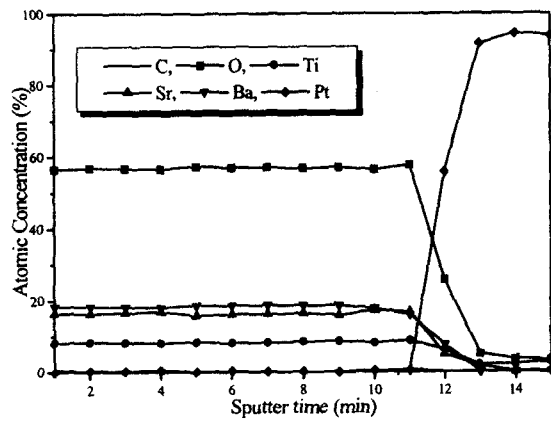


그림 4. 500°C에서 증착한 BST 박막의 AES 분석

Fig. 4. AES depth profile of the BST thin film deposited at 500°C

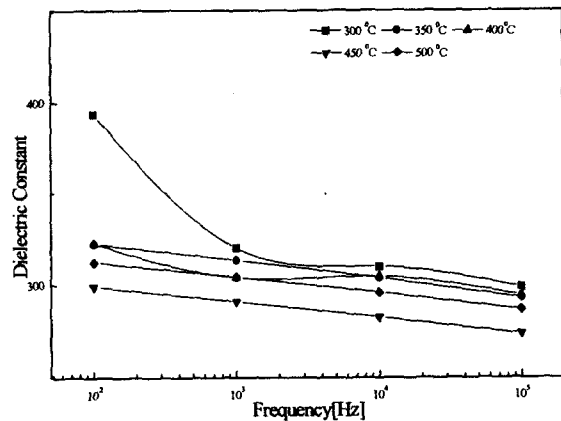


그림 5. 주파수 및 기판온도에 따른 BST 박막의 유전상수

Fig. 5. Dielectric constant of the BST thin films with the applied frequency and substrate temperature

그림 6에 기판온도 및 주파수에 따른 BST 박막의 유전손실을 나타내었다. 주파수가 증가함에 따라 유전손실이 증가하였으나 0.03 이하의 우수한 특성을 나타내었다. 기판온도가 증가함에 따라 유전손실은 다소 감소하였으나, 큰 변화는 나타나지 않았다. T500의 유전손실은 1 kHz에서 0.018을 나타내었으며, 다른 기판온도에서 증착한 BST 박막의 유전손실은 0.02이하의 양호한 특성을 나타내었다.

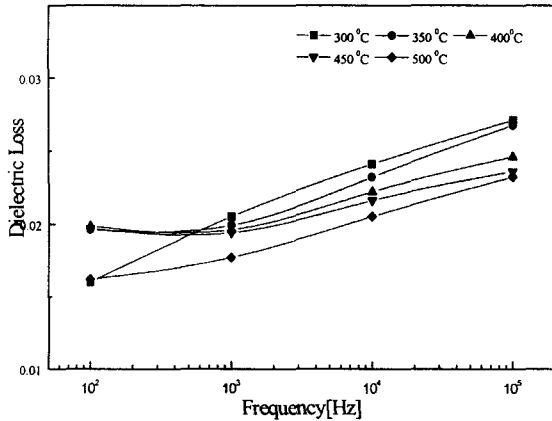


그림 6. 주파수 및 기판온도에 따른 BST 박막의 유전손실
Fig. 6. Dielectric loss of the BST thin films with applied frequency and substrate temperature

인가전압에 따른 BST 박막의 C-V 특성을 그림 7에 나타내었다. 전형적인 상유전상 BST 박막의 C-V 특성을 나타내었으며, 정전용량은 T350에서 가장 크게 나타났다. T300, T450의 정전용량은 350 pF 이하였으며, T500의 경우 408 pF의 정전용량을 나타내었다. 450°C에서 증착한 BST 박막의 유전특성이 저하되는 이유는 X-선 회절분석에서 관찰한 바와 같이 과도한 Barium multi Titanate의 이차상 형성에 의한 것으로 사료된다.

BST 박막의 인가전압에 따른 누설전류를 측정하여 그림 8에 나타내었다. T500의 경우 인가전압이 3V 이하에서는 $10^{-10} \sim 10^{-9}$ A/cm²의 낮은 누설전류가 측정되었다. 이는 박막과 Pt 전극 사이의 계면에서 쇼트키 장벽의 형성으로 이온전류의 차단 및 계면층에서의 피닝 효과에 기인한 것이다. 특히 최근 논의되는 이중 쇼트키 장벽효과에 의한 저전계 영역[Ⅰ], 완만한 전계상승 영역[Ⅱ], 급격한 전계상승 영역[Ⅲ]으로 구분할 수 있는 누설전류의 단계적 양상을 나타내고 있다. 따라서 Pt 전극에 기인한 쇼트키 장벽은 저전계 영역에서 누설전류를 차단하는 효과가 있으며, 전압이 증가함에 따라 점차 벌크 특성에 좌우된다는 것을 알 수 있다. 이러한 누설전류특징에 대한 정확한 분석은 현재까지 논란이 거듭되고 있으며, 박막제조 공정변수 및 측정변수 등에 따라 많은 차이를 나타낸다. 본 실험에서는 증착시의 유전율의 크기와 관계없이 기판온도가 높은 시편일수록 낮은 누설전류가 관찰되었다. 따라서 기판온도의 증가에 따라 이차상이 적은 안정한 배향을 갖추고 있는 구조일수록 누설전류가 낮음을 알 수 있었다. 현재 적용되고 있는 누설전류의 기준은 256 Mbit ULSI 급 DRAM의 경우 1.5V 인가시

약 10^{-7} A/cm²의 범위이며, 본 실험에서 제작한 T500 시편의 경우 10^{-9} A/cm² 정도로 이러한 기준을 충족하는 양호한 특성을 나타내었다.

그림 9는 박막의 TDDB 특성을 나타내었으며, 0.5V를 인가하여 약 7시간까지 누설전류특성을 기록하였다. 7시간동안 누설전류의 증가는 관찰되지 않았으며, 안정된 값을 유지함을 알 수 있었다. 초기 전압 인가시 10초 이내의 범위에서 누설전류의 감소영역이 관찰되었는데 이는 박막과 Pt 전극간 계면의 쇼트키 장벽으로 인해 누설전류가 억제된 점으로 캐패시터가 안정된 충전과정을 거치면서 soak time으로 작용한 것으로 생각된다

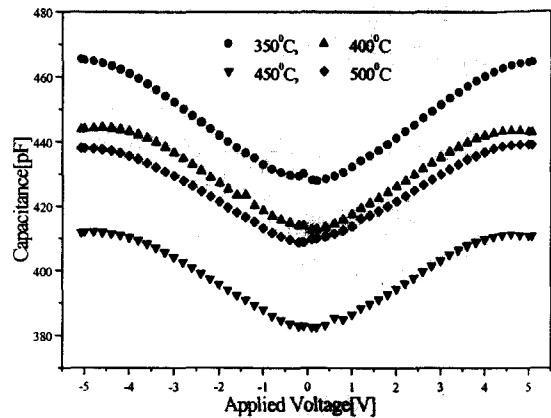
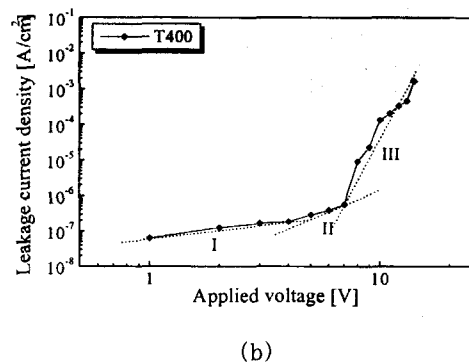
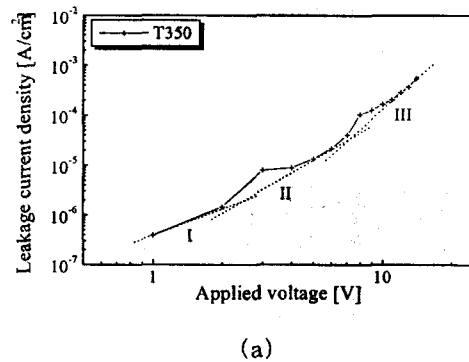
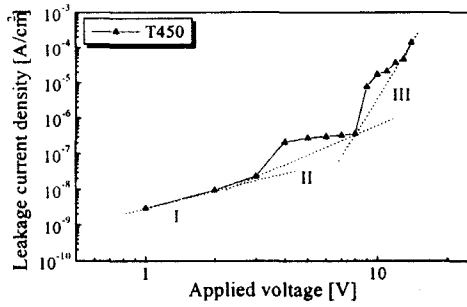
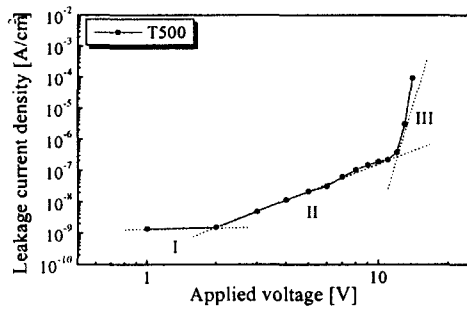


그림 7. 인가전압 및 기판온도에 따른 BST박막의 C-V특성
Fig. 7. C-V characteristics of the BST thin films with applied voltage and substrate temperature





(c)



(d)

그림 8. 기판온도에 따른 BST 박막의 누설전류 밀도
 Fig. 8. Leakage current densities of the BST thin films with substrate temperature (a)350°C, (b)400°C, (c)450°C, (d)500°C

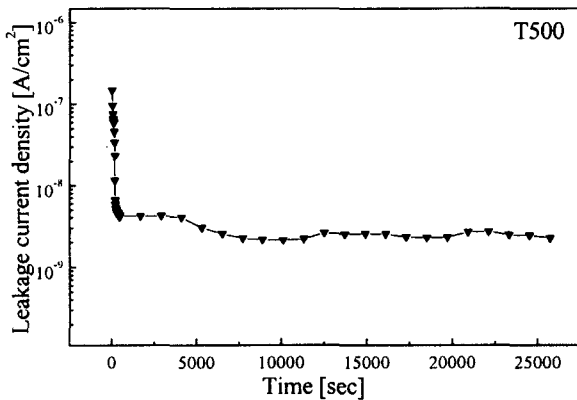


그림 9. 500°C에서 증착한 BST 박막의 TDDB 특성
 Fig. 9. TDDB characteristics of the BST thin film deposited at 500°C

3. 결 론

본 연구에서는 RF 스퍼터링을 사용하여 BST 박막을 제작하였으며, 기판온도에 따른 구조 및 전기적특성을 고찰하여 다음과 같은 결론을 얻었다.

1. 450°C 이하의 기판온도에서 증착한 BST 박막은 낮은 기판온도에 의하여 이차상의 형성되었으며, 500°C에서 증착한 시편은 다결정 페로브스카이트 구조의 BST상을 형성하였다.
2. 기판온도의 증가에 따라 BST 박막의 표면평활도와 평균 결정립 크기는 증가하였으며, 500°C에서 증착한 BST박막의 두께는 2400Å이었다.
3. 500°C에서 증착한 BST 박막의 Ba/Sr비는 타겟의 조성비 (50/50)에 근접하는 52/48이었으며, 깊이에 따라 균일한 조성비를 가졌다.
4. 500°C에서 증착한 BST 박막의 유전상수와 유전손실은 각각 300, 0.018이었다.
5. BST 박막은 상유전상의 C-V 특성을 나타내었으며, 누설전류는 인가전압 3V 이하에서는 $10^{-10} \sim 10^{-9} \text{A/cm}^2$ 의 범위의 값을 나타내었다.

이상의 결론으로부터 RF 스퍼터링법으로 500°C의 기판온도에서 증착한 BST 박막은 300이상의 높은 유전상수와 2% 이하의 낮은 유전손실값을 나타내며, 온도에 대한 안정성과 낮은 누설전류값을 가져 DRAM 및 바이패스 캐패시터 등에 응용할 수 있을 것으로 생각된다. 그러나 박막두께의 감소 문제와 계면층의 확실한 분석 등이 계속 연구되어야 할 것이다.

참 고 문 헌

- [1] A. F. Tasch Jr and L. H. Parker, "Memory Cell, and Technology Issues for 64- and 256-Mbit One-Transistor Cell MOS DRAMs", Proceedings of the IEEE, Vol. 77, No. 3, 1989.
- [2] W. P. Noble et al., "Fundamental Limitations on DRAM Storage Capacitors", IEEE Circuit and Devices Magazine, pp. 45~51, 1985.
- [3] M. Azuma et al., "Electrical characteristics of High Dielectric Constant Materials for Integrated Ferroelectrics", Proc. 4th ISIF, pp. 109~117, 1992.
- [4] L. Baginsky and E. G. Kostov, "Information Writing Mechanism in Thin Film MFIS-Structures, Ferroelectrics", Vol. 143, pp. 239~250, 1993.
- [5] M. Azuma et al., "Electrical characteristics of High Dielectric Constant Materials for Integrated Ferroelectrics," Proc 4th ISIF, pp. January, 1985
- [6] L. Baginsky and E. G. Kostov, "Information Writing Mechanism in Thin Film MFIS-Structures,"Ferroelectrics, Vol. 143, pp. 109-117, 1992.
- [7] Yoichi Miyasaka, "High Dielectric (Ba,Sr)TiO₃ Thin Films for ULSI DRAM Application", Extended Abstracts of 1995 International Conference on Solid State Device and Materials, Osaka, pp. 506~508, 1995.
- [8] L. Baginsky and E. G. Kostov, "Information Writing Mechanism in Thin Film MFIS- Structures, Ferroelectrics", Vol.143, pp.239~250, 1993.

저 자 소 개



이 상 철 (李 相 喆)

1998년 광운대 공대 전자재료공학과 졸업.
2000년 광운대 대학원 전자재료공학과 졸업(석사). 현재 동 대학원 전자재료공학과 박사과정

Tel : 02-940-5164

E-mail : lsc3787@explore.kwangwoon.ac.kr



이 영 희 (李 永 熙)

1973년 연세대 공대 전기공학과 졸업.
1975년 동 대학원 전기공학과 졸업(석사).
1981년 동 대학원 전기공학과 졸업(공학).
1985~1986년 Penn. State MRL 객원 연구원. 현재 광운대 공대 전자재료공학과 교수

Tel : 02-940-5164

E-mail : yhlee@daisy.kwangwoon.ac.kr



이 문 기 (李 文 基)

1994년 광운대 공대 전자재료공학과 졸업.
1997년 광운대 산업정보대학원 전자재료공학과 졸업(석사). 현재 동 대학원 전자재료공학과 박사과정

Tel : 02-9470-5164

E-mail : hayoung@explore.kwangwoon.ac.kr