

시간지연을 최소화한 CAM형 트래픽 폴리싱 장치 설계

정희원 정 윤 찬*, 홍 영 진**

Design of a CAM-Type Traffic Policing Controller with minimum additional delay

Younchan Jung*, Youngjin Hong** *Regular Members*

요 약

ATM 망에서 각 통신 회선의 QoS 수준을 만족시키기 위하여 ATM 망은 통화중에 각 가상 회선별 트래픽 폴리싱을 수행한다. 이 때 회선 호수락 제어 할당시의 약속을 잘 지키는 트래픽에 대해서는 폴리싱을 하지 않는 것처럼 보이게 하고, 반면에 약속을 위반한 트래픽 흐름은 빨리 찾아내어 적절한 제어를 하여야 한다. 이 논문에서는 이러한 폴리싱의 기본 원칙을 만족시킬 수 있도록 폴리싱 장치내에서의 추가 지연시간을 최소화 할 수 있는 CAM을 활용하는 폴리싱 장치설계를 제안한다. 이 제안된 폴리싱 장치는 ATM으로 다중화된 여러 가상 채널들의 셀 도착 흐름에 대해서는 병렬처리 개념으로 동작하고 가상채널 상호간에는 서로 독립적으로 동작하여 가상회선별로 인접셀간의 간격을 일정 수준 유지시켜주는 트래픽 셰이핑 기능도 동시 수행된다. 또, 제안한 폴리싱장치의 성능분석모델을 개발하고, 이를 이용하여 트래픽 부하, 폴리싱 버퍼용량, 최소 셀간 간격 등의 변수에 따른 폴리싱 버퍼에서의 셀 손실, 셀 지연시간 성능을 분석한다.

ABSTRACT

In order to satisfy the desired QoS level associated with each existing connection, ATM networks require traffic policing during a connection. Users who respect the contract should receive the function of transparent traffic policing without any interruption. However, contract violations should be detected and mediated immediately. So we propose a CAM type policing controller to allow user cell streams to minimize additional delay. The proposed policing scheme controls policing actions including traffic shaping by suitably spacing cells on each virtual circuit. This policing action is based on parallel processing of multiple cell stream which arrive in ATM multiplexed virtual circuits. We have developed an analytical model of the proposed policing scheme to examine the amount of cell loss and delay, which depends on traffic load, the size of policing buffers and minimum spacing cell time.

I. 서 론

1.1 트래픽 폴리싱의 기본 요구조건

최근 통신 서비스에 대한 관심은 기존의 전화와 같은 음성정보뿐만 아니라 컴퓨터 데이터, 영상 데

이터도 함께 전송할 수 있는 멀티미디어 통신에 집중되고 있다. ATM(Asynchronous Transfer Mode)은 이런 멀티미디어 통신을 가능하게 할 초고속 광대역 통신망 실현을 위해 탄생된 기술이다. 또한 ATM은 회선교환망과 패킷교환망을 융합한 형태로써 통신 사용자에게 QoS(Quality of Service)를 제

* 가톨릭대학교 컴퓨터·전자공학부

** 가톨릭대학교 가상대학운영실

논문번호 : 99384-0920, 접수일자 : 1999년 9월 20일

공해 줄 수 있다^{[1],[3]}. 그러나 ATM 망은 이 QoS를 구현하기 위하여 다음과 같은 복잡한 트래픽 제어 기능을 필요로 한다. 호 접속 여부를 결정하는 접속(connection) 관리기능, 유입되는 트래픽이 약정을 지키는지 여부를 감시하는 트래픽 폴리싱(traffic policing), 및 입력 셀률(cell rate) 변화가 심한 트래픽의 패턴을 부드럽게(smoothing) 만들어주는 셰이핑(shaping) 기능으로 나눌 수가 있다.

본 논문에서는 이 제어기능 중 트래픽 폴리싱과 트래픽 셰이핑을 동시에 수행하는 CAM(Content Addressable Memory)을 이용하는 폴리싱 장치를 제안한다. CAM 구조를 이용한 폴리싱 장치는 약속을 잘 지키는 트래픽에 대해서는 폴리싱 장치가 없는 것처럼 보이고, 약속을 위반한 셀 스트림에 대해서는 최소지연시간으로 즉각적으로 개입에 들어 갈 수 있도록 해 줄 수 있는 방식이다. 이 논문에서 제안하는 구조는 다음에 열거하는 기본요구 조건들이 잘 만족되는 폴리싱 구조로 설계하였다.

- (1) 약정된 TSpec을 잘 지키는 사용자(well-behaving sources)에게는 폴리싱 장치가 없는 것처럼 보여서 폴리싱 장치로 인한 셀 손실이나 셀 시간 지연이 거의 없어야 한다.
- (2) 만약 약정된 TSpec을 어기는 사용자는 빨리 탐지되어야 하고, TSpec을 상회하게 유입되어 통신망의 기존 트래픽의 QoS에 영향을 끼칠 수 있는 셀은 즉각적으로 드롭핑(droping) 되어야 한다.
- (3) 이 폴리싱 기능은 결국 통신망에 접속되는 모든 사용자들에게 사용중인 가상회선 별로 개별적으로 적용되어야 한다. 그렇더라도 기능이 간단하면서도 구현하기 용이한 형태가 되어야 한다.
- (4) 이 폴리싱 장치는 트래픽 셰이핑 장치와 별도로 구현되어서는 안되며 통일된 장치로 동작해야 한다.

그리고 제안한 폴리싱 구조의 성능을 분석하기 위하여 수학적 분석 모델을 개발하고 폴리싱 구조 파라미터들과 셀 지연, 셀 손실 성능과의 상관관계들을 계산하였다.

II. 폴리싱 장치 설계

2.1 폴리싱 장치의 파라미터 정의

특정 사용자로부터 ATM 통신망으로 유입되는 하나의 가상회선에 소속된 셀의 스트림을 나타내면 그림 2.1과 같다.



그림 2.1 셀 스트림

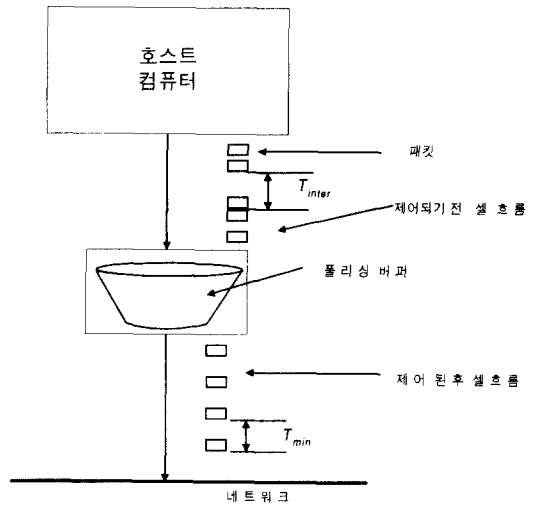


그림 2.2 ATM Network에서의 리키-버킷 구조 모델

그림 2.2의 리키-버킷(leaky bucket) 구조모델에서 연속된 두 셀의 도착시간 간격을 셀 슬롯시간 확률변수 T_{inter} 로 표현하고 평균값을 $E(T_{inter})$ 로 표현하면 입력 셀 스트림의 평균부하는 $\rho = \frac{1}{E(T_{inter})}$ 로 표시할 수 있다. 또한 수락제어(admission control)시에 약정한 TSpec 중 최대 비트률(peak rate)가 R_{peak} 를 갖는 임의의 VC에 대한 인접 셀간의 최소 간격 T_{min} 을 $\frac{1}{R_{peak}}$ 로 정의하고, 그림 2.2에서 버킷으로 유입되는 셀 스트림과 버킷을 출발하는 폴리싱이 이루어진 셀 스트림 사이에서 $\frac{T_{min}}{E(T_{inter})}$ 값은 입력 셀 스트림의 약속 이행 불충실도를 나타내며 R_{weight} 로 정의한다. 예를들어 $R_{weight} \geq 1$ 이라면 유입되는 셀 스트림은 수락제어시의 약정을 지키지 않고 있다는 의미이다.

본 논문에서 제안하는 폴리싱 장치 구조는 그림 2.2와 같이 동작한다. 호스트로부터 통신망으로 유입되는 셀 도착률이 일정하지 않은 셀 스트림(unregulated flow)은 폴리싱 장치를 빠져나갈 때는 두 인접 셀간의 간격이 최소한 T_{min} 이상인 셀 스트림(regulated flow)으로 바뀌게 된다. 이 개념은 버

킷을 빠져나갈 때는 두 인접 셀간의 간격이 일정간격 이상이 되도록 해주는 리키-버킷 원리와 유사하다.

2.2 폴리싱 장치의 기능

본 논문에서는 폴리싱 버퍼 안에 들어오는 셀들의 간격이 약정한 TSpec의 주요 파라미터인 최대부하 R_{peak} 를 지키는지 여부를 조사하기 위해 ATM 망의 UNI(User Network Interface) AAL(ATM Adaptation Layer) 계층에 CAM을 이용한 실시간 폴리싱 장치를 둔다.

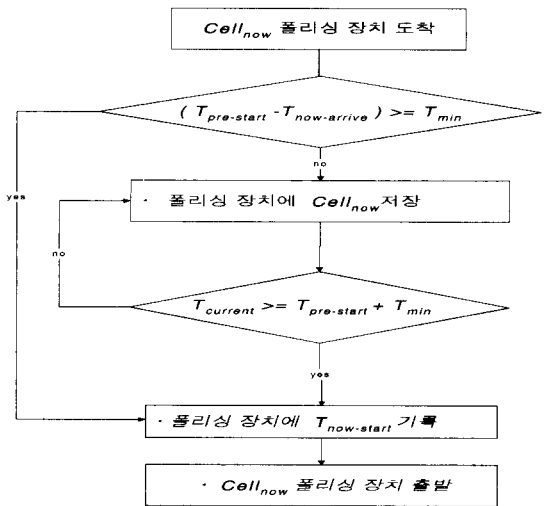
폴리싱 장치의 역할은 통신망에 유입되는 셀들을 서로 각각의 VCI(Virtual Circuit Identifier) 값을 갖는 셀들로 분리하여 임의의 VC에 속한 인접 셀들이 폴리싱 장치를 떠날 때는 임의의 VC에 속한 인접 셀들의 간격이 T_{min} 이상이 되게 한다. 이처럼 셀들이 폴리싱 장치를 거쳐 ATM 통신망으로 유입될 때는 항상 같은 VCI 헤더 값을 갖는 인접하는 두 셀간의 간격이 T_{min} 이상이 되어 폴리싱과 셰이핑이 이뤄진 형태로 네트워크로 유입시켜지게 된다.

2.3 제안 폴리싱 장치의 구조 및 기능 설계

다수의 VC(가상채널)로 다중화 된 셀 스트림에 대하여 모든 VC 병렬처리 개념으로 폴리싱하면서 각 VC별로는 독립적으로 동작하는 폴리싱 장치의 동작 원리를 그림 2.1과 같이 특정 VC에 속한 셀 스트림으로 설명한다. 폴리싱 장치는 특정 VC에 속한 $Cell_{now}$ (현재 도착한 셀)이 폴리싱 장치로 들어올 때 그 VC에 속한 바로 앞서 온 $Cell_{pre}$ ($Cell_{now}$ 바로 전에 도착한 셀) 폴리싱 장치를 이미 떠났는지를 조사하고, 떠났다면 떠난 시점부터 현시점까지 T_{min} 이 지났는지 여부도 조사한다.

제안하는 폴리싱 장치의 구조는 그림 2.3에서처럼 $Cell_{pre}$ 와 $Cell_{now}$ 의 도착시점과 출발시점들을 관리하기 위하여 CAM_{police} (셀 감시용 Content Addressable Memory)을 두고있으며, $Cell_{now}$ 를 지연시킬 필요가 있는 경우에 셀을 폴리싱 장치에 저장시켜 $Cell_{pre}$ 와의 출발시간 간격을 T_{min} 이상 유지시키는 셀 버퍼링 역할을 수행하는 CAM_{store} (셀 저장용 Content Addressable Memory)을 두고 있다.

그림 2.4는 폴리싱 장치에 있는 두 가지 CAM중 감시용 CAM인 CAM_{police} 에서 수행되는 일련의 기능을 표시하고 있다. 여기서 표현된 시간단위는 셀 슬롯시간을 1로 표현한다.



$T_{current}$: 현재 시간
 $T_{pre-start}$: $Cell_{pre}$ 가 폴리싱 장치를 떠난 시간
 $T_{now-start}$: $Cell_{now}$ 가 폴리싱 장치를 떠난 시간
 $T_{now-arrive}$: $Cell_{now}$ 가 폴리싱 장치에 도착한 시간

그림 2.4 폴리싱 장치에서 CAM_{police} 의 동작 알고리즘

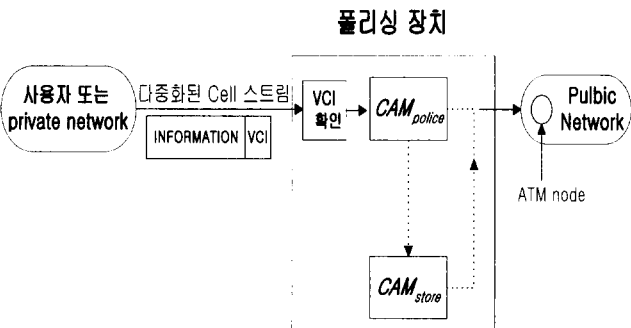


그림 2.3 폴리싱 장치의 블럭도

CAM_{police} 에 기억되는 각각의 저장 엔트리는 각 셀이 속한 VCI를 구분할 수 있도록 VCI 값이 기억되는 어드레스 필드(ADDRESS)와 CAM_{store} 에 저장되어 지연되고 있는 같은 VCI 값을 가진 셀들의 숫자를 표시하는 셀 카운터(COUNTER) 및 어떤 하나의 엔트리가 CAM_{police} 에 기억시켜진 순간 어떤 초기 타이머 값으로 입력되어 셀의 슬롯시간이 1씩 경과할 때마다 1씩 감소하는 타이머 필드(TIMER)로 구성된다. 여기서 셀 카운터의 최대 값은 폴

리싱 장치에서 임의의 VC당 최대로 할당된 셀 버퍼 수인 BUF_{max} (최대 버퍼수)가 된다.

CAM_{police} 에 특정 엔트리가 기억되거나 제거되는 과정은 다음과 같다. 입력되는 모든 셀은 폴리싱 장치를 통과하게 된다. 어떤 셀이 폴리싱 장치로 들어오면 그 셀의 VCI 값은 CAM_{police} 의 어드레스 필드 (ADDRESS)와의 매칭용 어드레스로 사용된다. 이때 CAM_{police} 에서 매칭이 일어나지 않으면 현재 셀과 같은 VC 값을 갖는 즉, 동일한 VCI 값을 갖는 바로 앞시간 셀과의 간격이 T_{min} 이상이라는 것을 의미하고, 그 셀은 그대로 ATM 노드로 보내진다. 이 경우에 CAM_{police} 에는 이 셀에 해당되는 하나의 엔트리가 기억된다. 이때 기억되는 엔트리 내용은 ADDRESS 필드에는 이 셀의 VCI 값이, COUNTER 필드에는 0이, 그리고 TIMER 필드에는 T_{min} 값으로 기억되게 된다. 이 순간부터 이 엔트리의 TIMER 값은 매 셀 슬롯시간이 경과할 때마다 1씩 감소하게 되고, 결국 COUNTER 값과 TIMER 값이 각각 0 값이 되는 순간에 이 엔트리는 CAM_{police} 에서 자동적으로 제거된다.

만약 폴리싱 장치로 들어온 셀이 CAM_{police} 에서 매칭이 일어나면, 현재 셀과 동일 VCI 값을 갖는 바로 앞시간 셀이 폴리싱 장치에 아직 대기중이거나 혹은 폴리싱 장치를 떠났다고 하더라도 떠난 시점으로부터 현시점까지가 T_{min} 이 경과하지 않았다는 것을 의미한다. 이 경우는 먼저 CAM_{police} 에 있는 매칭된 어드레스의 엔트리 값(ADDR, COUNT, TIM)이 새로운 값 (ADDR, COUNT+1, TIM)으로 바뀌어 다시 CAM_{police} 에 갱신·저장된다. 그리고 현재 셀은 ATM 노드로 바로 보내지지 않고 일단 CAM_{store} 에 보내져 저장된다. 이 순간에 CAM_{store} 에 기억시킬 엔트리 내용은 CAM_{police} 에서 매칭되어 갱신 세 가지 값 (ADDR, COUNT+1, TIM)과 셀의 데이터 필드내용(cell payload)이다. 즉, 4가지의 필드 (ADDR, COUNT, TIM, 셀의 데이터영역)로 구성되는 엔트리 값이 CAM_{store} 에 저장된다.

CAM_{police} 나 CAM_{store} 의 TIMER 필드나 COUNTER 필드에 저장되는 값들은 기억될 때의 초기 값에서 시작하여 시간이 t 에서 다음 셀 슬롯 시간 $(t+1)$ 일 때 다음과 같은 변화관계식을 갖는다.

$$TIM(t+1) = [\{ TIM(t) + T_{min} \times COUNT(t) - 1 \} MOD T_{min}] \quad (1)$$

(단, $A \text{ MOD } B$ 기호는 A를 B로 나누었을 때의 나머지 값을 의미함)

$$COUNT(t+1) = INTEGER$$

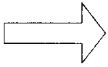
$$\left[\frac{ \{ TIM(t) + T_{min} \times COUNT(t) - 1 \} }{ T_{min} } \right]$$

(단, $INTEGER[A]$ 는 A의 정수부분만 취한 값을 의미함) (2)

CAM_{police} 와 CAM_{store} 에서 하나의 엔트리가 제거되는 방식의 차이점은 CAM_{police} 에서는 COUNTER 값과 TIMER 값이 모두 0이 되면 이 해당 엔트리가 CAM_{police} 에서 제거되나, CAM_{store} 에서는 어떤 엔트리의 COUNTER 값이 1인 상태에서 TIMER 값이 0이 되면 이 엔트리는 CAM_{store} 에서 제거됨과 동시에 셀의 데이터영역 필드, 곧 폴리싱 장치에 저장되었던 셀이 ATM 노드로 보내지게 된다는 것이다. VCI 별로 이용되는 CAM_{store} 용 버퍼는 공용버퍼 (shared buffer) 방식으로 저장되는 구조이다^{[5],[11]}.

현재 셀이 도착 했을 때, CAM_{police} 의 매칭 엔트리 내용이 그림 2.5와 같다고 가정하면 폴리싱 장치에는 가상회선 64번에 속하는 2개의 앞서 들어온 셀인 $Cell_A$ 와 $Cell_B$ 가 남아있는 상태이다. 이때 VCI=64인 현재 셀인 ($Cell_C$)가 폴리싱 장치로 들어왔을 때 CAM_{police} 에 저장되어 있는 이 엔트리 값은 (64, 3, 2)로 바뀌고 CAM_{store} 에는 그림 2.6과 같이 현재 시간 t 에서 들어온 셀이 (64, 3, 2, $Cell_C$ 의 데이터) 형태로 저장된다. 현재 시간 t 에 폴리싱 장치로 들어온 셀을 기준으로 이 시간 이후 CAM_{police} 나 CAM_{store} 안에서의 동작을 살펴보면 그림 2.7과 같다. 각 TIMER 값은 셀 슬롯시간이 경과함에 따라 1씩 감소하기 시작하여 COUNTER=1, TIMER=0 이 되는 시점에 CAM_{store} 에 저장되어 있던 $Cell_C$ 가 폴리싱 장치를 떠나게 되며 이때 CAM_{store} 의 $Cell_C$ 엔트리는 지워지게 된다. 만약 시간 t 에 VCI=64인 $Cell_C$ 가 들어온 이후로 ($T_{min} \times 3 + 2$) 시간이 경과하는 동안 VCI=64에 속한 셀이 폴리싱 장치로 더 이상 들어오지 않으면 그림 2.7에서처럼 CAM_{police} 의 VCI=64에 해당하는 엔트리는 ($t + T_{min} \times 3 + 2$) 시간에 COUNTER 값과 TIMER 값이 각각 0이 되어 CAM_{police} 로 부터 지워지게 된다.

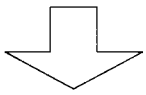
ADDRESS	COUNTER	TIMER
64	2	2
⋮	⋮	⋮
⋮	⋮	⋮



ADDRESS	COUNTER	TIMER
64	3	2
⋮	⋮	⋮
⋮	⋮	⋮

그림 2.5 CAM_{police}의 데이터 저장구조

ADDRESS	COUNTER	TIMER	셀의 데이터 영역
64	2	2	Cell_B 데이터
64	1	2	Cell_A 데이터



ADDRESS	COUNTER	TIMER	셀의 데이터 영역
64	3	2	Cell_C 데이터
64	2	2	Cell_B 데이터
64	1	2	Cell_A 데이터

그림 2.6 CAM_{store}의 데이터 저장구조

CAM _{police} , CAM _{store} 에서의 엔트리 값 변화		
시간경과	COUNTER필드값	TIMER필드값
⋮	⋮	⋮
⋮	⋮	⋮
t	3	2
t+1	3	1
t+2	3	0
t+3	2	T _{min} -1
t+4	2	T _{min} -2
⋮	⋮	⋮
⋮	⋮	⋮
t+T _{min} *2	1	2
t+T _{min} *2+1	1	1
t+T _{min} *2+2	1	0
t+T _{min} *2+3	0	T _{min} -1
t+T _{min} *2+4	0	T _{min} -2
⋮	⋮	⋮
⋮	⋮	⋮
t+T _{min} *3	0	2
t+T _{min} *3+1	0	1
t+T _{min} *3+2	0	0

→ CAM_{store}에 저장된 Cell_A가 ATM 노드로 넘겨지고, CAM_{store}의 해당 엔트리가 제거되는 순간

→ CAM_{store}에 저장된 Cell_C01 ATM노드로 넘겨지고, CAM_{store}의 해당 엔트리가 제거되는 순간

→ CAM_{police}에서 Address=64의 해당 엔트리가 제거되는 순간

그림 2.7 CAM에서의 엔트리 데이터 값 변화

2.4 폴리싱 장치의 성능분석모델 개발

지금까지 설계 제시된 폴리싱 장치는 어떤 VCI 값을 갖는 셀이 폴리싱 장치로 입력될 때 만약 같은 VCI 값을 갖는 엔트리가 CAM_{police} 에 있다면 현재 입력된 셀도 역시 $COUNT \times T_{min} + TIM$ 만큼 CAM_{store} 에서 지연·저장된 후에 ATM 노드로 넘겨지게 되는 구조를 갖고 있다. CAM_{store} 에 저장할 수 있는 동일 VCI 값을 갖는 엔트리 수(= CAM_{store} 에 있는 동일 VCI에 속한 엔트리 수)는 BUF_{max} 이다. 먼저 CAM_{police} 에 있는 임의의 특정 VCI 값을 갖는 채널에 속하는 셀의 엔트리(ADDRESS, COUNTER, TIMER)값 중에서 n 번째 슬롯시간에서의 TIMER값을 랜덤변수 $TIM(n)$ 로 표시하고 COUNTER값을 랜덤변수 $COUNT(n)$ 로 표시한다. 여기서 랜덤변수 $C(n)$ 을 다음과 같이 정의한다.

$$C(n) = TIM(n) + T_{min} \times COUNT(n) \quad (3)$$

이 C 값에 대한 스토케스틱 프로세스를 표시하면 그림 2.8과 같다.

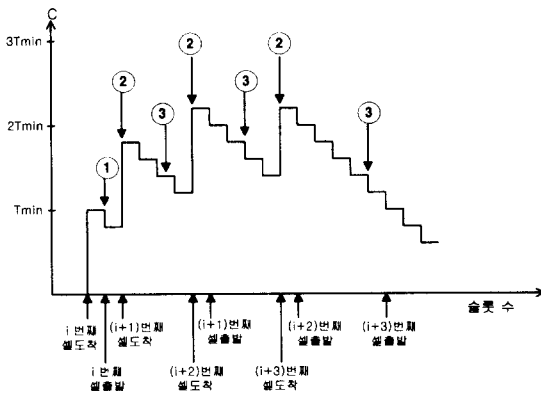


그림 2.8 스토케스틱 프로세스 $C(n) = TIM(n) + T_{min} \times COUNT(n)$

그림 2.8에서 C 의 값은 0에서 출발하여 T_{min} 으로 갔다가 바로 $T_{min}-1, T_{min}-2, \dots$ 이런 값으로 떨어지는 모양을 하고 있거나 혹은 C 의 값이 0이 아닌 시점에서 T_{min} 만큼 점프하는 모양을 하고 있다. C 의 값이 T_{min} 만큼 점프하는 모양을 하고 있는 곳은 특정한 채널에 속하는 셀이 폴리싱 장치에 도달하는 순간을 의미한다.

먼저 ①번은 C 의 값이 0에서 출발하여 T_{min} 로

갔다가 바로 $T_{min}-1$ 로 바뀌는 시점으로 CAM_{police} 에서 ADDRESS매칭이 일어나지 않은 경우이다. 즉, 현재 셀과 바로 앞서 ATM 노드로 입력된 셀과의 간격이 T_{min} 이상인 상태를 의미한다. 이 경우 현재 들어온 셀은 그대로 ATM 노드로 보내진다.

②번은 C 의 값이 0이 아닌 상태에서 T_{min} 만큼 점프하는 슬롯으로 $Cell_{new}$ 가 폴리싱 장치에 들어올 때 $Cell_{pre}$ 이 폴리싱 장치를 떠나지 못하고 있거나 떠난 경우라 하더라도 아직 그 셀이 떠난 후 T_{min} 만큼의 시간이 경과하지 않은 경우이다. 이때 현재 입력된 셀은 바로 ATM 노드로 보내질 수 없고 CAM_{store} 에 보관되었다가 앞서 들어온 셀이 ATM 노드로 보내지고 T_{min} 이 경과된 후에 ATM 노드로 보내져야 한다.

③번은 C 의 값이 계속해서 1씩 떨어지는 부분의 슬롯으로 폴리싱 장치로 동일 VCI 값을 갖는 셀이 들어오지 않고 있는 경우이다.

그림 2.8에서 C 의 값이 $(m \times T_{min} + 1)$ 에서 $(m \times T_{min})$ 로, 또 $(m \times T_{min} - 1), \dots$, (단, $m = 1, 2, 3, \dots, BUF_{max}$)으로 감소하는 모양을 하고 있는 곳은 C 의 값이 $(m \times T_{min})$ 에서 $(m \times T_{min} - 1)$ 로 바뀌는 순간에, CAM_{store} 에서 지연목적으로 저장되고 있던, m 개의 엔트리 값 중에서 (VCI, 1, 1, 셀의 데이터)에서 (VCI, 1, 0, 셀의 데이터)으로 바뀌는 엔트리가 CAM_{store} 에서 제거됨과 동시에 이 엔트리가 가지는 셀의 데이터 필드(폴리싱 장치에 저장된 셀 정보)가 ATM 노드 쪽으로 넘겨지게 되는 시점을 표시한다.

특정 VCI 값을 갖는 셀의 도착 프로세스를 베르누이 도착 프로세스라고 가정하고, 임의의 셀 슬롯에 동일 VCI 값을 갖는 셀이 폴리싱 장치에 도달할 확률을 ρ 로 표현한다.

스토케스틱 프로세스 $C(n)$ 의 상태전이 다이어그램을 그림 2.9에 나타내었다. 여기서 r 은 BUF_{max} 값을 나타낸다.

이 스토케스틱 프로세스는 마르코프 체인으로 표현된다. 즉, 상태공간이 $\{0, 1, 2, 3, \dots, (T_{min}-1), (T_{min}), (T_{min}+1), \dots, i, \dots, j, \dots, (BUF_{max} \times T_{min})\}$ 이 되며, 인접 슬롯에서 상태가 i 에서 j 로 바뀌어질 확률을 $P_{i,j}$ 로 표시하면, 이 마르코프 체인의 상태전이 행렬 M 은 $M = |P_{i,j}|, i = 0, 1, 2, \dots, K, j = 0, 1, 2, \dots, K$ (단, $K = BUF_{max} \times T_{min}$)로 표현

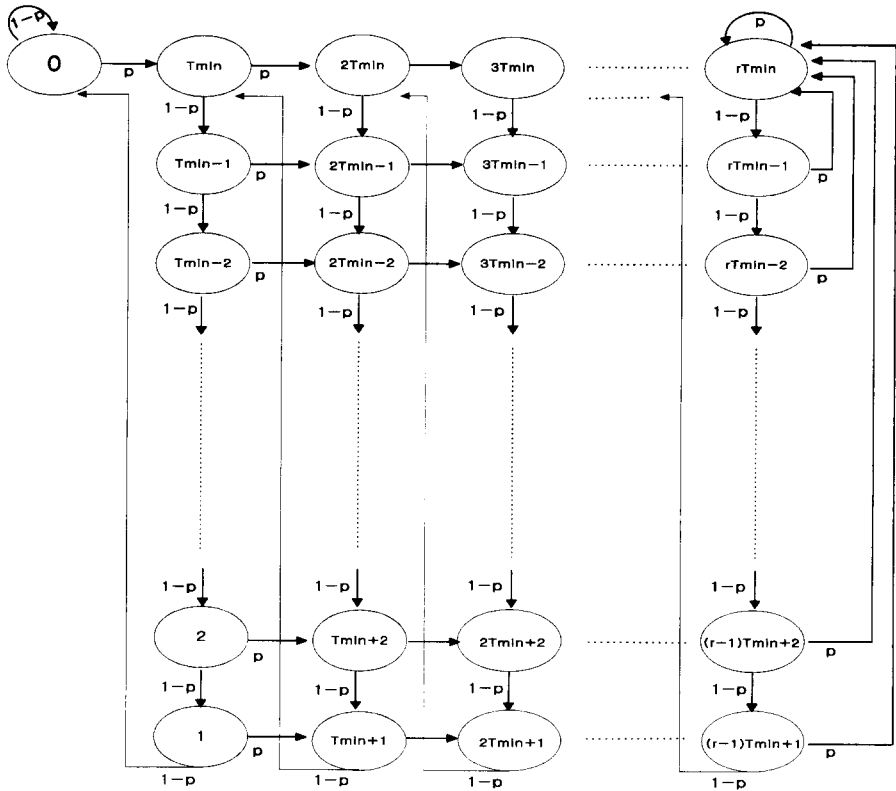


그림 2.9 Stochastic Process $C(n)$ 의 상태전이 다이어그램

된다. 여기서 상태전이 행렬 M 은 다음과 같다.

$$M = |P_{i,j}| = \begin{pmatrix} 1-p & , & i=j=0 \\ 1-p & , & j=i-1 \\ p & , & j=i+T_{min} \quad , \quad i \leq K-T_{min} \\ p & , & j=K \quad , \quad i > K-T_{min} \\ 0 & , & elsewhere \end{pmatrix} \quad (5)$$

여기서 평온상태에서의 C 의 확률값(steady state probability) 즉, $\lim_{n \rightarrow \infty} P\{C(n)=\theta\}$ 을 π_θ 로 정의하면, 열(ROW) 벡터 $\Pi = (\pi_0, \pi_1, \pi_2, \dots, \pi_\theta, \dots, \pi_K)$ 는 다음 관계식 $\Pi(I-M)=0, \Pi e=1$ 을 만족한다. 단, I 는 단위행렬(identity matrix)이며 e 는 단위 행벡터(unity column vector)를 의미한다. Π 값의 의미는 어떤 셀이 폴리싱 장치에 도착했을 때 CAM_{store} 에서 기다려야 하는 지연시간의 분포를 의미한다. 즉, 임의의 셀이 폴리싱 장치에 도달하여 폴리싱 장치내의 CAM_{store} 에서 기다려야하는 지연시간을 확률변수 X 로 표현하면 $\pi_\theta = P\{X=\theta\}$ 의 관계가 성립한다. 이 때 폴리싱 장치에서의 평균지연시간 T_{ave} 의 관계식은 다음과 같다.

$$T_{ave} = \sum_{\theta=0}^{BUF_{max} \times T_{min}} \theta \pi_\theta \quad (6)$$

특정 셀이 폴리싱 장치로 들어올 때 CAM_{store} 가 가득 차 있어서 버려질 확률을 P_{loss} 로 정의하면, 결국 이것은 CAM_{store} 가 가득 찰 확률과 같다고 볼 수 있고, 이를 식으로 나타내면 다음과 같다.

$$P_{loss} = \sum_{j=(BUF_{max}-1)T_{min}+1}^{BUF_{max} \times T_{min}} \pi_j \quad (7)$$

III. 폴리싱 장치 성능분석

3.1 분석결과

이 논문에서 제안하고 있는 폴리싱 장치에서의 셀 지연시간 및 셀 손실률에 영향을 끼치는 파라미터들은 트래픽 부하 ρ , regulated cell flow에서의 인접 셀들 사이의 최소간격 T_{min} , CAM_{store} 셀 버퍼의 크기 BUF_{max} 값 등이다. T_{min} 값을 상수 값으로 고정시켰을 경우 폴리싱 장치의 각각 VC 별 버퍼 크기를 30에서 100개의 범위로 가정하고, BUF_{max}

값을 이 범위에서 변화시켜 가면서 R_{weight} 값의 변화에 따라 폴리싱 장치의 CAM_{store} 에서 셀 시간 지연과 셀 손실이 얼마나 일어나는가를 분석한 것이다.

그림 3.1에서 나타난 결과 값을 통해서 R_{weight} 값이 0.6 ($T_{min}=2, E(T_{inter})=\frac{10}{3}$)일 때 BUF_{max} 값이 90정도만 되면 폴리싱 장치에서 지연되는 셀의 시간이 약 10 슬롯시간 정도가 됨을 알 수 있다. 이 정도의 버퍼메모리는 하나의 VC 당 폴리싱과 셰이핑을 수행하기 위하여 $90(\text{Cell}) \times 53(\text{byte}) = 4770(\text{bytes})$ 정도의 버퍼 메모리 공간이 필요하다.

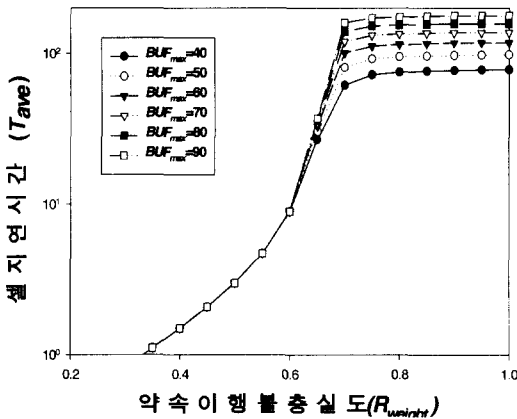


그림 3.1 셀 지연시간 (조건 : $T_{min} = 2$)

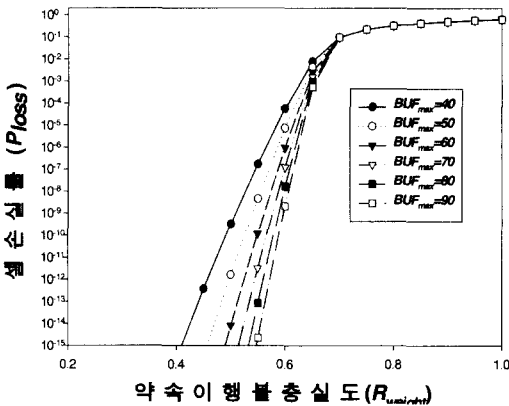


그림 3.2 셀 손실률 (조건 : $T_{min} = 2$)

그림 3.2에서는 셀 손실률을 R_{weight} 변화에 따라 분석하였다. 여기서 약속 이행 불충실도값 R_{weight} 이 0.6이고, 폴리싱 및 셰이핑을 위한 셀 버퍼수가

90일 때 셀 손실률은 약 10^{-9} 정도가 됨을 알 수 있다. 위의 두 가지 그림을 통해 하나의 VC에 대하여 R_{weight} 값이 0.6정도라고 가정하면, BUF_{max} 값을 90정도로 잡으면 셀의 평균 손실률이 10^{-9} 정도 이하로 유지됨과 동시에 같은 상황에서 폴리싱 장치에서 지연되는 셀의 시간도 약 10 슬롯 시간 정도임을 분석하였다

IV. 결론

이 논문에서는 폴리싱(policing)과 셰이핑(shaping)을 동시에 수행하는 고속 폴리싱 장치를 설계하고 제안했다. 제안된 폴리싱 장치는 셀의 버퍼링으로 인한 시간 지연이외의 추가적인 셀 지연을 최소화하고, 또 ATM 다중화된 가상 채널별로 효과적인 폴리싱을 수행하기 위하여 CAM(Content Addressable Memory)을 이용하는 새로운 기법의 폴리싱 장치이다. 이 CAM 방식의 폴리싱 장치는 여러 가상 채널 입력 셀 스트림을 병렬처리 개념으로 각 가상 채널별로 독립적으로 폴리싱 및 셰이핑 처리하는 장치이다.

분석 결과 어떤 가상 채널의 입력 트래픽이 호수락 제어 때에 약속한 최대 전송률의 60% 정도를 ATM 네트워크로 유입시킨다면 VC당 약 4.7Kbytes 정도의 버퍼 메모리 공간을 설계해야 함을 발견하였고, 이 때의 폴리싱 장치내에서의 시간 지연이 약 10슬롯시간 이고 셀 손실률은 10^{-9} 정도가 됨을 알 수 있었다. 폴리싱 장치의 파라미터들과 셀 손실 및 셀 지연시간의 정량적 상관관계를 밝혀주는 본 분석용 모델은 폴리싱 장치를 설계하거나 운용할 때 폴리싱 구조와 성능과의 상관관계를 예측 가능케 해주는 중요한 성능 분석용 모델이다.

참고 문헌

- [1] Paul Ferguson and Geoff Huston, Quality of Service : Delivering QoS on the Internet and in Corporate Networks, Wiley Computer Publishing, 1998.
- [2] The ATM Forum, ATM : USER-NETWORK INTERFACE SPECIFICATION, Ver. 3.1, Prentice Hall International Editions, 1995.
- [3] The ATM Forum, Traffic Management Specification, Ver. 4.0, 1996.
- [4] Kees Van der Wal, Michael Mandjes & Harrie

- Bastiansen, "Delay Performance of The New INTERNET Service With Guaranteed QoS", ISS'97 : World Telecommunications Congress, Vol.2, pp.59-66, Sep. 1997.
- [5] Michael Falchi, "IP and ATM Integration : QoS issues with Enhanced Buffer Scheduling", ISS'97 : World Telecommunications Congress, Vol.1, pp.459-464, Sep. 1997.
- [6] 이상미, 정윤찬, 김휘동, "다중경로 ATM 스위치에서의 간격조절기에 관한 연구", 한국 통신학회 논문지, 23권 1호, pp.220-229, 1998년 1월.
- [7] 정윤찬, "다수경로를 갖는 ATM 교환 구조에서의 셀 순서 바뀔 성능", 전기전자학회 논문지, 1권 1호, pp.83-92, 1997년 12월.
- [8] Y. C. Jung, C. K. Un, S. M. Ryu, and S. C. Lee, "Analysis of the out-of-sequence problem and the preventive schemes in a parallel switch architecture for high-speed ATM networks," IEEE Proceedings Part I, Vol. 141, No. 1, Feb., 1994.
- [9] Y. C. Jung, C. K. Un, "Banyan multipath self-routing ATM switches with shared buffer type switch elements," IEEE Trans. Communication, Vol. 43, No. 11, pp.2847-2857, Nov. 1995.

정 윤 찬(Younchan Jung)

현재: 가톨릭대학교 컴퓨터·전자공학부

홍 영 진(Youngjin Hong)

현재: 가톨릭대학교 가상대학운영실