

256-QAM 복조를 위한 NDD 클럭복원회로의 성능해석

정회원 장 일 순*, 조 응 기*, 정 차 근**, 조 경 록*

The Performance of a Non-Decision Directed Clock Recovery Circuit for 256 QAM Demodulator

Ill-soon Jang*, Woong-ki Cho*, Cha-keon Cheong**, Kyoung-rok Cho* *Regular Members*

요 약

Gardner 알고리즘은 PAM 통신 방식에서 대표적인 NDD (Non-Decision Directed) 심볼동기방식으로 사용되고 있으나, Multi-level PAM의 경우 패턴 노이즈가 증가하는 단점이 있으며 이를 보상하기 위해서는 전처리 필터를 이용하여 타이밍 지터를 감소시킬수 있다는 것이 알려져 왔다. 본 논문에서는 완전 디지털 256-QAM 복조기의 심볼 동기회로에서 채널의 rolloff 값이 낮은 값으로 대역 제한된 경우, 타이밍 지터의 양을 줄이고 PLL의 locking을 개선시키기 위해 전처리 필터를 사용한 NDD 알고리즘의 통계적 특성을 분석하고 이를 컴퓨터 시뮬레이션으로 검증하고 전처리 필터의 최적 파라미터 값을 도출한다.

ABSTRACT

Gardner's algorithm is one of the useful algorithm for NDD(Non-Decision Directed) symbol synchronization in PAM communications. But the algorithm has a weak point such as pattern noises increasing in multi-level PAM. To insert a pre-filter in the algorithm is able to reduce timing jitter and pattern noise. In this paper, we analyze statistical properties of NDD algorithm to find an optimal parameter of the pre-filter for improving timing jitter and PLL locking. As a simulation result, optimum value of pre-filter parameter, β , is 0.3 and 0.5 at the roll off factor of the channel, α , is 0.5 and 1.0, respectively. Optimum parameters of the pre-filter for clock synchronization of all-digital 256-QAM demodulator is shown in the results.

I. 서론

디지털 통신 시스템에서, 수신파형으로부터 송신된 디지털 심볼을 복원하기 위해서는 송신 심볼을 또는 그 정수배의 클럭에 동기화 시키는 것이 요구된다. 그러나, 송신 전력과 채널 대역폭의 제한으로 인해, 심볼과 클럭정보를 분리해서 전송하거나, 심볼에 클럭정보를 다중화시키는 방법은 효율적이지

못하므로, 수신된 변조 데이터로부터 클럭을 직접 복원하기 위해 많은 연구가 진행되어 왔다^{[1],[3]}. 그러나, 256 QAM에서와 같이, 제한된 대역폭과 송신 전력하에서 채널 효율을 높임과 동시에 심볼검출의 에러를 줄이고 복조기의 회로구성을 간단화 시키기 위해서는 보다 많은 연구가 요구되고 있다.

심볼동기화의 알고리즘은 크게 결정지향 (Decision directed: DD) 방법과 비결정지향 (Non-Decision Directed: NDD) 방법으로 분류할 수 있다^[1]. 먼저,

* 충북대학교 정보통신공학과(isjang@hbt.chungbuk.ac.kr)

** 호서대학교 제어계측공학과(cheong@dogsuri.hoseo.ac.kr)

논문번호: 99033-0128

접수일자: 1999년 1월 28일

DD 방법은^[3] 심볼 주기로 샘플링을 하며, rolloff 값이 감소할수록 타이밍 함수의 기울기가 증가하게 되고 추적 지터(tracking jitter)의 양이 감소된다. 따라서, 스펙트럼 효율이 좋고 회로구성이 비교적 간단하며 협대역 신호의 클럭복원에 적합하다. 그러나, 이 방법은 타이밍 함수가 반송파의 위상오차에 직접적인 영향을 받기 때문에 심볼 동기 전에 정확한 반송파 복원(carrier recovery)이 필요하고, M-ary PAM 신호의 경우 결정해야 할 시스템 변수의 증가로 인해 설계가 어렵게 되는 문제가 있다.

한편, NDD 방법은^[4] 하나의 심볼마다 두 개의 샘플링이 필요하지만, 타이밍 함수가 반송파의 위상 오차에 영향을 받지 않음으로 인해 반송파 동기 회로 및 등화기와는 독립적으로 클럭복원의 회로 구성이 가능하며, 비교적 간단한 구조를 가진 TED(Timing Error Detector)를 이용하여 패턴 노이즈(pattern noise)를 제거할 수 있다. 또한, DD 알고리즘과는 달리 M-ary PAM 신호의 경우에도 알고리즘을 수정함이 없이 사용할 수 있는 장점이 있으나, 패턴 노이즈가 증가하고, 이로 인해 협대역 신호에서는 타이밍 함수의 기울기가 감소하고, 이에따라 지터 발생량이 증가하는 단점이 있다. Cowley등은^[5] 통계적 신호해석을 통해, DD 알고리즘 및 NDD 알고리즘의 성능을 비교, 분석하고, 낮은 SNR의 신호에서는 DD 알고리즘의 성능저하가 크지만, 협대역에서는 DD 알고리즘의 성능이 NDD 알고리즘보다 우수함을 보이고 있다. 이상과 같은 타이밍 복원의 성능은 알고리즘뿐만 아니라 채널 대역폭에 의해서도 크게 좌우된다^{[5], [6]}.

패턴 노이즈에 의한 지터는 송·수신 데이터 펄스파형 $g(t)$ 에 따라 그 발생량이 좌우된다. 패턴 노이즈의 스펙트럼을 In-phase 성분 (I)과 Quadrature 성분 (Q)으로 분할하면, 선형 위상의 펄스일 경우 타이밍 지터는 주로 Q 성분에 좌우된다^[6]. 또한, $g(t)$ 가 rolloff α 의 raised-cosine 필터인 경우, α 값의 감소에 따라 패턴 노이즈는 급격하게 증가하게 되고 jitter-free의 타이밍 복원은 매우 어렵게 된다. Frank등은^[1] squared-law 소자를 사용한 아날로그 타이밍 검출회로의 경우 송·수신 데이터 펄스 $g(t)$ 가 심볼주기의 1/2에서 대칭의 특성을 갖고 대역제한 되어 있을 경우, jitter-free의 타이밍 복원이 가능함을 보이고 있다. 또한, D'Andrea등은^[7-9] 적당한 전처리 필터를 NDD 알고리즘의 TED 회로에 부가시켜 $g(t)$ 의 파형을 shaping 시킴으로써 jitter-free의 타이밍 복원을 위한 조건과 함께 최적 전처

리 필터설계를 위한 알고리즘을 제시하고 있다.

본 논문은 rolloff $\alpha=0.5$ 이하로 대역제한된 채널에서, 완전 디지털 256-QAM 복조기 구성을 위한 신호의 심볼 동기 회로에서 타이밍 지터 발생량을 줄이고 안정된 타이밍 복원을 위한 연구의 하나로, rolloff 값 및 부가성 잡음에 따른 NDD 알고리즘의 특성을 분석, 조사한 것이다. NDD 알고리즘에 의한 타이밍 검출의 통계적 특성이나 jitter-free를 위한 조건등은 이미 많은 연구가 진행되어 있으나, 이의 실현이 용이하지 않고, rolloff 값의 변화나 외부잡음에 대한 충분한 결과가 주어지지 않았다. 또한, jitter-free의 타이밍 복원을 위해, 전처리 필터를 사용할 경우, 필터계수의 최적설계 및 타이밍 지터 개선에 관한 연구도 이미 발표되어 있지만, rolloff 값의 변화에 따른 패턴 노이즈의 관계가 충분치 못하다. 따라서, 본 논문에서는, rolloff 값의 변화와 부가 잡음의 양에 따른 NDD 알고리즘에 의한 패턴 노이즈의 양과 심볼 동기회로의 안정화 상태를 분석하고, 컴퓨터 시뮬레이션에 의한 결과를 제시한다. 또한, 전처리 필터를 사용하는 경우 전처리 필터의 대역폭에 따라 감소되는 지터의 양과 심볼 동기 회로의 수렴 속도와의 상관 관계를 명확하게 한다.

본 논문은 II장에서 전처리 필터와 NDD 알고리즘에 기반을 둔 디지털 타이밍 검출의 특성을 기술하고, III장에서 전처리 필터를 사용한 경우의 TED 신호의 통계적 성질과 jitter-free의 조건을 간략히 유도한다. IV장에서는 컴퓨터 시뮬레이션에 의한 심볼 동기 회로의 특성을 관찰하고, rolloff 값 및 전처리 필터 대역폭에 따른 지터의 양과 수렴 속도에 대한 실험 결과를 제시한다.

II. 전처리 필터를 사용한 타이밍 정보의 추출

256-QAM 디지털 통신 시스템에서 타이밍 복원 회로를 포함한 전체 수신기의 구성을 디지털 회로만으로 실현하기 위해, 그림 1과 같이 A/D 변환기에 의해 수신 신호를 디지털로 변환한 다음, 반송파를 제거한 기저대역 신호로부터 타이밍 정보를 검출한다. 또한, 본 논문에서는 반송파의 위상오차와 채널간 간섭이 타이밍 정보 검출에 미치는 영향을 배제하고, 채널 대역폭의 변화 즉 rolloff 값의 변화와 열잡음과 같은 부가성 잡음이 검출된 타이밍 정보에 미치는 영향을 조사하기 위해 반송파 동기회로 및 등화기는 고려하지 않는다.

수신기의 입력신호 $r(t)$ 는

$$r(t) = \sum_m a_m g_T(t - mT) + w(t) \quad (1)$$

와 같이 주어진 것으로 한다. 여기서, a_m 은 m 번째의 QAM 심볼로 복소함수이며 In-Phase 성분과 Quadrature 성분을 갖고, 서로 독립이며 진폭성분이 $S_M \equiv \{- (M-1), -(M-3), \dots, -1, 1, \dots, (M-3), (M-1)\}$ 의 집합에서 하나의 값을 취하는 동일분포의 확률 변수로 정규화 되어 있다고 가정한다. 또한 T 는 심볼의 주기이고, $g_T(t)$ 는 전송신호의 임펄스 응답이며, $w(t)$ 는 PSD (Power Spectral Density)가 N_0 이고 심볼 a_m 과는 독립인 Gaussian 잡음을 나타낸다. 입력 신호 $r(t)$ 를 $t = kT + \tau$ 에서 $2/T$ 의 주기로 샘플링하고, matched 필터로써 Nyquist 조건을 만족하는 디지털 필터 즉

$$g_i = \sum_l g_i^R g_i^T \quad (2)$$

가 rolloff α 인 raised cosine 필터 $g(t)$

$$g(t) = \frac{\sin(\pi t/T) \cos(\alpha \pi t/T)}{\pi t/T (1 - (2\alpha t/T)^2)} \quad (3)$$

의 파형을 샘플링해서 얻은 것과 동일한 파형이 되도록 수신기의 디지털 필터 g_i^R 를 구성하면 matched 필터의 출력 $y_k(\tau)$ 는

$$y_k(\tau) = \sum_m a_m g_{k-2m}(\tau) + n(kT/2 + \tau) \quad (4)$$

가 됨을 알 수 있다. 이때, $n_k(\tau) = n(kT/2 + \tau)$ 는

$n_k(\tau) = w_k(\tau) \otimes g_k^R$ 인 부가성 잡음이며, \otimes 는 컨볼루션이다.

신호파형 $g_i(\tau)$ 의 응답특성을 개선하고, 신호의 자체 노이즈 (self-noise)에 의한 타이밍 지터의 발생량을 줄이기 위해 타이밍 검출회로에 h_i 의 전처리 필터를 사용해서 필터링하면, TED의 입력신호 $z_i(\tau)$ 는

$$\begin{aligned} z_i(\tau) &= \sum_l h_l y_{i-l} \\ &= \sum_k a_k \sum_l h_l g_{l-i-2k}(\tau) + n_i(\tau) \otimes h_i \\ &= \sum_k a_k q_{i-2k}(\tau) + \nu_i(\tau) \end{aligned} \quad (5)$$

와 같이 주어진다. 단 $q_i(\tau) = \sum_l h_l g_{l-i}(\tau)$ 이다.

반송파 위상오차에 영향을 받지 않고 독립적인 타이밍 검출회로로부터 타이밍 오차정보 $e(k)$ 를 추출하기 위해, 대표적인 NDD 알고리즘의 하나인 [4]의 방법을 이용하면, TED 출력의 타이밍 정보 $e(k)$ 는 다음과 같이 주어진다.

$$e(k) = \text{Re}\{z_{2k-1}^*(\tau)(z_{2k}(\tau) - z_{2(k-1)}(\tau))\} \quad (6)$$

여기서 $2k-1, 2k, 2(k-1)$ 은 샘플링 순간 $(2k-1)(T/2) + \tau, 2k(T/2) + \tau$ 와 $2(k-1)(T/2) + \tau$ 를 각각 나타낸 것이고, $\text{Re}(\cdot)$ 는 실수값을 의미한다.

III. 전처리 필터에 의한 타이밍 정보의 통계적 성질

본 장에서는 전처리 필터를 고려한 타이밍 오차 정보 $e(k)$ 의 통계적 특성을 유도하고, rolloff 값의

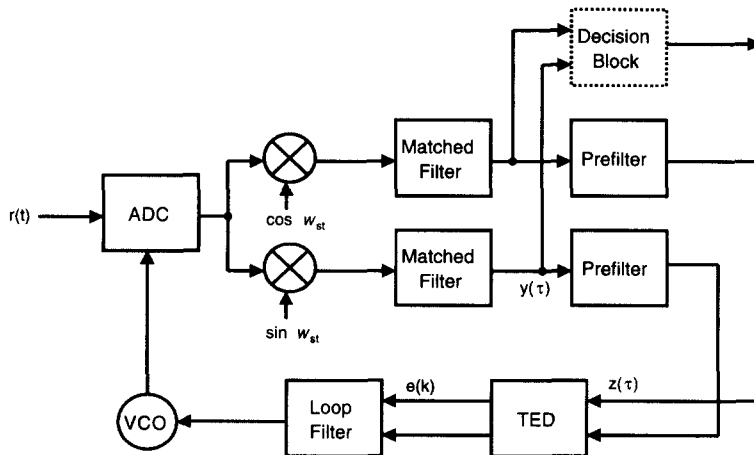


그림 1. 256-QAM 복조기의 심볼 동기 회로

변화에 따른 NDD 알고리즘의 성능을 고찰한다.

먼저 TED의 평균 출력 $U_A(\tau)$ 는, 평균이 0, 분산이 1인 심볼의 경우 [4]의 결과를 활용하면

$$\begin{aligned}
 U_A(\tau) &= E(e(k)) \\
 &= \sum_p z(\tau + (k-1/2)T - pT) \\
 &\quad \cdot [z(\tau + kT - pT) - z(\tau + (k-1)T - pT)] \\
 &= -(4/T) \sin 2\pi\tau/T \\
 &\quad \cdot \int_0^{2\pi/T} Z(e^{j2\pi f}) \cdot Z(e^{j2\pi(\frac{1}{T}-f)}) \sin \pi f T df \quad (7)
 \end{aligned}$$

이다. $\tau = 0$ 에서, $U_A(\tau) = 0$ 이고 이는 각 펄스의 중심과 일치하며, eye 패턴에서 eye가 활짝 열린상태에 해당된다. 식 (7)에서, $U_A(\tau)$ 는 $Z(e^{j2\pi f}) \cdot Z(e^{j2\pi(1/T-f)})$ 에 비례하며, 또한, $Z(e^{j2\pi f}) = G(e^{j2\pi f}) \cdot H(e^{j2\pi f})$ 이므로, 전처리 필터 $H(e^{j2\pi f})$ 의 특성에 의해 값이 변화할 수 있다. 그림 2는 식 (7)을 주파수 스펙트럼상에서 나타낸 것이다. 그림 2의 B영역은 전처리 필터를 사용하지 않은 NDD 알고리즘을 심볼 동기 회로에 적용한 경우의 $U_A(\tau)$ 이며, A영역은 B영역과 전처리 필터가 중첩되는 부분으로 식 (7)의 적분 값을 나타내는 것이며, 적분 값에 비례하여 타이밍 에러가 적은 클럭을 생성하게 된다. 따라서, 전처리 필터는 NDD 알고리즘에서 타이밍 지터의 원인이 되는 DC 성분을 TED 입력 전에 제거하는 역할, 즉 펄스파형을 jitter-free의 조건을 만족하는 주파수 $\frac{1}{2T}$ 를 중심으로 하는 대칭의 파형이 되도록 파형정형의 역할을 수행한다. 그러나, 전처리 필터의 대역폭을 좁혀서 추출되는 타이밍 정보가 적어지면 PLL의 locking이 늦게 이루어질 수 있다.

본 논문에서는 다양한 전처리 필터의 특성과 인수에 따라 패턴 노이즈발생과 PLL의 locking의 정도를 분석하고 조사하기 위해, [8]에서와 같이 TED의 입력 $z(kT + T/2) = 0$, (for $\forall k$)를 만족시키는 조건으로부터 인수 β 를 사용하여 다음 식과 같은 저역 통과 필터로부터 $\frac{1}{2T}$ 중심의 대역통과 주파수 특성을 갖는 디지털 전처리 필터를 구성해서 사용했다.

$$H(f) = \begin{cases} \frac{1}{2T}(1 + \cos(\frac{2\pi f T}{\beta})), & 0 \leq f \leq \frac{\beta}{2T} \\ 0, & \text{elsewhere} \end{cases} \quad (8)$$

일반적으로 심볼 동기화 루프는 TED에서 출력되는 타이밍 에러를 궤환하여 최적의 샘플링 위치를 추정하며, VCO를 포함한 모델링으로부터 타이밍

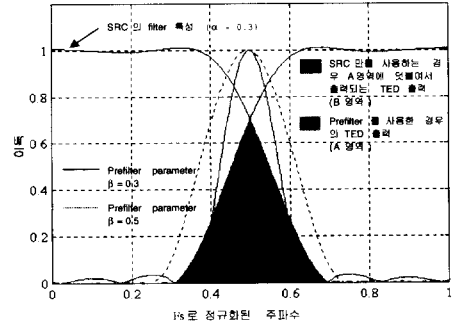


그림 2. TED의 출력과 전처리 필터의 주파수 응답

에러 τ_k 는

$$\tau_{k+1} = \tau_k + \gamma e_k \quad (9)$$

으로 표현할 수 있다. 여기서 γ 는 갱신값(updating step)이다. TED 출력의 조건 기대치를 $S(\tau)$ 로 표기하고 루프 노이즈를 N_k 라하면, (9)식은

$$\tau_{k+1} = \tau_k + \gamma [S(\tau_k) + N_k] \quad (10)$$

로 표현할 수 있다⁹⁾. 또한, $\tau=0$, 즉 루프가 안정된 상태에서 루프는 선형화될 수 있다. 따라서, $S(\tau_k) \approx A\tau_k$, $A \equiv S'(0) < 0$ 로 정의하면, (10)식은

$$\tau_{k+1} = (1 - \gamma A)\tau_k + \gamma N_k \quad (11)$$

로 나타낼 수 있다. 샘플링 offset τ_k 의 자기상관 함수 $R_\tau(m)$ 은,

$$R_\tau(m) = R_N(m) \otimes \eta_m \otimes \eta_{-m} \quad (12)$$

로 나타낼 수 있다. $R_N(m) \equiv E(e_{k+m}e_k)$ 로 루프 노이즈 N_k 의 자기상관 함수이며, η_m 은 선형 루프의 임펄스 응답으로 $\eta_m \equiv \gamma(1 - \gamma A)^{m-1}$ 다. 따라서, 분산 σ_τ^2 는

$$\begin{aligned}
 \sigma_\tau^2 &= R_\tau(0) \\
 &= \frac{2B_L T}{|A|^2} \sum_{k=-\infty}^{\infty} R_N(k)(1 - \gamma A)^{|k|} \quad (13)
 \end{aligned}$$

이다⁸⁾. 여기서, $B_L T$ 는 루프 등가 잡음 대역폭이다.

IV. 모의 실험

본 장에서는 전처리 필터를 갖는 NDD 알고리즘

을 디지털 256-QAM 복조기의 타이밍 복원 회로에 적용한 경우, 전송 신호의 대역폭, 즉 rolloff 값과 전처리 필터의 인수 β 에 따른 타이밍 지터 발생의 특성을 파악하기 위해 컴퓨터 시뮬레이션을 수행했다. 전처리 필터에 의한 타이밍 복원의 성능을 비교 분석하기 위해, 전처리 필터를 사용하지 않은 경우에 대해서도 실험을 수행했다. 이 경우, rolloff 값을 1.0, 0.8, 0.5, 0.3로 했다. 실험에 사용된 심볼의 수는 2000개이고, 아날로그 신호의 경우 심볼당 40의 샘플링을 하여 디지털화 했다. 다양한 주파수 대역폭의 특성을 갖는 전처리 필터의 구성은 필터 계수 식 (8)의 β 값을 $\beta = 0.05, 0.15, 0.25, 0.3, 0.5, 0.8, 1.0$ 로 변화시켜 얻는 것으로 했다. 여기서 β 값이 커질수록 전처리 필터의 통과대역폭이 커진다. 또한, 초기 타이밍 에러는 $t/T = -0.5$ 로 설정하였으며, 식(9)에서 갱신값 $\gamma = 1$ 로 설정하였다.

그림 3은 전처리 필터의 β 값에 따른 TED 출력의 변화를 나타낸 것이다. 이때, 타이밍 에러는 다음과 같이 주어진 TED 출력의 누적치이다.

$$c(k) = \sum_{i=0}^k e(i) \quad (14)$$

이 결과로부터 전처리 필터의 대역폭이 적을수록 발생하는 타이밍 지터의 양은 감소하나, 수렴에 필요한 시간이 길어지는 것을 알 수 있다. 한편, β 의 값을 0.05로 한 경우 지터의 양은 매우 적으나 수렴이 되지 않아 PLL의 locking이 이루어지지 않는다. 따라서, 발생하는 타이밍 지터와 수렴속도와의 관계로부터 최적의 전처리 필터 인수값이 존재하고 이에따른 전처리 필터의 설계가 요구됨을 알 수 있다.

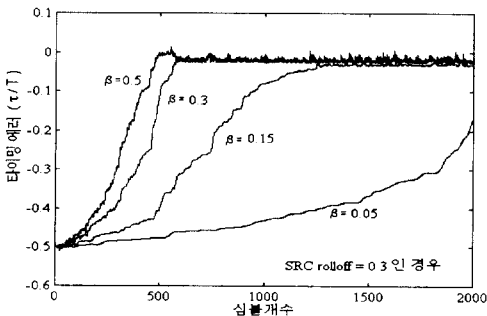


그림 3. 전처리 필터의 인수 β 에 따른 TED로부터 출력되는 타이밍 에러의 축적값 (송수신기의 rolloff = 0.3)

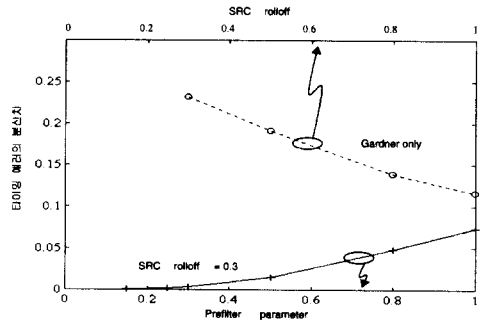


그림 4. SRC rolloff에 따른 타이밍 에러의 분산치와 전처리 필터의 인수에 따른 타이밍 에러의 분산치

그림 4는 NDD 알고리즘만을 사용한 경우와 SRC(Square Root Raised Cosine Filter) rolloff를 0.3으로하고 전처리 필터의 인수 β 를 변화 시켜, 식 (13)으로 주어진 TED 출력의 분산치를 측정하여 나타낸 것이다. NDD 알고리즘만의 경우, SRC의 rolloff 값이 증가할수록 지터의 양은 감소하고, 이는 [5]에서의 결과와 일치한다. 그림 4에서, 전처리 필터를 사용하는 경우, TED의 분산치는 전처리 필터의 필터계수값과 무관하게 NDD 알고리즘에 의한 TED 출력의 분산치보다 작은 것을 알 수 있다. 이 결과로부터, 전처리 필터를 NDD 알고리즘에 사용함으로써 발생 타이밍 지터의 양이 줄일수 있음을 알수있다. 또한, 전처리 필터의 필터계수값이 증가함에따라 필터의 대역폭이 증가하게되고, 전처리 필터의 출력에는 타이밍 복원에 필요한 정보뿐만 아니라 부가성 채널잡음이나 신호펄스의 저주파성분등 타이밍 지터에 영향을 미치는 성분들이 포함된다. 따라서, 그림 3에서 고찰한바와 같이 타이밍 지터의 양이 증가하게 되고, 이는 그림 4의 결과와 일치함을 알 수 있다. 전처리 필터의 인수 β 값에 따른 수렴속도를 조사하고, 발생지터의 양과 수렴속도의 관계로부터 최적의 전처리 필터의 인수값을 정하기 위해, SRC rolloff를 각각 0.2, 0.3, 0.5, 1.0으로 하고 β 값의 변화에 따른 상대적 수렴속도를 그림 5에 나타낸다. SRC rolloff는 0.2이고 $\beta = 0.15$ 인 경우 심볼의 개수 1600에서 수렴하고, SRC rolloff는 0.3이고 $\beta = 0.15$ 인 경우 심볼의 개수 1300에서 수렴하고, SRC rolloff는 0.5이고 $\beta = 0.15$ 인 경우 심볼의 개수 1000에서 수렴하고, SRC rolloff는 1.0이고 $\beta = 0.15$ 인 경우 심볼의 개수 800에서 각각 수렴하고, 이를 기준으로 정규화하여 그림 5에 나타내었다. 또한, 최적의 전처리 필터의 인수를 정하기 위

해 정규화 된 수렴 속도를 v_s 라 하고, 정규화 된 지터의 양을 m_s 라 하고, 다음의 평가함수를 사용하여 지터의 양과 수렴속도와의 관계를 표 1에 나타내었다. 평가함수는 동기화 회로에 중대한 요소로 작용할 수 있는 수렴속도에 비중에 둔 실험치이다.

$$C = v_s^3 \times m_s \quad (15)$$

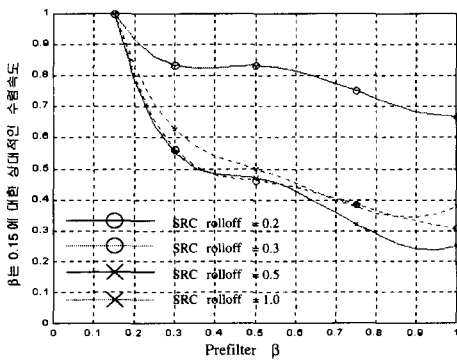


그림 5. 전처리 필터의 인수에 따른 상대적인 수렴속도

이 결과에서 알 수 있는 바와 같이 채널 대역폭의 rolloff가 0.3인 경우 전처리 필터의 인수가 $\beta=0.3$ 일 때, rolloff가 0.5인 경우 전처리 필터의 인수가 $\beta=0.3$ 일 때, rolloff가 1.0인 경우 전처리 필터의 인수가 $\beta=0.5$ 일 때 최적의 값을 나타내는 것을 알 수 있다. 이는 아날로그 TED 경우에 대한 [3]의 결과와 일치한다. 그림 6은 최적 β 값을 적용하여, PLL이 locking을 이룬 후, SRC 필터의 출력에서 얻어지는 eye pattern이다.

표 1. 전처리 필터의 parameter에 따른 cost

$\beta \backslash \alpha$	0.3	0.5	1.0
0.15	0.012	0.005	0.032
0.3	0.008	0.004	0.024
0.5	0.020	0.010	0.022
0.75	0.029	0.017	0.038
1.0	0.029	0.017	0.053

V. 결론

본 논문에서는 완전 디지털 256-QAM 복조기 구성을 위한 타이밍 복원 회로에서 전처리 필터를 갖는 NDD 알고리즘의 특성을 분석하고 전처리 필터

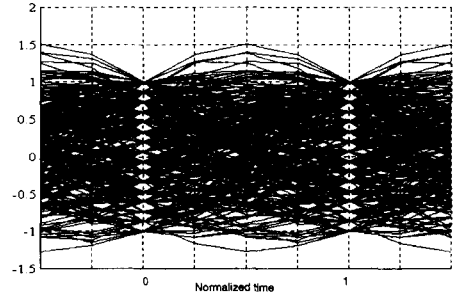


그림 6. 채널 대역폭의 rolloff $\alpha = 0.3$ 인 경우, 최적의 전처리 필터의 인수 $\beta = 0.3$ 에서 locking이 이루어진 후 그림 1의 $x(\tau)$ 의 eye pattern

의 대역폭에 따른 타이밍 에러의 수렴과 지터량의 관계를 고찰하고 최적 필터의 계수를 유도했다. NDD 알고리즘의 TED 회로에 대역통과의 필터링이 내포되어 있으나, 주파수 $\frac{1}{2T}$ 를 중심으로하는 대칭의 대역통과 필터를 사용함으로써 타이밍 지터의 발생량을 줄임과 동시에 PLL의 locking을 빠르게 할 수 있음을 확인했다. 채널의 부가성 잡음이 타이밍 지터에 미치는 영향과, 전처리 필터에 의해 외부잡음의 영향을 분석하고 조사하는 것이 필요하지만, [1]의 결과에 의하면 부가성 채널잡음이 타이밍 에러에 미치는 영향은 잡음의 크기에 따라 증가한다. 따라서, 전처리 필터를 사용하므로써 낮은 주파수성분의 잡음이 제거되어 타이밍 지터의 발생량이 줄어드는 것을 쉽게 유추 해석할 수 있다.

참고 문헌

- [1] L. E. Franks and J. P. Bubrouski, "Statistical properties of timing jitter in a PAM recovery scheme," *IEEE Trans. Commun.*, vol. COM-22, pp. 913-920, July 1974.
- [2] K. H. Muller and M. Muller, "Timing recovery in digital synchronous data receivers," *IEEE Trans. on Commun.*, vol. 24, pp. 516-530, May 1976.
- [3] L. E. Franks, "Carrier and bit synchronization in data communication - a tutorial review," *IEEE Trans. Commun.*, vol. COM-28, Aug. 1980.
- [4] F. M. Gardner, "A BPSK/QPSK timing-error detector for sampled receivers," *IEEE Trans. on*

Commun., vol. COM-34, pp. 423-429, May, 1986.

- [5] W. G. Cowley and L. P. Sabel, "The performance of two symbol timing recovery algorithms for PSK demodulators," *IEEE Trans. Commun.*, vol. 42, Jun. 1994.
- [6] Thomas T. Fang, "I and Q decomposition of self-noise in square-law clock regenerators," *IEEE Trans. on Commun.*, vol. 36, pp. 1044-1052, Sept. 1988.
- [7] N. A. D'Andrea, U. Mengali, and M. Moro, "Nearly optimum prefilter in clock recovery," *IEEE Trans. Commun.*, vol. COM-34, pp. 1081-1088, Nov. 1986.
- [8] N. A. D'Andrea and M. Luise, "Optimization of symbol timing recovery for QAM data demodulators," *IEEE Trans. Commun.*, vol. 44, pp. 399-406, Mar. 1996.
- [9] N. A. D'Andrea and M. Luise, "Design and analysis of a jitter-free clock recovery scheme for QAM systems," *IEEE Trans. on Commun.*, vol. 41, pp. 1296-1299, Sept. 1993.

장 일 순(Il-soon Jang) 정회원



1997년 : 충북대학교 정보통신 공학과 학사.
 1999년 : 충북대학교 정보통신 공학과 공학석사.
 1999년 3월~현재 : 충북대학교 정보통신공학과 박사과정.

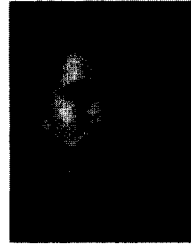
<주관심 분야> 디지털 신호처리, 디지털 통신시스템

조 응 기(Woong-ki Cho) 정회원



1997년 : 충북대학교 정보통신 공학과 학사.
 1999년 : 충북대학교 정보통신 공학과 공학석사.
 1999년 3월~현재 : 맥슨 전자.
 <주관심 분야> 디지털 통신시스템, 무선 통신시스템

정 차 근(Cha-keon Cheong) 정회원



1982년 : 경북대학교 전자공학과 학사.
 1984년 : 서울대학교 전기공학과 공학석사.
 1993년 : 일본 동경대학 전기공학과 공학박사

1984년 1월~1990년 3월 : LG전자 영상미디어 연구소 선임연구원.

1994년 2월~1997년 8월 : LG종합기술원 책임 연구원.

1997년 9월~현재 : 호서대학교 제어계측공학과.

<주관심 분야> 디지털 신호처리, 디지털 영상통신, 영상처리 및 부호화, Image Sensor

조 경 록(Kyoung-rok Cho) 정회원



1977년 : 경북대학교 전자공학과 공학사.
 1989년 : 일본 동경대학교 전자공학과 공학석사.
 1992년 : 일본 동경대학교 전자공학과 공학박사.

1979년~1986년 : (주)금성사 TV연구소 선임 연구원.

1999년~2000년 : 오레곤주립대학 객원교수.

1992년~현재 : 충북대학교 정보통신공학과 부교수.

<주관심 분야> VLSI 시스템설계, 통신 시스템용 LSI 개발, 고속 마이크로프로세서 설계