

GaAs PHEMT를 이용한 B-WLL용 MMIC 저잡음 증폭기의 설계

Design of MMIC Low Noise Amplifier for B-WLL using GaAs PHEMT

김성찬* · 이응호* · 조희철* · 조승기* · 김용호** · 이진구*

Sung-Chan Kim* · Eung-Ho Rhee* · Hei-Cheol Cho* · Seung-Kee Cho* ·
Yong-Ho Kim** · Jin-Koo Rhee*

요 약

본 논문에서는 GaAs PHEMT를 제작한 후 이를 사용하여 B-WLL용 MMIC 저잡음 증폭기를 설계하였다. LNA 설계에 사용된 PHEMT는 0.35 μm 게이트 길이와 120 μm 의 게이트 폭을 갖고 있으며 본 실험실에서 직접 제작했다. 총 3단으로 설계된 LNA의 1단에서는 높은 안정도와 저잡음 특성을 위해 소오스단에 직렬 인덕티브 케환회로를 사용하였으며, 2단~3단에서는 칩의 크기를 최소화 할 수 있도록 2단~3단 사이에 중간단 정합회로를 사용하지 않는 회로 구조로 설계하였다. 설계된 LNA의 시뮬레이션 결과, 25.5~27.5 GHz 대역에서 0.85~1.25 dB의 잡음지수와 22.08~23.65 dB의 S_{21} 이득을 얻었고 전체 칩 크기는 $3.7 \times 1.6 \text{ mm}^2$ 이다.

Abstract

In this paper, a Low Noise Amplifier for B-WLL was designed using the MMIC technology with GaAs PHEMTs fabricated at our lab. The PHEMT for LNA has a 0.35 μm gate and a total gate width of 120 μm . The designed MMIC LNA consists of three stages. The first stage of the LNA has a series inductive feedback for obtaining minimum noise and high stability as well. And the designed MMIC LNA has not an interstage matching circuit between the second and the third stage for minimization of the chip size. From simulation results, noise figure and S_{21} gain of the designed MMIC LNA are 0.85~1.25 dB and 22.08~23.65 dB in the frequency range of 25.5~27.5 GHz respectively. And the chip size is $3.7 \times 1.6 \text{ mm}^2$.

I. 서 론

전 세계적으로 장기적인 초고속 통신망 구축계획을 위한 FTTH(Fiber-To-The-Home)가 경제성 문제로 지연됨에 따라 초고속화를 위한 점진적인 망진화 전략이 필요하게 되었다. 최근, 무선 통신 기술의

진보와 다양화로 인해 경제성을 갖춘 다양한 기술이 등장하고 있다. 유선 통신망의 경우에는 ADSL과 CATV망을 활용하는 Cable Modem이, 무선통신망의 경우에는 밀리미터파대 주파수 이용기술이 발달하면서 광대역 무선 가입자망이 등장하고 있다.^[1] 지금까지 주로 이용되어온 주파수대로 셀룰러 및

「이 연구는 과학기술부·한국과학재단 지정 우수연구센터(MINT)의 지원에 의한 연구 결과임.」

* 동국대학교 밀리미터파 신기술 연구센터(Millimeter-wave INnovation Technology Research Center, Dongguk University)

** 배재대학교 컴퓨터·전자·정보 공학부(Dept. of EE., PAI CHAI Univ.)

· 논문 번호 : 991208-13S

· 수정완료일자 : 2000년 1월 17일

PCS(Personal Communication System) 경우 900 MHz, 1.8 GHz 대역이었으나 점차적으로 광대역 정보 전송 특성을 확보하기 위해 IMT-2000의 경우 2 GHz 대역을, WLL(Wireless Local Loop)의 경우 2.4 GHz 를 그리고 LMDS(Local Multipoint Distribution System) 및 LVDS(Local Video Distribution System)의 경우에는 27 GHz 또는 38 GHz 이용하기 위한 연구가 진행되고 있으며, 실내 무선 LAN(Local Area Network)의 경우에는 60 GHz 대역을 사용하기 위한 연구도 활발히 진행되고 있다. 국내의 경우에는 고속 데이터 서비스를 위한 IMT-2000이 곧 상용 서비스를 시작할 예정이며, 특히 밀리미터파 대역을 이용하여 초고속 데이터 전송이 가능한 B-WLL (Broadband-Wireless Local Loop)이라는 명칭의 LMDS(Local Multipoint Distribution System)가 상용화를 위한 시험 단계에 있다. B-WLL은 24.25~27.5 GHz 대역의 주파수를 사용하여 가입자와 통신망을 연결하는 무선 가입자망으로 다양한 응용서비스 제공이 가능한 차세대 초고속 무선통신 기술이다. 기존의 무선통신 시스템에 비해 망구축의 용이성 및 신속성, 저렴한 운용 및 유지보수 비용, 광대역 다채널 서비스, 양방향 멀티미디어 통신수용이 가능하다는 장점 등이 있다.

이러한 이용주파수 및 대역폭의 증가에 따라 포화상태가 되어버린 마이크로파(Microwave) 대역의 대체 대역으로서 밀리미터파 대역의 개발 필요성이 급격히 증대되고 있다. 이에 따라 밀리미터파 대역에서 동작하는 고신뢰도, 저전력소비 및 고효율 특성을 지니는 PHEMT 또는 HBT등의 능동소자와 이를 이용한 초소형, 초경량, 저가격화 특성을 갖는 MMIC 모듈 개발은 매우 중요하다.

현재 반도체 단위 공정 장비와 기술의 진보로 밀리미터파 대역의 PHEMT와 이를 이용한 MMIC 증폭기 모듈의 제작이 가능해져, 국·내외의 여러 연구결과가 발표되고 있다. 최근에 발표된 예로 한국 전자통신원은 15~25 GHz 대역에서 S_{21} 이득이 16 dB이고 잡음 지수가 1.7 dB, 25~35 GHz에서 S_{21} 이득이 16 dB이고 잡음 지수가 2.3 dB 특성을 갖는 MMIC LNA를 발표하였다^[1]. 또한 K. Maruhashi등은 MMIC chip을 이용하여 60 GHz 에서 S_{21} 이득이 18 dB이고 잡음 지수가 3.3 dB인 LNA 모듈을 발표

하는 등, 밀리미터파 대역에서 동작하는 모듈의 연구가 꾸준히 진행되고 있다.^[2]

따라서, 본 논문에서는 밀리미터파 대역에서 동작 가능한 AlGaAs/InGaAs/GaAs 계의 PHEMT를 자체 공정을 이용하여 제작하고 이를 이용하여 B-WLL 대역의 수신 모듈(Rx module)에서 사용 가능한 MMIC 3단 저잡음 증폭기를 설계하였다.

II. PHEMT 제작 및 특성 분석

PHEMT 제작에 이용된 에피층은 오믹접촉 특성 향상을 위한 n+ GaAs 캡층, 2 DEG(2 Dimensional Electron Gas)층을 형성시키기 위한 AlGaAs 도우너층, 소자의 전기적 특성을 결정하는 채널층(channel layer) 그리고 누설전류 등의 기생성분을 차단하기 위한 버퍼층(Buffer layer)으로 설계하였다. 또한, 높은 면전하밀도와 항복전압특성을 개선하기 위하여 spacer층 바로 위에 Si를 $5 \times 10^{12} \text{cm}^{-2}$ 로 높게 도핑하는 delta doping 구조로 설계하였다^{[3],[4]}. B-WLL 대역의 저잡음 증폭기용 PHEMT 제작을 위해 분자선 에피택시 성장기술을 이용하여 위와 같은 에피구조로 성장시킨 웨이퍼를 사용하였으며 그림 1에 에피층 구조를 나타내었다.

PHEMT 제작을 위해 적용된 단위 공정은 전자선 리소그래피 장비를 이용한 $0.35 \mu\text{m}$ T계이트 공정, 소오스 및 드레인 전극의 접촉저항을 감소시키기 위한 AuGe/Ni/Au 금속층을 사용하는 오믹 공

n+	GaAs	Si : $4 \times 10^{18} \text{cm}^{-3}$
i	$\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$	Si planar doping ($5 \times 10^{12} \text{cm}^{-2}$)
i	$\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}$	
i	$\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$	
i	GaAs	Buffer
S.I.	GaAs Substrate	

그림 1. 에피층 구조

Fig. 1. An epi-layer structure.

정. 효과적인 열 방출을 위해 GaAs 기판을 $100\ \mu\text{m}$ 두께로 얇게 하는 back-side lapping 공정 등이다.^[5]

저잡음 증폭기를 설계하기 위해 상기의 공정으로 제작된 PHEMT는 HP 4156A DC Parameter Analyzer와 HP 8722A Vector Network Analyzer를 이용하여 DC 특성과 RF 특성을 측정하였다. 제작된 게이트 길이가 $0.35\ \mu\text{m}$ 인 $60\ \mu\text{m} \times 2$ PHEMT는 무릎전압 $1.2\ \text{V}$, 핀치오프전압 $-1.5\ \text{V}$, 드레인포화전류 $33.1\ \text{mA}$ ($275\ \text{mA}/\text{mm}$), 최대전달컨덕턴스 $260.2\ \text{mS}/\text{mm}$ ($V_{ds}=2.75\ \text{V}$ and $V_{gs}=-0.59\ \text{V}$)을 얻었다. 그림 2와 3에 제작된 PHEMT의 DC 특성과 전달 컨덕턴스 특성을 나타내었다. PHEMT의 RF 특성으로 전류이득차단주파수(f_T)는 $45\ \text{GHz}$ 이상, 최대공진주파수(f_{max})는 $80\ \text{GHz}$ 이상을 얻었으며 중심주파수인 $26.5\ \text{GHz}$ 에서 $5.01\ \text{dB}$ 의 이득 특성을 나타

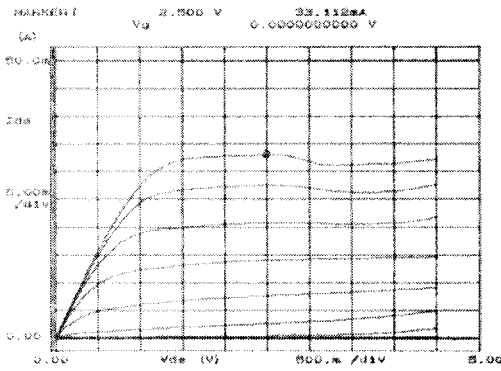


그림 2. 전류-전압 특성 ($60\ \mu\text{m} \times 2$)
Fig. 2. A voltage-current characteristics ($60\ \mu\text{m} \times 2$).

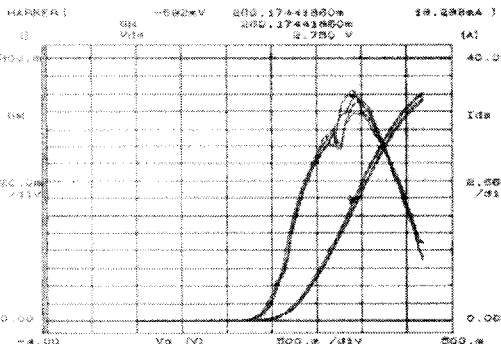


그림 3. 전달컨덕턴스 특성 ($60\ \mu\text{m} \times 2$)
Fig. 3. A transconductance characteristics ($60\ \mu\text{m} \times 2$).

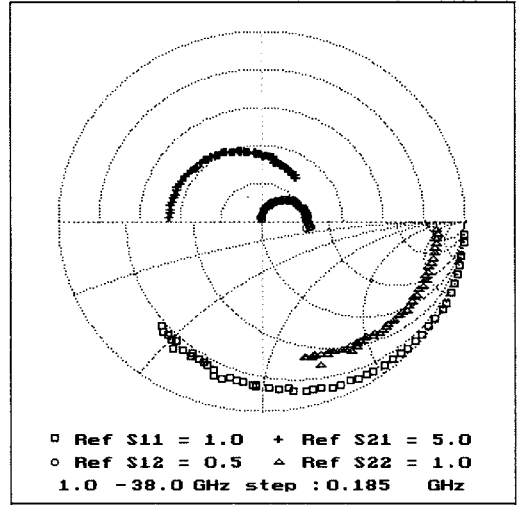


그림 4. S-파라미터 특성 ($60\ \mu\text{m} \times 2$)
Fig. 4. S-parameters characteristics ($60\ \mu\text{m} \times 2$).

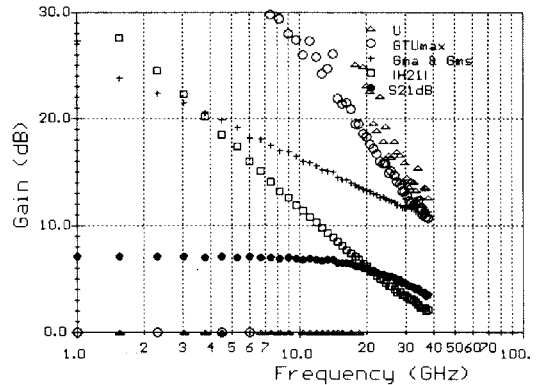


그림 5. 주파수 특성 ($60\ \mu\text{m} \times 2$)
Fig. 5. A RF characteristics ($60\ \mu\text{m} \times 2$).

내어 설계주파수에서 충분한 이득 특성을 보였다. 측정된 S-파라미터와 주파수 특성을 그림 4와 5에 나타내었으며, 그림 6에 제작된 PHEMT의 표면사진을 나타내었다.

III. 저잡음 증폭기의 설계

저잡음 증폭기는 안테나로부터 입력되는 미약한 신호를 증폭함에 있어 증폭기 자체에서 발생하는 잡음을 최소화하도록 설계되며, 수신 가능한 최소 신호는 저잡음 증폭기의 잡음지수에 의해 결정되므로

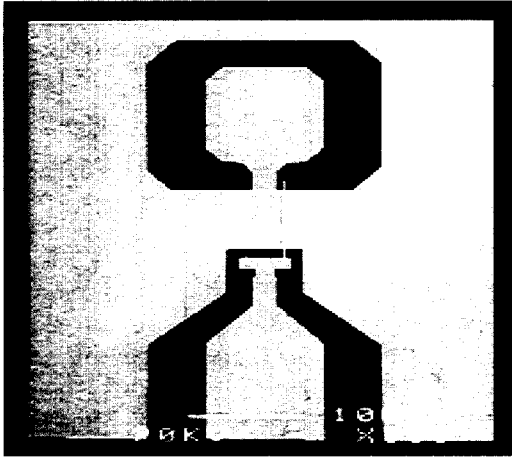


그림 6. 제작된 60 μm × 2 PHEMT의 표면사진(L_κ = 0.35 μm)
 Fig. 6. Surface of the fabricated 60 μm × 2 PHEMT (L_κ = 0.35 μm)

RF Rx 모듈에서 중요한 요소라고 할 수 있다. 전체 잡음 출력 전압은 증폭된 입력 잡음과 증폭기에 의해 생산되는 출력 잡음의 합으로 표현되고 잡음 지수는 증폭 회로 안에서 발생하는 잡음의 정도를 나타낸다. n개의 증폭기가 연결되었을 때 전체 잡음 지수는 식 (1)과 같다.^[6]

$$F = F_1 + \frac{F_2 - 1}{G_{A1}} + \frac{F_3 - 1}{G_{A1}G_{A2}} + \dots \quad (1)$$

여기서 F_i 와 G_{Ai} 는 각 단에서의 잡음 지수와 가용전력이득을 나타낸다. 식 (1)에서 보는 것처럼 증폭기의 전체 잡음 지수는 출력단보다는 입력단과 직접적인 관계가 있다. 따라서 증폭기의 잡음을 최소로 하기 위해서 입력단을 잡음 정합해야 하며 증폭기의 잡음은 식 (2)와 같다.

$$F = F_{\min} + \frac{4r_n | \Gamma_s + \Gamma_{opt} |^2}{(1 - | \Gamma_s |)^2 | 1 + \Gamma_{opt} |^2} \quad (2)$$

입력단 정합이 Γ_{MS} = Γ_{OPT} 일 때 증폭기는 최소 잡음 지수를 갖는다. 그러나 식 (1)에서의 2번째 항에서 볼 수 있듯이 1단을 잡음 정합을 하여서 최소 잡음을 갖도록 하여도, 증폭기 전체의 낮은 잡음 지수와 전반적인 이득 특성을 위해 이득을 고려해야 한다. Γ_{INPUT} = Γ_{MS}, Γ_{OUTPUT} = Γ_{ML} 을 동시

에 만족할 때 입력단과 출력단의 공역정합(simultaneously conjugate matching)이 이루어지며, 이때 최대 전력 이득을 얻을 수 있다. 일반적으로 Γ_{OPT} 와 Γ_{INPUT}^{*} 는 서로 일치하지 않는 경향을 보이며 이것은 최소 잡음 지수와 최대 이득이 동시에 얻어질 수 없음을 의미한다. 이러한 이득과 잡음 특성의 상관적인 관계를 설계 과정에 고려하여 회로의 성능을 최적화 해야 한다. 또한 소오스단에 직렬 인덕티브 케환회로를 사용하여 소자의 잡음 정합점과 이득 정합점을 근사화시켜 낮은 잡음 지수와 높은 이득을 동시에 얻도록 할 수 있다. 이 경우 입력단 전압 정재파비를 낮게 정합하는 것이 어려워지는 경향이 있어, 병렬 저항을 사용하거나 평형증폭기 구조를 사용하여 이런 문제점을 극복할 수 있다.

위에서 논의한 것처럼 저잡음 증폭기를 설계시 높은 안정도와 함께 낮은 잡음 지수, 높은 이득, 낮은 전압정재파비를 얻는 것은 매우 중요하며^[7] 이를 위해 1단에서는 잡음지수와 안정도 향상을 위해 직렬 인덕티브 케환 회로를 사용했으며^[8], 병렬 저항을 사용하여 입력 반사계수를 최소화하였다. 그림 7에 직렬 인덕티브 케환회로를 사용한 후 안정도와 입력단 정합의 변화를 나타내었다. 직렬 케환을 사용한 경우, 사용하지 않은 경우에 비해 중심주파수에서 이득은 0.34 dB 정도 감소했지만 입력반사계수

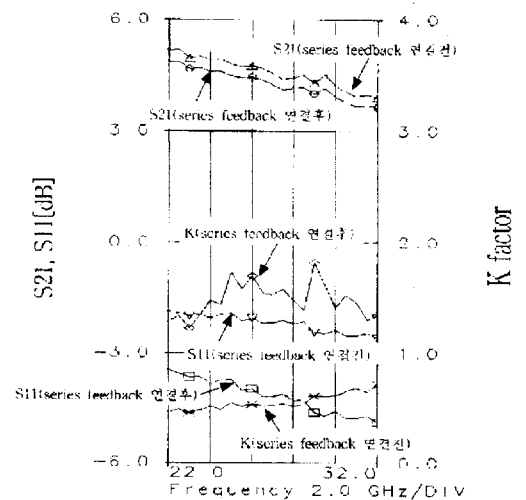


그림 7. 직렬 인덕티브 케환회로 효과
 Fig. 7. A series inductive feedback effect.

가 -2 dB, 안정도는 1.02 향상되었음을 볼 수 있다. 또한 안정도를 향상시키기 위해 일반적으로 사용하는 안정화 저항을 추가하는 방법의 단점인 이득 감소 특성을 최소로 하기 위하여 제작된 PHEMT의 입력 임피던스가 매우 높은 특성을 이용하여, 소자를 중간단 정합 없이 블럭 캐패시터만을 사용하여 직접 연결함으로써 높은 이득과 함께 안정도가 향상될 수 있도록 설계하였다. 2단의 출력반사계수가 3단의 입력안정도원의 안정한 영역내에 있고, 3단의 입력반사계수가 2단의 출력안정도원의 안정 영역에 속해 있으므로 2단~3단을 정합하지 않고 그대로 연결했을 때 전 영역에서 안정 특성을 나타낸다. 그림 8은 이와 같은 방법을 이용하여 보다 향상된 이득과 안정도 향상 특성을 나타낸 것으로 이득의 경우 중심주파수에서 소자 연결 전 4.64 dB에서 연결 후에 5.31 dB로 향상되었고, 안정도의 경우에는 0.53에서 5.8로 개선되었다. 증폭기의 바이어스 회로는 $\lambda/4$ 스테브를 사용하여 RF 신호를 개방시키고, Bypass capacitor를 사용하여 DC 전원으로 인한 발전이 일어나지 않도록 설계하였으며, 정합회로는 분산형 정수 소자를 사용하여 설계하였다. 마이크로 스트립라인의 설계 조건은, GaAs의 유전율은 12.9, 유전체 두께는 $100 \mu\text{m}$, 금속층 두께는 $1.2 \mu\text{m}$, loss tangent는 0.003으로 설정하였다. 입력정합회로는 낮은 잡음 특성을 위해 잡음정합을 하였으며, 중간단과 출력정합회로는 공역정합하였다. 또한 더 큰 이득을 얻기 위해 2단~3단 사이에 중간단 정합회로를 추가하여 설계하였다. 저잡음 증폭기 설계 후 Libra에서

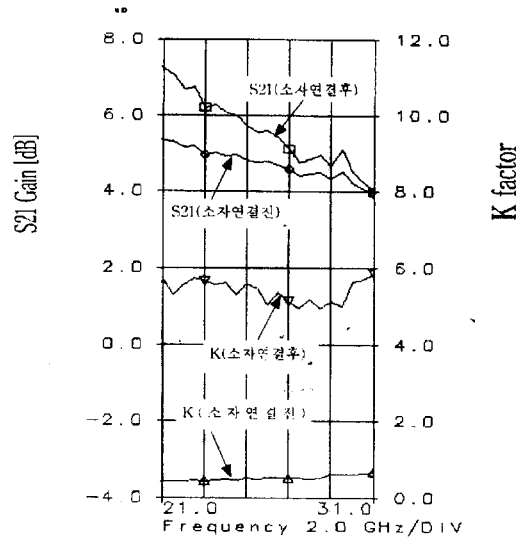


그림 8. 이득 및 안정도 특성
Fig. 8. A gain and stability characteristics.

최적화를 수행하였으며 그림 9에 완성된 MMIC 저잡음 증폭기의 회로도를 나타내었다.

IV. 시뮬레이션 결과 및 마스크 레이아웃

설계된 증폭기의 시뮬레이션 결과 2단~3단을 중간단 정합회로 없이 직접 연결한 경우 중심주파수에서 S_{21} 이득은 23.65 dB, 입력반사계수 S_{11} 은 -16.84 dB, 출력반사계수 S_{22} 는 -16.48 dB를 얻었으며, 정합회로를 삽입하여 2단~3단을 연결한 경우에는 26.55 dB를 얻어 정합회로 없이 직접 연결한 경우에

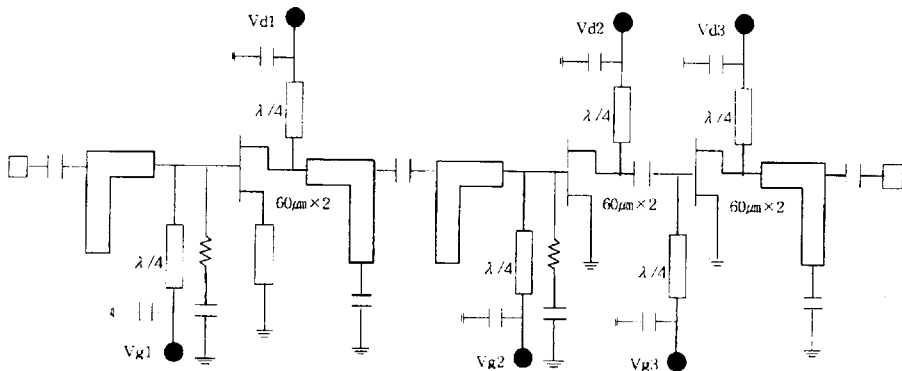


그림 9. 저잡음 증폭기의 회로도
Fig. 9. A schematic of the designed MMIC Low Noise Amplifier.

비하여 2.9 dB 향상되었으며 그 결과를 그림 10에 나타내었다. 그러나 2단~3단 사이에 정합회로를 삽입한 회로 구조는 직접 연결한 경우에 비하여 칩 면적이 약 29% 증가하는 결과를 얻어, 이득 향상에 비해 칩면적이 매우 커져 칩크기를 줄일 수 있도록 2단~3단 사이에 중간단 정합회로를 삽입하지 않는 회로 구조로 설계하였다. 그림 11은 설계된 저잡음 증폭기의 잡음지수와 입·출력 전압 정재파비를 나타낸 것으로 동작주파수 대역인 25.5~27.5 GHz에서 잡음지수는 0.87~1.25 dB, 전압 정재파비는 1.34~1.92의 양호한 결과를 얻었다.

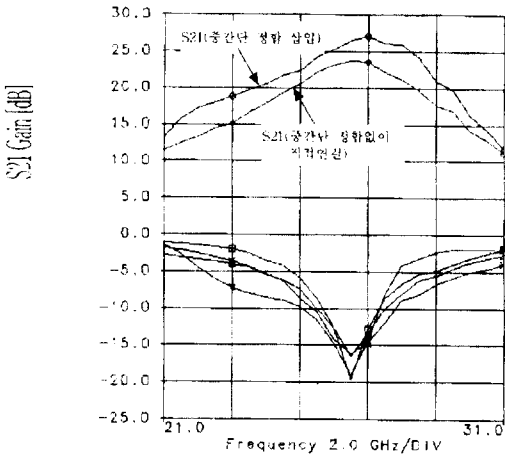


그림 10. 소신호 시뮬레이션 특성
Fig. 10. Small-signal simulation characteristics.

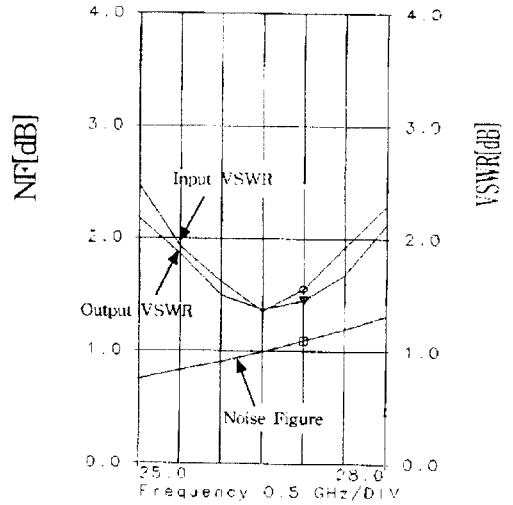


그림 11. 잡음지수와 입력/출력 전압 정재파비 특성
Fig. 11. A Noise Figure input/output VSWR characteristics.

설계된 MMIC 저잡음 증폭기는 제작을 위해 총 7장의 마스크(mesa, ohmic, resistor, 1st metal, dielectric via, PR via, air bridge metal)를 설계하였으며 능동소자와 수동소자의 제작공정을 통합하여 동시에 제작이 가능하도록 설계하였다. 그림 12는 설계된 MMIC 저잡음 증폭기의 마스크 레이아웃으로 전체 칩 크기는 $3.7 \times 1.6 \text{ mm}^2$ 이다.

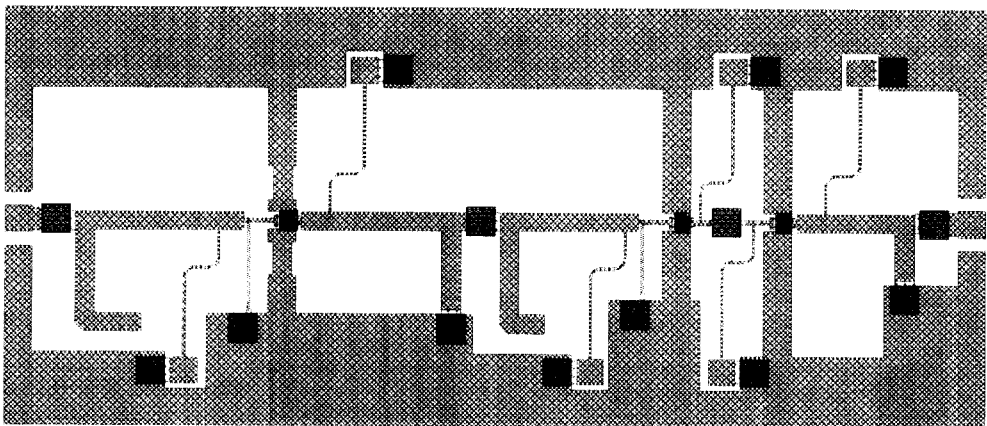


그림 12. MMIC 저잡음 증폭기의 마스크 레이아웃
Fig. 12. A mask layout of the designed MMIC Low Noise Amplifier.

V. 결 론

본 논문에서는 제작된 PHEMT 라이브리리를 이용하여 B-WLL용 MMIC 3단 저잡음 증폭기를 설계하였다. 제작된 PHEMT는 무릎전압 1.2 V, 편치 오프전압 -1.5 V, 드레인포화전류 33.1 mA(275 mA/mm), 최대전달컨덕턴스는 260.2 mS/mm ($V_{ds} = 2.75 V$ and $V_{gs} = -0.59 V$)을 얻었으며, 전류이득 차단주파수(f_T)는 45 GHz 이상, 최대공진주파수(f_{max})는 80 GHz 이상을 얻었다. 상기의 소자를 사용하여 설계된 MMIC 저잡음 증폭기의 시뮬레이션 결과 중심주파수에서 이득은 23.65 dB, 입력 반사계수 S_{11} 은 -16.84 dB, 출력반사계수 S_{22} 는 -16.48 dB의 시뮬레이션 결과를 얻었다. 잡음지수와 전압 정재파비는 25.5~27.5 GHz의 주파수 대역에서 0.87~1.25 dB와 1.34~1.92의 결과를 얻었다. 또한, 2단~3단을 중간단 정합회로로 연결한 경우 중심주파수에서 이득은 26.55 dB를 얻었으며, 2단~3단에서 중간단 정합회로 없이 직접 연결한 경우는 중심주파수에서 이득이 23.65 dB로 2.9 dB 정도 감소하였으나, 칩 면적은 29%로 크게 감소되었다. 설계된 저잡음 증폭기를 제작하기 위해 총 7장의 마스크를 설계하였으며, 전체 칩 크기는 $3.7 \times 1.6 \text{ mm}^2$ 이다.

본 논문에서 설계된 MMIC 저잡음 증폭기는 25.5~27.5 GHz 대역에서 높은 이득 특성과 저잡음 특성 및 낮은 전압 정재파비 특성을 보여 B-WLL 시스템의 수신모듈(Rx module)에 적용이 가능할 것으로 사료된다.

김 성 찬



1977년 2월 생
 1999년 2월: 동국대학교 전자공학과(공학사)
 1999년 3월~현재: 동국대학교 대학원 전자공학과(석사과정)
 [주 관심분야] 밀리미터파 소자 및 회로 설계

참 고 문 헌

[1] 대한전자공학회 통신연구회, The 1st workshop on B-WLL Technology, Sep. 1999.
 [2] K. Maruhashi, K. Ohata and M. Madihian, "A single-bias diode regulated 60 GHz monolithic LNA", *IEEE MTT-S Digest*, pp. 443-446, 1997.
 [3] P. M. Smith, W. F. Kopp, et al., "Ku-band high efficacy high gain pseudomorphic HEMT," *Electron Letter.*, vol. 27, no. 3, pp. 270-271, 1991.
 [4] E. F. Schubert et al., "The delta-doped field-effect transistors(δ -FET)," *IEEE Transactions Electron Devices*, vol. 33, no. 5, pp. 625-632, 1986.
 [5] 이진구의 4명, "0.35 μm T-gate Pseudomorphic HEMT 제작 연구", 대한전자공학회 추계 종합 학술대회 논문집(B), 제19권 제2호, pp. 1245-1248, 1996. 11.
 [6] I. D. Robertson, "MMIC DESIGN", *The Institution of Electrical Engineers*, pp. 189-192, 1995.
 [7] Gonzalez, Guillermo, "Microwave Transistor Amplifiers Analysis and Design.", Prentice Hall, 1996.
 [8] S. Fujimoto et al., "Ka-band Ultra Low Noise MMIC Amplifier Using Pseudomorphic HEMTs", *IEEE MTT-S Digest*, pp. 17-20, 1997.

이 응 호



1963년 4월생
 1987년 2월: 동국대학교 전자공학과(공학사)
 1989년 2월: 동국대학교 대학원 전자학과(공학석사)
 1992년: 육군 통신 장교 전역
 1995년: 동국대학교 대학원 전자

공학과 박사과정 수료
 [주 관심분야] MIMIC 및 밀리미터파 통신시스템

조 희 철

1963년 12월생
1986년 2월: 동국대학교 전자공학과(공학사)
1988년 8월: 동국대학교 대학원 전자공학과(공학석사)
1992년~현재: 주식회사 맥암 선임연구원
[주 관심분야] 밀리미터파 대역의 소자

조 승 기

1962년 7월생
1986년 2월: 동국대학교 전자공학과(공학사)
1988년 2월: 동국대학교 대학원 전자공학과(공학석사)
1998년 10월~현재: 삼성전자정보통신연구소 연구원
[주 관심분야] MMIC 설계 및 해석

김 용 호

1951년 12월생
1975년 2월: 연세대학교 물리학과(이학사)
1985년 8월: Univ. of Wyoming 전기 및 컴퓨터 공학과
(공학석사)
1998년 8월: 충남대학교 전자공학과(공학박사)
1990년 8월~현재: 배제대학교 전자공학과 교수
[주 관심분야] 밀리미터파 대역 무선 통신

이 진 구



1946년 2월생
1969년: 국립 항공대학교 전자공학과(공학사)
1975년: 서울대학교 대학원 전자공학과(공학석사)
1979년: Oregon State University (공학박사)
1985년 9월~현재: 동국대학교 전자공학과 교수
[주 관심분야] GaAs 및 InP를 이용한 밀리미터파 소자 및 회로