

The Characteristics of a Dual Gate Trench Emitter IGBT

강 영 수* · 정 상 구**
(Young-Su Kang · Sang-Koo Chung)

Abstract - A dual gate trench emitter IGBT structure is proposed and studied numerically using the device simulator, MEDICI. The on-state forward voltage drop, latch-up current density, turn-off time and breakdown voltage of the proposed structure are compared with those of the conventional DMOS-IGBT and trench gate IGBT structures. The proposed structure forms an additional channel and increases collector current level, resulting in reduction of on-state forward voltage drop. In addition, the trench emitter increases latch-up current density by 148 % in comparison with that for the conventional DMOS-IGBT and by 83 % compared with that for the trench gate IGBT without degradation in breakdown voltage when the half trench gate width(T_{gw}) and trench emitter depth(T_{ed}) are fixed at $1.5 \mu\text{m}$ and $2 \mu\text{m}$, respectively

Key Words : IGBT, dual gate, trench emitter, simulator

1. 서 론

전력용 반도체 소자인 IGBT(Insulated Gated Bipolar Transistor)는 MOS의 빠른 스위칭 특성과 bipolar 소자의 높은 전류 구동 능력을 결합시킨 대표적인 전력 소자이다. IGBT는 MOS gate를 사용하여 구동하므로 입력 임피던스가 높아 bipolar 소자에 비해 구동하기 쉬우며, 전력제어 용량도 커서 최근 상용화가 활발히 되고 있다.

본 논문에서는 동일한 크기의 chip size와 드리프트 영역의 농도를 갖는 기존구조와 비교했을 때 항복전압의 감소없이 부가적인 채널과 trench emitter의 형성으로 전류레벨과 래치업 전류밀도를 동시에 증가시킬 수 있는 구조를 제안하였다.

그림 1은 시뮬레이션에 사용한 단면도로서 그림 1(a)는 기존의 DMOS-IGBT이고 1(b)는 Trench gate IGBT(이하 TIGBT)이다. 기존의 이들 IGBT는 단 한 개의 lateral gate 혹은 vertical gate를 갖는 반면에, 제안된 구조(그림 1(c))는 lateral과 vertical gate를 동시에 가지므로 이중 channel에 의한 electr-on 구동전류를 크게 할 수 있는 장점이 있다. 특히 이 구조는 emitter 전극을 트렌치 함으로서 단자 양 끝의 n+ 영역을 수직으로 배열시키며 두 p/n+접합 사이의 간

격을 넓히므로 결과적으로 latch-up전류의 증가와 순방향 전압강하의 감소를 얻을 수 있다. 기존의 구조와 제안된 구조의 항복전압 그리고 순방향 및 turn-off 특성을 소자 시뮬레이터, MEDICI를 사용하여 조사하였으며 제안된 구조가 기존 구조와 비교하여 우수한 순방향 특성을 가짐을 증명하였다.

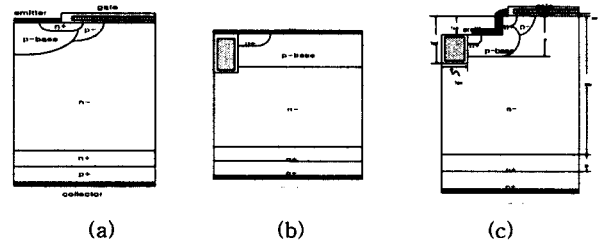


그림 1 IGBT의 단면도

- (a) 기존의 DMOS-IGBT
- (b) 트렌치 게이트 IGBT(TIGBT)
- (c) 제안된 IGBT

2. 순방향 특성

제안한 이중 게이트 트렌치 에미터 IGBT의 특성을 조사하기 위한 시뮬레이션 변수를 표 1에 나타내었다. 그림 2는 제

* 準 會 員 : 亞 洲 大 大 學 院 電 子 工 學 科 卒 業 (碩 士)
 ** 正 會 員 : 亞 洲 大 工 大 電 子 工 學 科 教 授 · 工 傳
 接 受 日 子 : 2000년 8월 4일
 最 終 完 了 : 2000년 8월 28일

표 1 소자 시뮬레이션에 사용한 변수들

변수	값
트렌치 게이트의 깊이, T_{gd}	6 μm
트렌치 게이트 폭, T_{gw}	1.5 μm
트렌치 에미터의 깊이, T_{ed}	2 μm
p형 베이스의 접합깊이, x_j	5 μm
게이트 산화막 두께, t_{ox}	500 Å
기판의 농도, P_{sub}	$2 \times 10^{14} \text{ cm}^{-3}$
에피층의 두께, t_{epi}	55 μm
버퍼층 두께, t_b	10 μm
소수 캐리어 수명	10 μs

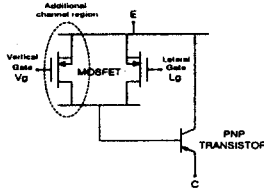


그림 2 제안된 IGBT의 등가회로

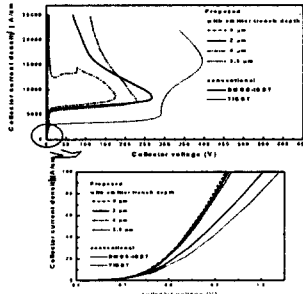


그림 3 기존구조와 제안된 구조의 순방향 I-V 특성

안된 소자의 등가회로 이다. Gate 전압이 MOSFET에 인가 되었을 때 power MOSFET은 gate 구동전류를 collector 단자로 보내주게 되며 동시에 bipolar action 으로부터 생성된 hole 이 emitter로 드리프트 된다. 기존의 소자에서는 한 개 MOSFET이 바이폴라 트랜지스터와 연결되어 있으나 제안된 소자의 회로에서는 MOSFET이 하나 더 부가되어 있음을 알 수 있다. 여기서 MOSFET은 두 개의 각기 다른 개별 소자 lateral gate MOS와 vertical gate MOS를 가진 것으로 볼 수 있다. 채널의 농도는 on 상태에서 전류 구동 능력을 결정짓는 중요한 변수이다. 따라서 소자의 특성을 비교할 때에는 반드시 그 값을 일치시켜 주어야 한다. 본 논문에서는 제안된 구조의 lateral gate 채널농도는 DMOS-IGBT의 채널농도와 같이 $1.5 \times 10^{17} \text{ cm}^{-3}$ 로 일치시켰으며 vertical gate 채널농도는 TIG-BT의 채널농도와 같이 $3 \times 10^{17} \text{ cm}^{-3}$ 로 일치시켜서 simulation을 수행하여 그 값을 분석하였다. 그림 3은 기존 구조와 제안된 구조(트렌치 에미터 깊이(T_{ed})를 0, 2, 4, 5.5 μm 로 변화시켰을 경우)의 순방향 전류-전압 특성이다. Gate에 15V를 인가하고 collector 전압을 증가시켰을 때 기존의 DMOS-IGBT에서는 전류밀도가 3330 A/cm^2 이하이고 collector 전압 10V 이하에서 SOA

($V_G = 15 \text{ V}$)

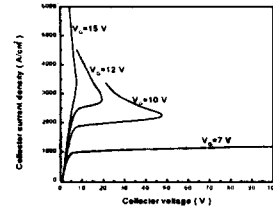


그림 4 DMOS-IGBT의 게이트전압에 따른 컬렉터 I-V 특성

(Safe Operating Area)를 갖고 TIGBT에서는 전류밀도 4500 A/cm^2 이하 컬렉터 전압 287V 이하에서 SOA를 갖는 반면에 제안된 구조 ($T_{ed}=2 \mu\text{m}$)에서는 전류밀도 8250 A/cm^2 이하 collector 전압 270V 미만에서 SOA를 갖는다. 즉 래치업 전류밀도에 있어서 기존의 DMOS-IGBT보다 148% 이상, 그리고 TIGBT보다 83% 이상 향상되었다. T_{ed} 가 0 μm 일 경우는 emitter trench를 하지 않은 경우로서 단순히 두 개의 채널을 갖는 경우이다. 공정을 단순화 할 수 있는 장점은 있으나 에미터 전극 옆으로 두 개의 n+가 수평으로 존재하므로 그림 4에서 보듯이 SOA가 기존의 구조보다도 오히려 작음을 알 수 있다. 반면에 emitter trench 할 경우에는 n+가 수직구조를 가지게 되어 collector로부터 드리프트 되는 홀의 저항과 그것에 의한 래치업 전류밀도를 향상시킬 수 있었다. 제안된 구조의 T_{ed} 를 2, 4, 5.5 μm 로 변화시켰을 때 최적의 깊이는 2 μm 이었다. T_{ed} 를 깊이 변화시켰어도 래치업 전류 밀도는 증가하지 않는데 그 이유는 높은 농도의 p-base가 lateral gate 밑의 n+까지 미치지 못하기 때문이었다. 따라서 낮은 농도의 p-영역이 n+를 둘러싸고 있으며 collector에서 드리프트된 홀 전류가 p-영역으로 많이 흐르게 되므로 생기는 현상으로 판단된다. 각각의 소자에 대한 순방향 전압강하에 있어서는 collector 전류 밀도가 100 A/cm^2 일 경우, DMOS-IGBT에서는 1.01V이고 TIGBT에서는 1.04V이었으나 제안된 구조($T_{ed}=2 \mu\text{m}$)에서는 0.93V이었다(표 2). 게이트 전압의 변화에 따른 각 구조의 순방향 전압 강하를 표 3에 나타내었다. 그림 4는 DMOS IGBT의 게이트 전압에 따른 컬렉터 I-V 특성이다. 게이트에 7, 10, 12, 15V를 인가하고 각각의 컬렉터 전류-전압특성을 조사하였다. 게이트 7V에서는 래치업 전압이 컬렉터 350V 이상이었으나 게이트 바이어스를 증가시켰을 경우, 래치업은 급격히 악화되었는데 게이트 10V에서는 50V이하에서 그리고 게이트 12V에서는 20V이하에서 일어났으며 게이트에 15V를 인가했을 경우에는 8V미만에서 래치업 현상이 일어났다. 즉 전류레벨이 증가할수록 래치업 현상은 더욱 빨리 일어나는 것으로 나타났다. 그림 5는 TIGBT의 게이트 전압에 따른 컬렉터 I-V 특성이다. 그림 4의 DMOS-IGBT의 특성과는 다르게 여기서는 래치업이 게이트 전압에 크게 의존하지 않는 것으로 나타났으며 모두 280V에서 310V 사이에서 존재하였다. 그림 6은 에미터 트렌치깊이(T_{ed})를 2 μm 로 고정시켰을 경우의 컬렉터 I-V 특성을 나타낸 것으로 전류레벨은 위에 언급한 두 구조를 합한 값이지만 래치업은 기존의 DMOS-IGBT보다는 TIGBT에 가깝다. 즉 게이트 바이어스를 변화시켰을 때 제안된 구조에 있어서도 래치업

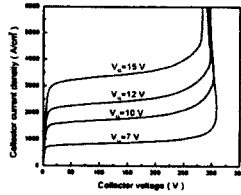


그림 5 TIGBT의 게이트전압에 따른 컬렉터 I-V 특성

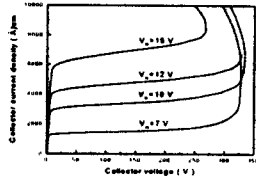


그림 6 제안된 구조의 게이트 전압에 따른 컬렉터 I-V 특성

은 게이트 전압에 크게 의존하지 않고 전부 275 V와 330 V 사이에서 일어났으며 농도의 변화 없이 전류레벨을 동시에 높일 수 있는 결과를 얻을 수 있었다.

표 2 $V_G = 15\text{ V}$, 100 A/cm^2 에서 순방향 전압강하와 트랜치 에미터 깊이

Proposed (T_{ed} (μm))	$V_{ce,sat}$ (V)
0	0.926
2	0.93
4	0.93
5.5	0.936
DMOS-IGBT	1.01
TIGBT	1.04

표 3 제안된 구조($T_{edep} = 2\mu\text{m}$)와 기존구조의 Gate 전압

V_G (V)	$V_{ce,sat}$ (V)		
	Proposed($T_{ed}=2\mu\text{m}$)	DMOS-IGBT	TIGBT
7	0.981	1.085	1.15
10	0.948	1.038	1.085
12	0.938	1.021	1.06
15	0.93	1.005	1.04

3. 턴-오프 특성

그림 7에서는 소수캐리어 수명을 $0.1\mu\text{s}$ 로 고정시킨 상태에서 각 소자의 turn-off 특성을 나타내었다. IGBT는 off때에 epi 층에 남아있는 collector 전류에 의한 current tail 때문에 MOS에 비해 상대적으로 좋지않은 switching 특성을 갖는다. Turn-off 특성은 순방향 전압강하와 trade-off 관계에 있으므로 설계시에 위의 두 사항 모두를 고려해야 한다. 여기서는 collector 단자에 Resistive load를 달아서 위의 소자 모두 100 A/cm^2 의 전류가 흐르게 한 다음 gate를 off시킨

($T_{ed} = 2\mu\text{m}$)

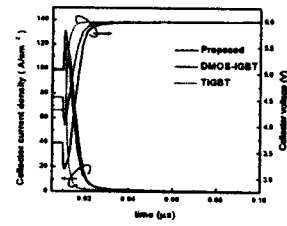


그림 7 기존구조와 제안된 구조($T_{ed} = 2\mu\text{m}$)의 턴-오프 특성

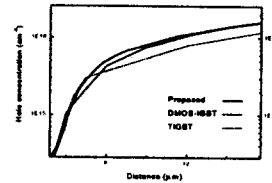


그림 8 제안된 구조와 기존구조의 100 A/cm^2 에서의 홀 농도분포

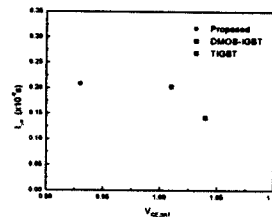


그림 9 제안된 구조와 기존구조의 $V_{ce,sat}$ 와 턴-오프시간 사이의 Trade-off 관계

상태에서 전류의 흐름을 비교한 것이다. 게이트에 입력 신호로 ramp time $1 \times 10^{-8}\text{ sec}$, 진폭 15 V의 구형파를 인가시켰을 때 기존의 DMOS-IGBT의 턴-오프시간은 $2.03 \times 10^{-8}\text{ sec}$ 로서 제안된 IGBT($T_{ed} = 2\mu\text{m}$)의 값인 $2.08 \times 10^{-8}\text{ sec}$ 와 비슷한 턴-오프 특성을 보였다. 그러나 TIGBT의 경우는 $1.42 \times 10^{-8}\text{ sec}$ 로 위의 두 구조보다 빠른 값을 갖는다. 그 이유는 그림 8에서 볼 수 있듯이 on상태에서 epi영역에 저장되는 carrier 농도가 낮아서 턴-오프때 빠져나가야 할 홀의 양이 적기 때문이다. 또한 에미터 단자가 가장 넓기 때문에 타 구조보다 off 때에 홀이 빠져나갈 수 있는 영역이 커서 switching 특성이 다소 좋아진 것으로 판단할 수 있다. 그림 9에서 제안된 구조와 기존구조의 $V_{ce,sat}$ 와 턴-오프시간 사이의 관계를 다시하였다. 제안된 구조(●)는 TIGBT(■)보다 $V_{ce,sat}$ 은 작지만 긴 턴-오프시간을 갖는다. 반면에 기존의 DMOS-IGBT(□)와 비교했을 때에는 턴-오프시간을 거의 그대로 유지한 채 $V_{ce,sat}$ 을 개선할 수 있다. 즉 제안된 구조는 DMOS-IGBT에 비해 $V_{ce,sat}$ 와 턴-오프시간 사이의 trade-off 관계를 따르지 않고 전류를 증가시킬 수 있는 구조임을 증명할 수 있었다.

4. 항복 전압

그림 10에서 제안된 구조와 기존 구조의 항복전압을 나타

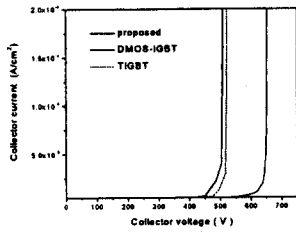


그림 10 제안된 구조($T_{ed}=2 \mu\text{m}$)와 기존구조의 항복전압

내는 전류 대 전압 특성 곡선이다. 항복전압을 조사하기 위하여 gate와 emitter를 접지 시키고, collector에 양의 전압을 인가하였다. 드리프트 농도가 2×10^{14} 일 때 DMOS-IGBT일 경우 550 V이었고 TIGBT의 경우 450 V였다. 제안된 구조에서는 같은 농도에서 T_{ed} 가 2 μm 일 경우 430 V로서 TIGBT의 경우와 비슷하거나 약간 감소하였다. 즉 Trench 된 gate의 모서리 전계에 의하여 항복전압이 줄어들었으며 이 부분의 구조가 동일한 Trench gate와 제안된 구조의 항복전압이 비슷하게 나타났다. 두 개의 구조를 합쳐놓은 제안된 구조에 있어서 항복전압은 양 구조중의 최소 값을 따라가기는 하였지만 그 이상의 감소 없이 동작함을 알 수 있었으며 식각기술에 따라서 충분히 개선 가능한 구조임을 증명하였다.

5. 결 론

본 논문에서는 이중 gate trench emitter IGBT를 제안하였고, MEDICI를 사용하여 on 특성, off 특성, 항복전압등을 DMOS-IGBT, TIGBT와 비교하였다. 칩 크기의 변화 없이 부가 된 채널의 형성으로 인해 전자의 유입이 기존 구조에 비해 많아지게 된다. 따라서 high level injection되는 영역이 증가 하게 되어 순방향 전압강하도 감소하였다. 이중 게이트에서 기존구조에 비해 구조상 일찍 발생할 수밖에 없는 기생 바이 폴라 액션(latch-up)을 감소시키기 위하여 에미터 트랜치를 추가시켰으며 그 결과 래치업 전류밀도가 기존의 IGBT보다 148 %, Trench gate IGBT보다 83 %이상 증가하였다. 즉 어떤 기생 성분의 증가 없이 전류의 증가와 동시에 넓은

SOA(Safe Operating Area)를 가짐을 확인하였다. 에미터 트랜치 깊이를 2, 4, 5.5 μm 로 변화시켜 보았을 때 최적의 깊이(2 μm)를 찾을 수 있었으며 그때 가장 넓은 SOA를 보였다. 턴-오프 특성 및 항복전압은 기존의 특성과 거의 일치하였고 어떤 큰 증가나 감소 현상도 보이지 않았다. 따라서 순방향 전압 강하, 항복전압 그리고 turn-off time 사이의 trade-off 현상을 배제한 채 온-상태 성능개선에 기여할 수 있었다. 마지막으로 본 논문에서는 에미터를 트랜치(식각) 하였으나 공정기술에 따라서는 LOCOS(LOCal Oxidation of Silicon)를 이용하여 에미터 공정을 단순화시킬 수 있으며 그것으로 인한 특성개선의 여지가 남아 있는 것으로 판단한다.

감사의 글

이 논문은 <Brain Korea 21 Project>의 지원으로 이루어졌음.

참 고 문 헌

- [1] B. J. Baliga, *Power Semiconductor Devices*, PWS, 1996.
- [2] V. Benda, et al., *Power Semiconductor Devices*, JOHN WILEY & SONS, 1999
- [3] Y. S. Huang and B. J. Baliga, "Extension of resurf principle to dielectric isolated power device," *Proc. 3rd ISPSD*, pp. 27-30, 1991.
- [4] B. J. Baliga et al., "Supressing latchup in insulated gate transistors," *IEEE Trans. Device Letters*, Vol. EDL-5, No. 8. pp. 323-325 Aug. 1984.
- [5] S. Eranen and M. Blomberg, "The vertical IGBT with an implanted buried layer," *Proc. ISPSD*, pp. 211-214, 1991.
- [6] D. R. Disney and J. D. Plummer, "SOI LIGBT devices with a dual p-well implant for improved latching characteristics," *Proc. ISPSD*, pp. 254-258, 1993.
- [7] S. Matsumoto, et al, "A novel high speed quasi-SOI power MOSFET with suppressed parasitic bipolar effect fabricated by reversed silicon wafer direct bonding," *IEDM Tech. Digest*, pp. 949-951, 1996.