

Analytical Expressions for the Breakdown Voltage of Gated Diodes

尹相福* · 崔然益**
(Sang-Bok Yun · Yearn-Ik Choi)

Abstract - Analytical expressions for the breakdown voltage of the gated diodes were derived as a function of doping concentration and gate voltage, and verified by numerical simulations using ATLAS. The analytical results are in good agreement with simulation results within 5 % error when the gate voltage changes from -50 V to 130 V in case of $N_D = 1 \times 10^{15} \text{ cm}^{-3}$ and within 10 % error when the doping concentration is changed from $5 \times 10^{14} \text{ cm}^{-3}$ to $2 \times 10^{15} \text{ cm}^{-3}$, respectively.

Key Words : Gated Diode, Breakdown Voltage, Doping Concentration, Gate Voltage, Oxide Thickness

1. 서론

Gated diode[1]는 그림 1에 나타낸 바와 같이 애노드(anode), 캐소드(cathode) 외에 게이트(gate) 전극을 갖는 p-n 접합 다이오드로서, 실리콘 산화막(SiO₂) 위에 위치한 게이트에 인가하는 전압, V_g에 따라 항복전압이 달라지는 특징을 가지고 있다.

Gated diode의 애노드를 접지시키고, 캐소드 및 게이트에 양의 전압(positive voltage)을 인가하면 공핍층(depletion layer)이 게이트 전극 끝 하단 까지 확장된다. 이로 인하여 원통형 접합(cylindrical junction) 영역에서 발생하는 전계 집중(electric field crowding)이 완화되고, 항복전압은 증가한다. 그런데, 게이트에 일정 이상의 높은 음의 전압(negative voltage)을 인가하면 n 영역의 소수 캐리어(minority carrier)인 정공(hole)이 게이트 하단의 실리콘 표면에 모이면서 반전층(inversion layer)이 생긴다. 이로 인하여 표면 전계가 다시 증가하고, 항복전압의 급격한 감소를 초래한다.

한편, 캐소드에 양의 전압, 게이트에 음의 전압을 인가하면 다수 캐리어(majority carrier)인 전자(electron)가 표면에 모이는 축적층(accumulation layer)이 형성된다. 이로 인해 silicon 표면의 전계 집중이 심화되며, 항복전압은 현저히 감소한다

이와 같이 gated diode는 게이트 전압을 변화함에 따라 여러 가지 항복전압을 얻을 수 있다는 장점이 있다. 그러나

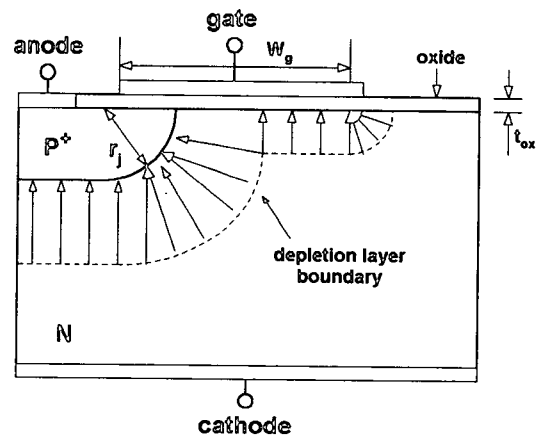


그림 1 Gated diode의 단면도. 애노드 및 게이트에 역전압을 인가하였을 때 공핍층과 전계 분포

Fig. 1 Cross-section of a gated diode. Depletion layer boundary and electric field vectors in the gated diode under reverse bias conditions

gated diode를 적절히 활용하기 위해서는 항복전압을 게이트 전압의 함수로 유도할 필요가 있다. Colak 등[1]은 수치 해석(numerical analysis)에 의해 항복전압을 계산하였으나, 이러한 방법들은 소자의 최적 설계를 위해 오랜 시간과 경험을 요구하게 된다.

본 논문에서는 gated diode의 항복전압을 게이트 전압, 도핑농도에 관한 식으로 유도하였으며, 이를 이차원 소자 시뮬레이터인 ATLAS[2]를 이용하여 얻은 값과 비교함으로써 그 타당성을 검증하였다.

* 正會員 : 亞洲大 電子工學科 碩士課程
 ** 準會員 : 亞洲大 分子技術學科 教授 · 工博
 接受日字 : 1999年 12月 31日
 最終完了 : 2000年 2月 25日

2. Gated Diode의 항복전압식

게이트 전압은 산화막에 걸리는 전압과 실리콘 표면 전압의 합으로 나타낼 수 있다. 산화막 내에는 전자와 정공이 거의 존재하지 않기 때문에 산화막에 높은 전계가 걸리더라도 충돌 이온화(impact ionization) 현상이 발생되지 않는다. 따라서 항복전압은 실리콘 영역 내의 전계가 임계 전계(critical electric field)에 도달할 때, 산화막 및 실리콘 공핍층 영역에서 지탱하는 전압의 합으로 표현될 수 있다.

그림 1의 게이트 끝 하단에서 나타나는 전계 집중 현상은 원통형 접합에서 발생하는 전계 집중과 유사하다. 일반적으로 원통형 접합을 갖는 소자에서 pn 접합의 곡률 반경(radius of curvature), r_j 를 증가시키면, 이곳에 집중되는 전계를 분산시키고 항복전압을 향상시킬 수 있다. 그런데, 게이트 하단에서 나타나는 전계 집중 현상은 게이트에 인가하는 전압에 따라 달라지므로, 게이트 전압을 원통형 접합의 곡률반경을 변화시키는 변수라고 생각할 수 있다. 따라서 다음 식 (1)의 경험적(empirical) 곡률 반경, r_j 를 게이트 전압, V_g 와 불순물(impurity) 도핑 농도(doping concentration), N_D 의 함수로 표시할 수 있다.

$$r_j' = \frac{1.24 \exp\left\{\left(5 \times 10^{14} - N_D\right) / 4 \times 10^{14}\right\} + 0.69}{0.41 \exp\left(V_g / 52.44\right) + 1.02} \quad (1)$$

게이트 끝 하단 silicon 영역의 항복 전압은 원통형 접합의 항복 전압 식[4]에서 r_j 대신 r_j' 를 대입하면 다음 식 (2)와 같다.

$$BV_{si} = BV_{PP} \left\{ \frac{1}{2} \left(\omega^2 + 2 \omega^{\frac{6}{7}} \right) \ln \left(1 + 2 \omega^{-\frac{8}{7}} \right) - \omega^{\frac{6}{7}} \right\} \quad (2)$$

여기서 $BV_{PP} = 5.27 \times 10^{13} N_D^{-\frac{3}{4}}$
 $\omega = r_j' / W_{C,PP}$

$$W_{C,PP} = 2.62 \times 10^{10} N_D^{-\frac{1}{8}}$$

따라서, gated diode의 항복 전압식은 다음과 같이 유도된다.

$$BV_{gd} = BV_{si} + BV_{ox} \quad (3)$$

여기서 $BV_{ox} = 2.88 r_j E_{C,PP} \omega^{-\frac{1}{7}}$

$$E_{C,PP} = 4044 N_D^{\frac{1}{8}}$$

3. 시뮬레이션 결과 및 고찰

$N_D = 1 \times 10^{15} \text{ cm}^{-3}$, $r_j = 3 \mu\text{m}$, $t_{ox} = 1.5 \mu\text{m}$ 인 경우, 게이트 전

압에 따른 항복전압의 변화를 그림 2에 나타냈다. 실선이 본 논문에서 유도한 식 (3)의 결과이고 점은 ATLAS 시뮬레이션 결과이다. 식 (3)의 결과는 V_g 가 -50 V 이상인 경우 시뮬레이션 결과와 비교할 때, 5% 미만의 오차 내에서 잘 일치한다. V_g 가 -50 V 이하인 경우 시뮬레이션 결과와 잘 맞지 않는 이유는 서론에서 언급한 바와 같이 실리콘 표면에 축적층이 형성되기 때문이라고 판단된다.

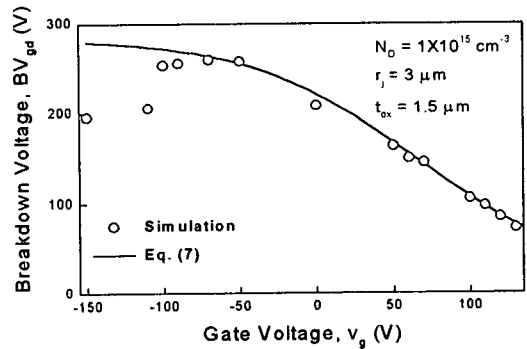


그림 2 게이트 전압에 따른 항복전압의 변화
 Fig. 2 Breakdown voltage as a function of the gate voltage

불순물 농도에 따른 항복전압의 변화를 그림 3에 나타냈다. 도핑농도를 $5 \times 10^{14} \text{ cm}^{-3}$ 부터 $2 \times 10^{15} \text{ cm}^{-3}$ 까지, V_g 를 -50 V에서 100 V 까지 변화시키면서, 항복전압 식 (3)과 시뮬레이션 결과를 비교한 결과 10% 내의 오차 범위 내에서 대체로 일치하였다.

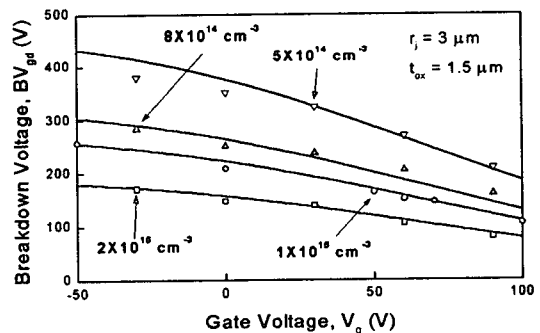


그림 3 Gated diode에서 도핑농도에 따른 항복전압의 변화
 Fig. 3 Breakdown voltage of gated diodes as a function of the gate voltage with various doping concentration

4. 결 론

Gated diode의 항복전압 식을 게이트 전압, 도핑농도의 함수로 유도하였다. 도핑농도와 게이트 전압을 접합 곡률 반경으로 치환하고 산화막 및 실리콘 영역에서 지탱하는 전압을 이용하여 나타냈다. 유도된 식은 시뮬레이션 결과와 대체로 잘 일치하였으며, 따라서 해석적인 식이 gated diode

의 최적 설계에 유용하리라 기대된다. 또한 gated diode는 소자제작이 완료된 후에 게이트 전압에 따라 다양한 항복전압을 갖는다는 이점을 이용하여 항복전압을 조절할 수 있는 튜닝 다이오드 등의 응용 분야에 사용될 수 있으리라 예상된다.

감사의 글

본 연구는 1997년도 한국전력공사의 지원에 의하여 기초전력공학공동연구소 주관으로 수행되었음.(과제번호 : 97-050) 아주대학교 1995년도 연구용 기자재 지원의 일환으로 작성되었음.

참 고 문 헌

- [1] S. Colak and E. Stupp, "Reverse avalanche break down in gated diodes," *Solid St. Electronics*, vol. 23, pp. 467-472, 1980.
- [2] SILVACO. Two-dimensional device simulation program, *user's manual*. 1997.
- [3] W. Fulop, "Calculation of avalanche breakdown of silicon P-N junctions," *Solid St. Electronics*, vol. 10, pp. 39-43, 1967.
- [4] B. Baliga and S. Gandhi, "Analytical solutions for the breakdown voltage of abrupt cylindrical and spherical junctions," *Solid St. Electronics*, vol. 19, pp. 739-744, 1976.