

Development of High Aspect Ratio Spacer Process using Anodic Bonding for FED

金敏洙* · 金官洙* · 文權振* · 禹廣濟* · 李南良* · 朴世光**

(Min-Soo Kim · Kwan-Soo Kim · Kwon-Jin Moon · Kwang-Je Woo · Nam-Yang Lee · Se-Kwang Park)

Abstract -In this paper, a spacer process for FED(Field Emission Display) was developed with the glass to glass anodic bonding technology using Al film as an interlayer and a 3.5 inch monochromatic type FED was fabricated.

Holder to dislocate spacers vertically was designed with (110) Si wafer by bulk etching. Spacers, 100 μ m width and 1000 μ m height, were formed on anode panel by spacer to glass anodic bonding and the fabricated FED was operated for emission at 1kV anode voltage.

Key Words : FED, Spacer, Anodic bonding, Spacer holder, Al line

1. 서 론

FED(Field Emission Display)는 수많은 에미터로 구성된 캐소드기관과 형광체로 구성된 아노드기관 사이를 고진공으로 하여 동작시키는 진공 소자로서, 두 기관간의 간격을 일정히 유지시키는 스페이서가 반드시 필요하다. 따라서 현재 여러 FED 연구팀에서는 이러한 스페이서를 형성하기 위한 여러 가지의 방법들을 개발하고 있다. 특히, 저전압용 형광체의 개발이 어렵기 때문에 기존의 CRT(Cathode Ray Tube)에서 사용하는 형광체를 FED의 아노드기관에 사용하여 고휘도와 긴 수명을 가진 상품화가 가능한 FED소자를 제작하고자 노력하고 있으며, 이를 위해서는 눈에 보이지 않으며 높은 종횡비를 가지는 스페이서의 형성기술이 절대적으로 요구되고 있는 실정이다[1-4]. 따라서 이러한 스페이서 공정개발의 일환으로 본 논문에서는 유리-유리 정전접합기술을 이용한 스페이서 형성기술 개발을 수행하였다.

스페이서 형성기술로서의 정전접합기술은 기존의 방법보다 깨끗한 환경아래에서 균일한 접합을 형성할 수 있으며, 공정시간이 짧으며, 스페이서를 아노드기관에 고정시키기 위한 별도의 고정틀을 아노드기관 혹은 캐소드기관 내부에 형성하지 않고 직접적으로 접합하여 형성을 할 수 있으므로 FED소자의 개구율과 스페이서 형성 비용에 잇점을 가지고 있다. 본 논문에서는 이러한 유리-유리간의 정전접합기술을 스페이서 형성기술에 적용하여 녹색 단색 3.5인치 FED를 제작하였다.

2. 본 론

본 논문에서는 폭 100 μ m, 높이 1000 μ m인 고종횡비를 가지는 소다회 유리 스페이서를 미국 SEM-COM사에서 주문 제작하여 사용하였다.

먼저, 스페이서를 FED 아노드기관에 형성하기 위해서는 일정한 위치에 수직으로 고정시킬 수 있도록 하는 고정틀의 제작이 요구된다. 스페이서 고정틀의 요건으로는 첫째, 수직으로 식각이 가능하여야 하며, 둘째, 정전접합의 온도에서 열적으로 휘과 같은 변형이 발생하지 않고, 셋째, 전기적으로 절연성을 가진 재료이어야 한다.

본 논문에서 스페이서 고정틀로 (110) 실리콘웨이퍼를 이용하였으며, 그 제조공정은 그림 1에서와 같이 웨이퍼에 열산화막을 형성하고, 이를 웨이퍼의 결정방향과 마스크의 방향을 정렬한 후 패터닝하여 약 80 $^{\circ}$ C의 TMAH (TetraMethyl Ammonium Hydroxide)용액에서 습식 식각하여 제작하였다.

제작된 고정틀과 스페이서를 그림 2와 같이 정렬하여 100 μ m로 띄워서 위치시킨 후 고정틀에 스페이서를 삽입하여 250~350 $^{\circ}$ C의 온도와 DC 550~650V의 접합조건에서 Al이 코팅된 아노드기관과 스페이서유리간의 정전접합을 수행하였다. 그림 3은 스페이서 정전접합시의 접합전류-시간의 특성곡선을 보인 것이다. 그 후 고정틀을 지그를 이용하여 아노드기관과 수직으로 분리시킴으로써 아노드기관에 형성된 스페이서를 얻을 수 있었다.

그림 4는 아노드기관에 정전접합된 스페이서의 사진을 보인 것이다. 길이 75mm인 10개의 스페이서를 정전접합으로 형성한 아노드기관과 3.5인치 캐소드 기관간의 원거리 초점을 이용한 정렬과 프리트유리 실링으로 진공패키징을 수행하여 FED소자를 제작하였다. 패널은 고온배기와 게터링을 통하여 내부를 진공으로 패키징하였으며, 제작된 소자를 그림 5에 나타내었다. 또한, 제작된 패널의 내부 진공도는 SRG(Spin Rotor Gauge)센서로 측정하여 8~9 $\times 10^6$ torr의 진공도가 유지됨을 알 수 있었다.

* 正 會 員 : 오리온전기(주) 研究員

** 正 會 員 : 慶北大 電子電氣工學部 副教授 · 工博

接受日字 : 1999年 10月 26日

最終完了 : 1999年 12月 2日

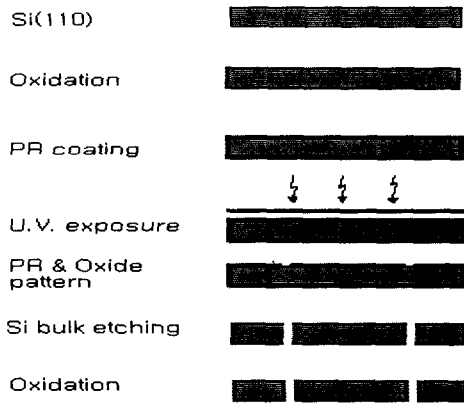


그림 1 (110) 실리콘 웨이퍼를 이용한 스페이서 고정틀 제조공정
 Fig. 1 Fabrication process of spacer holder using (110) silicon wafer

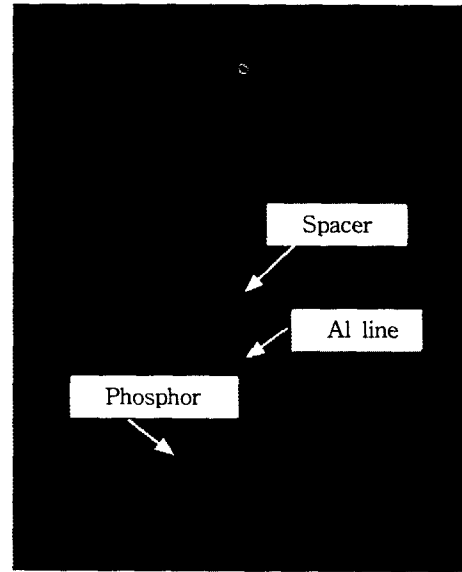


그림 4 아노드기판에 접합된 스페이서의 사진
 Fig. 4 Photograph of spacer bonded on anode panel

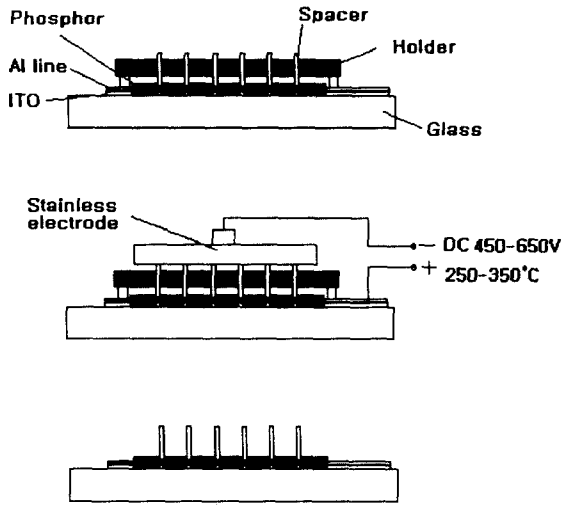


그림 2 정전접합을 이용한 스페이서 공정
 Fig. 2 Spacer process using anodic bonding

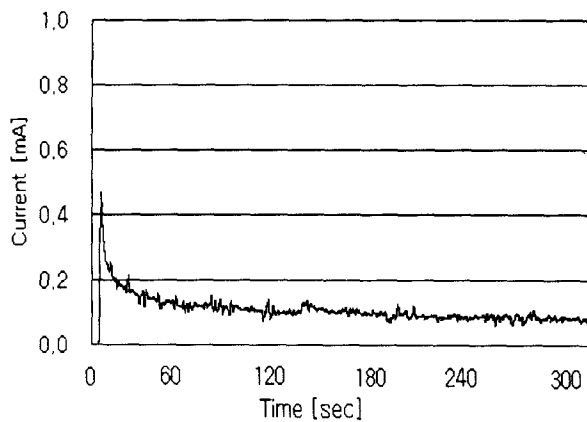


그림 3 정전접합전류-시간 특성곡선
 Fig. 3 Characteristics of anodic bonding current-time

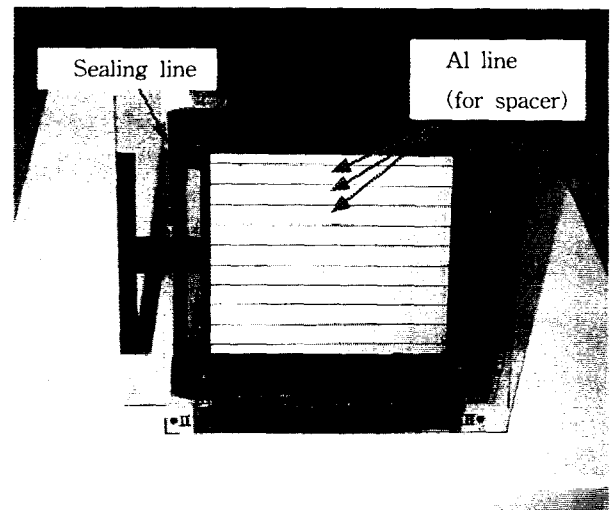


그림 5 진공배기된 3.5인치 FED 패널의 사진
 Fig. 5 Photograph of an evacuated 3.5 inch FED panel

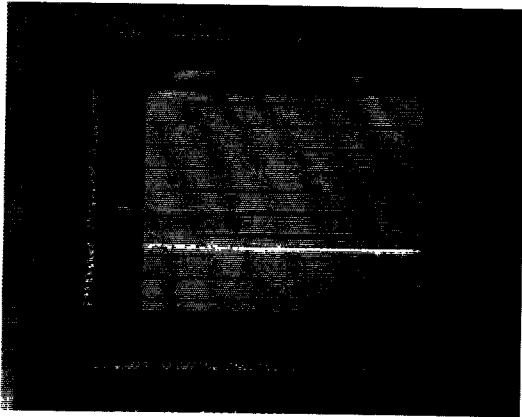


그림 6 제작된 FED 패널의 사진
 Fig. 6 Photograph of a fabricated 3.5 inch mono FED panel.

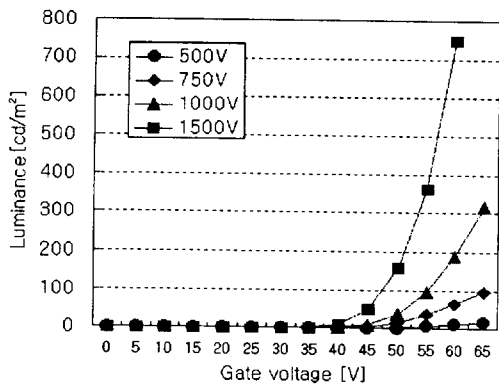


그림 7 아노드 전압에 따른 발광휘도의 변화
 Fig. 7 Change of luminance on different anode voltages

3. 결 론

중간층으로 Al 박막을 이용하는 유리-유리 정전접합기술을 FED용 스페이서 형성에 적용하였다. 종횡비가 10:1인 고종횡비의 스페이서를 녹색 단색 아노드기관에 형성하여 FED를 제작하였다. 제작된 FED의 내부진공도는 $8\sim 9 \times 10^{-6}$ torr로 유지되었으며, 정전접합으로 형성된 고종횡비의 스페이서는 FED의 진공패키징에 적용 가능함을 확인하였다. 또한, 제작된 FED의 패널에 아노드 전압을 1.5kV로 인가하여 500V에서 측정된 발광휘도보다 약 68배의 개선을 이룰 수 있었다.

이상과 같이 개발된 유리-유리 정전접합을 이용한 스페이서 형성기술은 다양한 형상의 유리 스페이서를 FED에 적용할 수 있는 것으로서 소자의 오염과 손상을 줄일 수 있으며 정교한 프로세스가 가능한 기술로 사료된다.

참 고 문 헌

- [1] D. A. Cathey, C. C. Yu, T. T. Doan, T. A. Lowrey and J. B. Rolfson, " Spacers for field emission display fabricated via self-aligned high energy ablation", U.S. Patent 5,232,549, 1993
- [2] R. H. Tayler and J. D. Levine, "Spacers for flat panel display", U.S. Patent, 5,52,517, 1996
- [3] D. A. Cathey and J. J. Browing, "Method for forming spacers for display devices employing reduced pressure", U.S. Patent 5,503,582, 1996
- [4] J. B. Elledge, " Method for forming spacers in flat panel dispalys using photoetching", U.S. Patent 5,705,079, 1998