

Scaled SONOSFET를 이용한 NAND형 Flash EEPROM

The NAND Type Flash EEPROM using the Scaled SONOSFET

金珠娟* · 金炳哲* · 金善周** · 徐光烈***

(Joo-Yeon Kim · Byung-Cheol Kim · Seon-Ju Kim · Kwang-Yell Seo)

Abstract - The SONOSFET memory devices with ultrathin ONO(tunnel oxide-nitride-blocking oxide) gate dielectric were fabricated using n-well CMOS process and investigated its characteristics. The thicknesses of tunnel oxide, nitride and blocking oxide were 23 Å, 53 Å and 33 Å, respectively. Auger analysis shows that the ONO layer is made up of SiO₂(upper layer of blocking oxide)/O-rich SiO_xN_y(lower layer of blocking oxide)/N-rich SiO_xN_y(nitride)/O-rich SiO_xN_y(tunnel oxide). It clearly shows that the converting layer with SiO_xN_y phase exists near the interface between the blocking oxide and nitride. The programming condition of +8 V, 20 ms, -8 V, 50 ms is determined and data retention over 10 years is obtained. Under the condition of 8 V programming, it was confirmed that the modified Fowler-Nordheim tunneling is dominant charge transport mechanism. The programmed threshold voltage is distributed less than 0.1 V so that the reading error of memory states can be minimized. An 8×8 NAND type flash EEPROM with SONOSFET memory cell was designed and simulated with the extracted SPICE parameters. The sufficient read cell current was obtained and the upper limit of V_{TH} for write state was over 2 V.

Key Words : SONOSFET, NAND Flash EEPROM, memory cell, SPICE parameter, modified Fowler-Nordheim tunneling

1. 서 론

비휘발성 반도체 기억소자(nonvolatile semiconductor memory : NVSM) 가운데서 플래시 메모리는 기존의 플로피 디스크, 하드 디스크 등의 자기 메모리 대체용뿐만 아니라, 각종 정 기권, 전자 카드, 자동응답 전화기용 음성 저장, 디지털 카메라 용 화상 저장 및 휴대용 통신 기기 등 용도가 다양하여 EEPROM 시장을 주도해 가고 있다. 이러한 플래시 메모리 응용을 실현하기 위해서는 메모리 셀의 신뢰성 향상과 스케일 다운(scale down)을 통한 고집적화, 저전압화 및 비트 당 경비의 최소화가 선행되어야 한다. 그런데, 현재의 EEPROM 시장을 선점하고 있는 부유 게이트 계열의 플래시 메모리는 자체가 갖는 구조적 특성 때문에 스케일 다운에 한계를 갖는다[1]. 기록/소거 동작도 채널 고온 캐리어 주입 또는 Fowler-Nordheim(FN) 터널링 방식이므로 쓰기 전류가 커서 저전압 화와 내구성에서도 단점을 가지고 있다. 반면에 SONOS 기억소자는 채널 전면을 통한 직접 전하주입 방법으로 인해서 높은 신뢰성을 가지며 셀 구조가 간단하여 스케일 다운에 용이하고 경제성이 뛰어나다는 장점이 있어 부유 게이트 계열의 단점을 극복한 저전압, 고집적, 고신뢰성의 플래시 메모리를 구현할 수 있다[2].

본 연구에서는 차세대 메모리 소자로 주목받고 있는 전하 트랩 형 SONOS 기억소자를 메모리 셀로 구성하고 부유 게이트 계열의 단점을 보완한 플래시 메모리를 구현하기 위해서 스케일 다운된 SONOSFET를 제작하고 소자의 게이트 유전막 특성과 기억특성을 조사하였다. 저전압화와 내구성 향상을 위해 기록/소거 동작이 modified Fowler-Nordheim (MFN) 터널링이 되도록 프로그램 조건을 결정하여 메모리 배열 크기(array size)가 작고, 단일 전원을 사용하며, 지우기 시간이 짧은 NAND 형 단위 메모리 회로에 이를 적용하였다. 기억소자로부터 직접 추출한 SPICE 파라미터로 쓰기, 지우기 및 읽기 동작을 전산모사 하여 저전압, 고집적, 고신뢰성의 플래시 메모리 셀로의 이용 가능성을 고찰하였다.

2. 실험

SONOSFET 비휘발성 기억소자는 게이트 절연막인 ONO 형성 공정을 제외하고는 기존의 n-웰 CMOS 표준공정에 따라 제작하였다. 사용한 웨이퍼는 비저항이 13±2 Ω·cm인 (100) 방향의 p형 실리콘 반도체이다. 터널 산화막은 800 °C, 상압에서 산소(7.25 ℓ/min)를 사용하여 2 분간 열산화 하여 성장하였다. 질화막은 785 °C에서 SiH₂Cl₂와 NH₃의 혼합가스를 반응시켜 LPCVD(low pressure chemical vapor deposition) 방법으로 터널 산화막 위에 퇴적하였다. 흘러준 SiH₂Cl₂와 NH₃ 가스의 유량은 각각 30 sccm, 100 sccm이며, 질화막 두께는 퇴적 시간을 다르게 하여 조절하였다. 블로킹 산화막은 900 °C, 상압에서 H₂ : O₂ = 6.75 ℓ/min :

*正 會 員 : 光云大 電子材料工學科 博士課程

**正 會 員 : 光云大 新技術 研究所 研究員 · 工博

***正 會 員 : 光云大 電子材料工學科 教授 · 理博

接受日字 : 1999年 3月 4日

最終完了 : 1999年 12月 3日

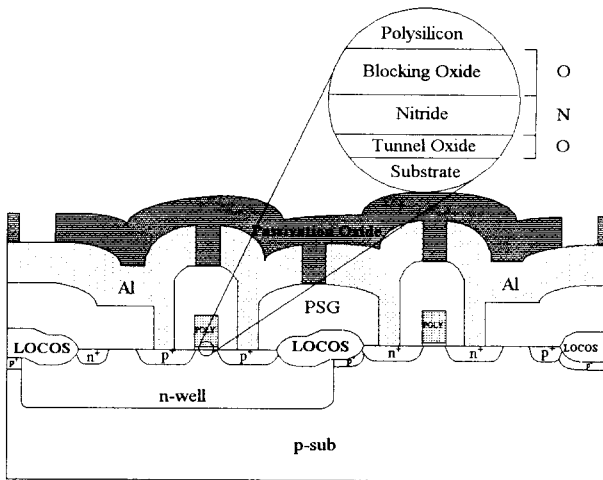


그림 1 SONOSFET 기억소자의 단면도

Fig. 1 Cross sectional view of SONOSFET memory devices

4.50 l/min인 혼합가스를 사용해서 67 분간 습식산화법으로 질화막 위에 성장하였다.

제작된 스케일 다운된 SONOSFET 기억소자의 단면도는 그림 1과 같다.

초박막 ONO 게이트 유전막의 두께는 XTEM(Philips CM300)으로 분석하였으며 조성 분포와 형성 상태는 AES (PHI SAM4300)로 수행하였다. SONOSFET 기억소자의 스위칭 특성은 반도체 파라미터 분석기(semiconductor parameter analyzer ; HP, 4155A)를 사용하여 측정하였다. SPICE 파라미터는 채널 길이와 폭이 각각 다른 다수의 n-채널 및 p-채널의 SONOSFET 기억소자와 MOS 및 접합 캐패시터로 구성되어 있는 테스트 패턴을 이용하여 추출하였다.

3. 결과 및 고찰

그림 2는 성장된 ONO 게이트 유전막의 두께를 정확히 결정하기 위하여 XTEM 분석을 실시한 결과이다. 각 유전막의 두께는 터널 산화막이 23 Å, 질화막이 53 Å, 블로킹 산화막이 33 Å 이었다. 엘립소미터와 C-V 측정법으로 얻은 결과와도 잘 일치하였다. 각 박막의 계면은 뚜렷한 계면을 가지고 있으며 균일한 두께로 증착 되었음을 알 수 있다.

ONO 유전막의 결합상태를 조사하기 위하여 Si1(LVV) 피이크를 이용하여 선형 최소 제곱 일치(linear least squares fit)를 수행하였으며, 그 결과는 그림 3과 같다. TEM 분석에서 얻은 결과와 비교할 때 초박막 ONO 유전막은 SiO₂(블로킹 산화막 상부)/산소가 많은(O-rich) SiO_xN_y(블로킹 산화막 하부)-계면-질소가 많은 SiO_xN_y(질화막)-계면-산소가 많은 SiO_xN_y(터널 산화막)의 4 중 구조임을 보여주고 있다. Si-N-O 결합 분포의 피이크가 계면과 정확하게 일치하였으며 이 현상은 계면을 결정하는데 유리한 도구가 될 수 있음을 알 수 있다. 터널 산화막은 그 위의 질화막증착에 사용한 NH₃ 기체에 의해서 SiO₂ 상에서 SiO_xN_y 상으로 변화하게 되기 때문에 터널 산화막의 장벽 높이를 감소시키고 프로그램

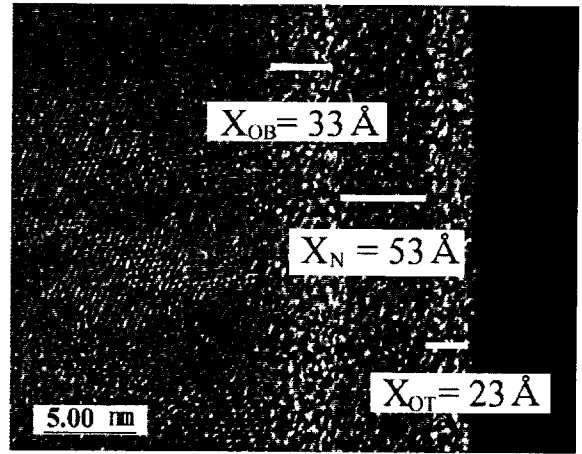


그림 2 X_{OT}=23 Å, X_N=53 Å, X_{OB}=33 Å 인 초박막 ONO 게이트 유전막의 XTEM 영상

Fig. 2 XTEM image of ultrathin ONO gate dielectrics with X_{OT}=23 Å, X_N=53 Å, X_{OB}=33 Å

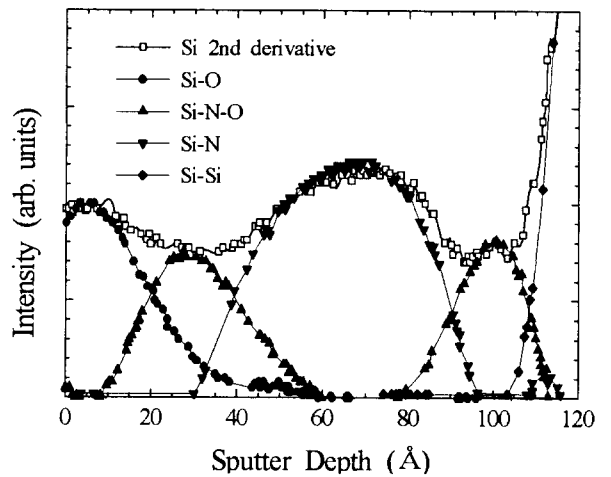


그림 3 X_{OT}=23 Å, X_N=53 Å, X_{OB}=33 Å인 초박막 ONO 유전막의 결합상태 분석을 위한 Si LVV 오제 스펙트럼을 이용한 선형 최소 제곱 일치

Fig. 3 Linear least square fit of the Si LVV Auger spectrum for bonding state analysis of ultrathin ONO dielectrics with X_{OT}=23 Å, X_N=53 Å, X_{OB}=33 Å

전압강화와 기억유지 특성 저하 및 누설전류를 증가시킬 것으로 예상된다[3]. 그리고 질화막의 산화에 의하여 형성된 블로킹 산화막 중 산화막 상부에서는 안정된 SiO₂ 상을 이루는 반면, 질화막 계면 근처에서는 SiO_xN_y 상이 존재함을 알 수 있다. 이는 질화막을 산화하는 과정에서 존재하게 되는 변환층(conversion layer)으로 많은 기억트랩을 갖기 때문에 질화막 두께의 스케일링에도 불구하고 낮은 프로그램 전압에 대해 큰 기억창을 갖는다고 사료된다[4].

기억상태에서 경과시간에 따른 문턱전압을 측정하여 조사한 소자의 기억유지 특성은 그림 4와 같다. 소거상태에서의 기억유지 특성은 '○'로, 기록상태에서는 '□'로 나타내었다.

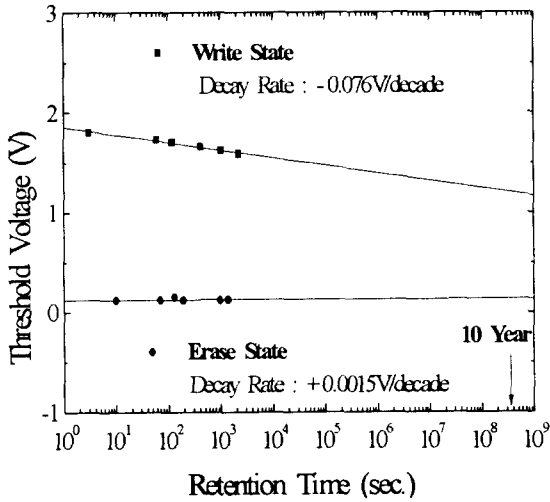


그림 4 $X_{OT}=23 \text{ \AA}$, $X_N=53 \text{ \AA}$, $X_{OB}=33 \text{ \AA}$ 인 SONOSFET 기억소자의 기억유지 특성

Fig. 4 Retention characteristics of SONOSFET memory device with $X_{OT}=23 \text{ \AA}$, $X_N=53 \text{ \AA}$, $X_{OB}=33 \text{ \AA}$

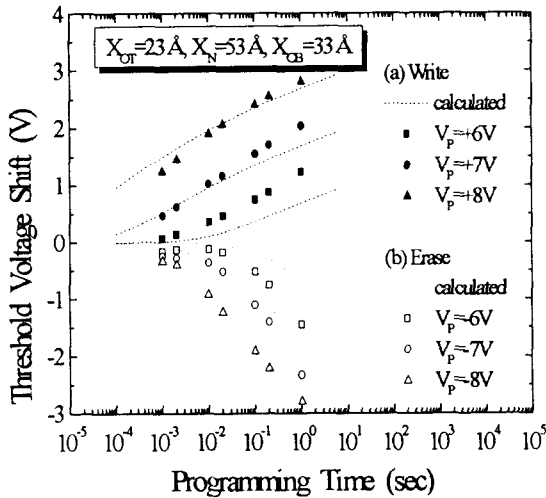


그림 5 프로그램 시간을 달리하였을 때 프로그램 시간에 따른 문턱전압 이동량의 측정 값과 이론곡선의 비교. (a) 기록. (b) 소거

Fig. 5 Comparison between the measured threshold voltage shift and the theoretical curve with programming time for different programming voltages (a) Write (b) Erase

측정 값으로부터 감쇠율을 구하기 위하여 선형 최소 제곱법을 사용하였으며 그 결과를 실선으로 나타내었다. 기록상태인 경우 문턱전압 감쇠율은 0.076 V/decade이었으며 소거상태에서는 거의 변화하지 않았다. 제작한 SONOSFET 셀은 10년 이상의 기억유지 특성을 가지고 있음을 알 수 있다.

그림 5는 채널 폭과 길이를 $20 \mu\text{m} \times 1.5 \mu\text{m}$ 하여 제작한 SONOSFET 기억소자의 스위칭 특성을 나타낸 것이다. 문턱전압의 이동량은 초기 전압을 일정하게 한 후 각각의 경우에 대해서 프로그래밍 전압과 시간을 달리하며 측정하고

기호로 표시하였다. 스위칭 특성 조사를 위한 초기 전압은 기록상태인 경우 -0.61 V , 소거상태인 경우 2.19 V 이었다. 프로그래밍 전압의 크기 및 시간이 증가할수록 문턱전압 이동량이 커짐을 알 수 있다. 또한 동일한 문턱전압 이동량을 얻기 위해서는 기록상태보다 소거상태가 더 긴 프로그램 시간이 필요함을 알 수 있다. 감지불능 준위를 0.7 V 로 할 때, $+8 \text{ V}$, 20 ms , -8 V , 50 ms 의 프로그래밍 조건으로 기억상태를 기록/소거할 수 있었다.

제작한 SONOSFET 기억소자의 전하주입 기구를 규명하기 위하여 측정 값과 최적일치되는 터널링 기구를 조사하였다. 터널 산화막을 통한 전하주입 기구는 터널 산화막에 걸리는 전기장의 세기에 크게 의존한다. 실리콘 기관 및 질화막에서 본 터널 산화막의 전위장벽 높이를 각각 ϕ_1 및 ϕ_2 , 터널 산화막과 질화막의 두께 및 산화막과 질화막의 유전율을 각각 X_{OT} 와 X_N 그리고 ϵ_{ox} 와 ϵ_N 이라고 할 때 터널 산화막의 전기장 세기 E_{OT} 가 $(\phi_1 - \phi_2) / [X_{OT} + \epsilon_{ox} X_N / \epsilon_N]$ 보다 크고 $(\phi_1 - \phi_2) / X_{OT}$ 보다 작은 경우에는 MFN 터널링이 주도적인 전하주입 기구가 된다. 제작한 SONOSFET 기억소자의 전하주입 기구가 MFN 터널링이 주도적이 되려면, $X_{OT}=23 \text{ \AA}$, $X_N=53 \text{ \AA}$, 전자에 대한 전위장벽 $\phi_1=3.1 \text{ eV}$, $\phi_2=1.05 \text{ eV}$, 정공에 대한 전위장벽 $\phi_1=3.8 \text{ eV}$, $\phi_2=1.85 \text{ eV}$, $\epsilon_{ox}=3.9$ 와 $\epsilon_N=7.5$ 이기 때문에, 산화막 전기장 세기가 4.1 MV/cm 보다는 크고 8.9 MV/cm 보다는 작아야 하며, 소거상태인 경우 3.9 MV/cm 보다는 크고 8.5 MV/cm 보다는 작아야 한다. 그런데 터널 산화막 전기장 세기는 프로그램 초기에 가장 강하고 전하가 주입되어 트랩에 트랩됨에 따라 점차 감소하기 때문에 초기 산화막 전기장 세기에 의해 전하주입 기구가 결정된다. 초기 터널 산화막 전기장 세기 $E_{OT}(0)$ 는 V_P 의 함수로 다음과 같이 주어진다.

$$E_{OT}(0) = - \frac{V_P + \left(\frac{X_{OB}}{\epsilon_{OX}} + \frac{X_N}{2\epsilon_N} \right) Q_{TOT}(0) - \phi_{MS} - \psi_S}{X_{eff}} \quad (1)$$

여기에서 $Q_{TOT}(0)$ 는 초기조건에서 질화막에 저장된 초기 전하량이고, ϕ_{MS} 는 게이트와 반도체 사이의 일함수 차, ψ_S 는 반도체 표면전위이다. 스위칭 특성으로부터 결정된 프로그램 조건에서 기록/소거 동작 시에 터널 산화막의 전기장 세기가 모두 이 범위 내에 해당되기 때문에 MFN 터널링 기구를 적용하였다.

MFN 터널링이 주도적이면 프로그래밍 시간 t_P , 프로그래밍 전압, V_P 에서 문턱전압 이동량, ΔV_{TH} 는 터널 산화막에 걸리는 초기 산화막 전기장 세기, $E_{OT}(0)$ 와 t_P 의 함수로 다음과 같이 표현된다[5].

$$\Delta V_{TH}(V_P, t_P) = \left[\frac{X_{eff} \frac{E_{OT}^2(0)}{E_T} \ln \left(1 + \frac{t_P}{\tau} \right)}{1 + \frac{E_{OT}(0)}{E_T} \ln \left(1 + \frac{t_P}{\tau} \right)} \right] \quad (2)$$

여기에서 X_{eff} 는 ONO 게이트 유전막의 유효두께, E_T 는 터널링 장벽에 의해 결정되는 상수이고 τ 는 $E_{OT}(0)$ 에 의해 결정되는 상수이다.

그림 5에서 점선은 식(2)를 계산하여 그린 곡선이다. 프로

그래밍 전압이 8 V인 경우 이론식과 측정 값이 잘 일치하였으며 소자는 8 V의 스위칭 조건에서 MFN 터널링이 주도적인 전하주입 기구임을 알 수 있다. 그러나, 프로그래밍 전압이 7 V 이하로 낮은 경우 잘 일치하지 않았다. 이는 초기 산화막 전기장 세기가 작아 트랩 어시스트 터널링(trap-assisted tunneling)이 주도적인 전하전송 기구가 되기 때문이라 생각된다[6]. 현재 플래시 메모리의 주류를 이루고 있는 부유 게이트 형인 경우 정보의 기록 및 소거는 채널 전면을 통한 열전자 주입이나 FN 터널링 기구를 이용하기 때문에 매우 높은 전압이 필요하고 전하를 주입하는 동안의 고밀도 전류 스트레스에 의해 유전막이 열화된다[7]. SONOSFET 기억소자는 MFN 터널링 기구를 이용하여 기억 동작을 수행하기 때문에 기록/소거 전류가 작아 열전자 주입 또는 FN 터널링에 의한 전하주입을 이용하는 기존의 부유 게이트보다 높은 내구성과 신뢰성을 얻을 수 있을 것으로 사료된다.

제작한 SONOSFET 기억소자의 기록/소거 동작에 따른 문턱전압의 누적분포를 조사하였다. +8 V, 20 ms와 -8 V, 100 ms의 프로그래밍 조건으로 기록/소거를 각각 50 회 반복할 때마다 측정된 문턱전압의 분포는 그림 6과 같다. 부유 게이트형 메모리 셀인 경우 프로그램하였을 때 문턱전압이 넓게 분포하는 것에 반하여 SONOSFET 기억소자는 0.1 V 이내에 분포하였다. 이것은 SONOSFET가 전하 트랩형 기억소자로 일정한 기억트랩의 수에 의해서 기억창이 포화된 값을 갖게 되기 때문이다. 따라서 SONOSFET 기억소자를 플래시 메모리의 셀로 이용하면 부유 게이트 소자에 비해서 기억상태를 판독할 때 오동작을 줄일 수 있다고 사료된다.

SONOSFET 메모리 셀 설계 및 회로의 전산모사를 위한 SPICE 파라미터는 BSIM3 모형을 적용한 UTMOSTIII[8]를 이용하여 웨이퍼 상태에서 추출하였다. SONOSFET에 대한 SPICE 모델링을 위해 ONO 게이트 유전막을 산화막의 유효두께로 환산하여 적용하였다. 1 개의 웨이퍼 당 4개의 다이(die)를 선택하였으며, 각 다이 마다 $W \times L$ 이 각각 $40 \mu\text{m} \times 40 \mu\text{m}$, $20 \mu\text{m} \times 3.0 \mu\text{m}$, $20 \mu\text{m} \times 1.5 \mu\text{m}$, $3.0 \mu\text{m} \times 20 \mu\text{m}$, $1.5 \mu\text{m} \times 20 \mu\text{m}$ 인 소자를 측정하였다. 게이트에 인가된 전압이 5 V 이상이면 질화막에 전하가 주입되어 초기 문턱전압이 변하게 되기 때문에 항상 문턱전압이 동일한 초기조건에서 모든 항목의 측정을 실시하였다. 먼저 제작한 SONOSFET 기억소자의 $I_{\text{DS}}-V_{\text{GS}}$ 측정곡선과 이론곡선의 일치로부터 파라미터를 추출하였다. 이렇게 얻은 파라미터는 하위문턱, 선형, 포화영역에서 한 영역의 바이어스 조건에만 의존하는 특성이 강하기 때문에 전 영역의 바이어스 조건에 적합한 파라미터라고 볼 수 없다. 따라서 각 바이어스 조건에 강한 파라미터만을 따로 분리하여 각 영역에 대하여 최적화를 실시한 다음 최종적으로 전체 영역에 대한 최적화를 실시하여 파라미터를 추출하였다. 그림 7은 부분적으로 최적화한 각각의 파라미터들과 측정된 $I_{\text{DS}}-V_{\text{GS}}$, $I_{\text{DS}}-V_{\text{DS}}$ 특성곡선을 전체적으로 최적화시킨 결과를 나타낸 것으로 에러율은 5.227 %이었으며, 구한 SPICE 파라미터를 표 1에 정리하였다.

제작한 SONOSFET 기억소자를 이용하여 NAND 형 8 × 8비트 플래시 EEPROM을 그림 8과 같이 설계하였다. SONOSFET 메모리 셀 배열(A)과 동작조건에 따른 전압 변

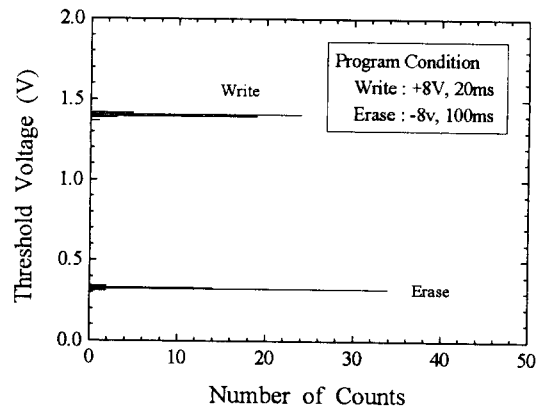


그림 6 기록/소거 반복에 따른 문턱전압의 분포
Fig. 6 Threshold voltage distribution with write/erase repetition

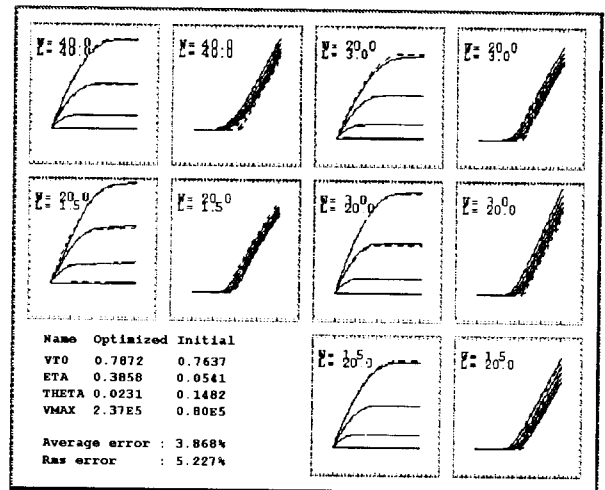


그림 7 N-채널 SONOSFET의 전체적인 최적화
Fig. 7 Global optimization of n-channel SONOSFETs

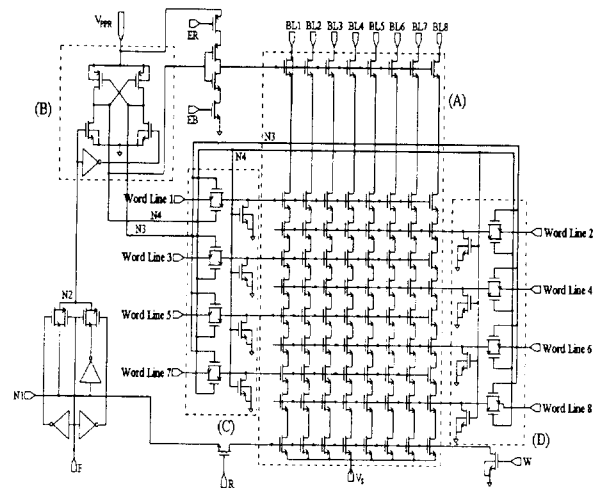


그림 8 8×8 비트 NAND 형 플래시 EEPROM 회로도
Fig. 8 8×8 bit NAND type flash EEPROM circuit

표 1 곡선일치, 국부적 최적화 및 전체적 최적화로부터 얻은 SONOSFET SPICE 파라미터

Table 1 SONOSFET SPICE parameters acquired from curve fitting, local and global optimization

Parameters	Device	N-channel SONOSFET	Units
TOX		8.75E-9	m
NSUB		6.76E16	1/cm ³
GAMMA		0.338	V ^{1/2}
THETA		0.023	
PHI		0.79	V
ETA		0.386	
VT0		0.787	V
RD		60	Ohm
RS		60	Ohm
RSH		40.9	Ohm/sq.
DELTA		0.3	
CGD0		4.1E-10	F/m
CGS0		4.1E-10	F/m
CGB0		50.9E-10	F/m
CJ		5.56E-5	F/m ²
PB		0.5054	V
MJ		0.4105	
FC		0.9491	
IS		9.90E-14	A
N		1.04	
NFS		2.63E12	1/cm ³
LD		1.0E-7	m
WD		1.6E-7	m
U0		310	cm ² /V-s
VMAX		2.37E5	m/s
XJ		0.3E-6	m
Error Rate		5.227%	

환 회로(B), 그리고 워드선 펄스를 입력으로 받아 동작 상태에 따라 메모리 셀의 게이트에 인가되는 전압을 결정해 주는 변환-게이트 부분(C, D)으로 구성하였다.

설계된 NAND 형 플래시 EEPROM의 전기적 특성을 조사하기 위하여 추출한 SPICE 파라미터를 사용하여 전산모사를 수행하였다. 기억상태가 '11110110' 인 비트 선을 선택하여 기억상태를 읽은 결과는 그림 9와 같다. 1~4, 6, 7 번째 메모리 셀의 게이트에 읽기 전압이 인가되는 동안은 셀 전류가 흐르고 5 번째와 8 번째 메모리 셀이 선택된 동안에는 전류가 흐르지 않았다. 결과 파형으로부터 각 메모리 셀의 기억상태를 '11110110'으로 읽을 수 있으며, 읽기 동작이 정상적으로 수행되었음을 알 수 있다.

8 단 연결된 NAND 셀 배열에서 선택 셀의 V_{TH} 가 0.5 V 일 때 비선택 셀의 V_{TH} 에 따른 셀 전류를 조사하였으며 그 결과는 그림 10과 같다. 그림에서 가로축에 7 비트 분의 비선택 셀의 V_{TH} 를, 세로축에 셀 전류를 나타내었다. 비선택 셀의 기억상태에서 V_{TH} 가 4.5 V 이상 되면 셀 전류가 약 2 μA 이하이므로 셀의 V_{TH} 는 4.5 V이하로 조정하는 것이 셀 전류 감지에 유리하고 읽기 동작의 오류를 막을 수 있다. 스위칭 특성으로부터 결정된 프로그램 조건에서 기억상태일 때 V_{TH} 값이 약 1.5 V이므로 셀 전류 감지에 충분하며 기억상태에 대한 V_{TH} 의 상한이 2 V 이상이 되고 문턱전압의 분포가 극히 일정하므로 기존의 부유 게이트와 달리 오동작 확률이 거의 없다는 장점을 갖는다.

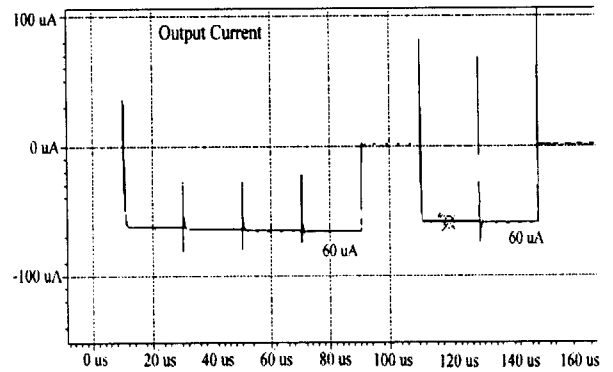


그림 9 SONOSFET NAND 플래시 EEPROM의 읽기 동작 시의 셀 전류

Fig. 9 Cell current of SONOSFET NAND flash EEPROM during read operation

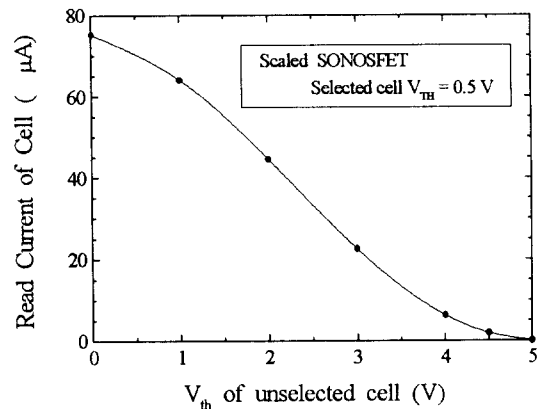


그림 10 SONOSFET NAND 플래시 EEPROM의 읽기 전류

Fig. 10 Read cell current of SONOSFET NAND flash EEPROM

메모리 셀의 p-기판에 지우기 전압을 인가하고, 모든 메모리 셀의 게이트에는 0 V를 인가하며, 소오스와 드레인온 열린 상태로 하여 모든 메모리 셀이 지워지는 플래시 지우기 동작을 수행할 때의 출력 파형은 그림 11과 같다. 인가 전압 조건에 의해 채널 내의 전기장 분포가 균일하게 되어

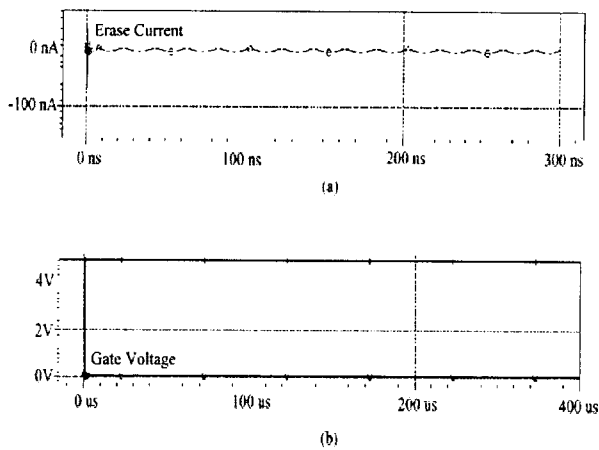


그림 11 SONOSFET 8×8 비트 NAND 플래시 EEPROM의 지우기 동작 결과 파형 (a) 지우기 셀 전류 (b) SONOSFET 메모리 셀의 게이트에 인가된 전압

Fig. 11 Output waveform for SONOSFET 8×8 bit NAND flash EEPROM during erase operation (a) Erase cell current (b) Voltage(0 V) applied on gate of SONOSFET memory cell

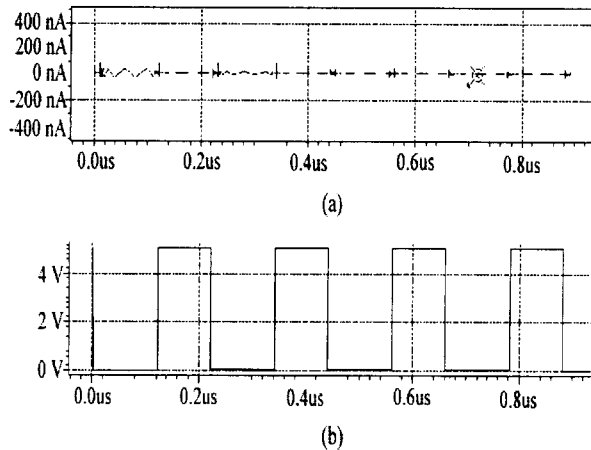


그림 12 SONOSFET NAND 플래시 EEPROM의 쓰기 동작 시의 전류와 비트 선에 인가한 전압 파형 (a) 쓰기 셀 전류 (b) 비트 선에 인가한 파형

Fig. 12 Current and applied voltage waveforms during write operation of SONOSFET NAND flash EEPROM (a) Write cell current (b) Voltage waveform applied on bit line

프로그램 조건에서 채널 전면을 통한 MFN 터널링에 의해 쓰기 및 지우기 동작이 수행되도록 하였다. 그림 11의 (a)는 지우기 동작 시 흐르는 지우기 전류를 나타낸 것으로 nA 단위로 거의 흐르지 않음을 알 수 있다. 지우기 전류가 적을 수록 소자가 받는 스트레스가 적어 소자 신뢰성 측면에서 유리하다. 그림 11의 (b)는 워드 선에 인가한 전압으로 메모리 셀의 게이트에 0 V가 인가되었음을 나타내고 있다. 이것은 지우기 동작이 제대로 수행되었음을 의미한다.

쓰기 동작은 모든 메모리 셀의 기억상태를 소거상태로 만든 다음 선택된 비트 선의 각 메모리 셀의 게이트에 순차적으로 쓰기 펄스를 인가한다. 이때 기억상태를 기록상태로 바꾸고자 하는 메모리 셀은 게이트에 쓰기 펄스가 인가될 때 비트 선 펄스에 0 V가 인가되도록 하여 쓰기 동작이 실행되도록 하였다. 기억상태를 '01010101'로 쓰기 파형을 입력했을 때 결과 파형을 그림 12에 나타냈다. 그림 12의 (a)는 쓰기 동작 시 흐르는 쓰기 전류로서 수 십 nA 단위의 매우 미세한 전류가 흐르고 있음을 알 수 있다. 그림 12의 (b)는 비트 선에 인가된 전압을 나타낸 것으로 비트 선 전압에 low(0 V) 펄스가 인가될 때만 쓰기 전류가 흐르고 있음을 알 수 있고 이것으로부터 쓰기 동작이 정확히 수행되었음을 알 수 있다.

4. 결 론

EEPROM 소자 중에서 저전압으로 쓰기/지우기가 가능하고, 집적도 및 내구성 면에서 우수한 SONOSFET 기억소자의 ONO 게이트 유전막을 초박막(터널 산화막 23 Å, 질화막 53 Å, 블로킹 산화막 33 Å)으로 스케일 다운하여 1.5 μm 설계규칙을 적용한 n-웰 CMOS 표준공정으로 제작하고, 특성을 조사하였다. 플래시 메모리로서의 응용 가능성을 고찰하기 위하여 SONOSFET 메모리 셀을 적용한 8×8 비트 NAND 형 플래시 메모리를 설계하고, 제작된 기억소자로부터 직접 추출한 SPICE 파라미터를 사용하여 전기적 특성을 전산모사 하였다.

AES 분석으로부터 ONO 유전막은 SiO₂(블로킹 산화막 상부)/산소가 많은 SiO_xN_y(블로킹 산화막 하부)-계면-질소가 많은 SiO_xN_y(질화막)-계면-산소가 많은 SiO_xN_y(터널 산화막)의 4 중 구조로 이루어졌음을 알 수 있었다. 질화막과 블로킹 산화막 계면에서 SiO_xN_y 상의 변환층의 존재가 관찰되었고 이곳에 존재하는 많은 기억트랩 때문에 얇은 질화막에도 불구하고 낮은 프로그램 전압에 대해 큰 기억창을 얻을 수 있었다. 제작한 SONOSFET 기억소자의 스위칭 특성으로부터 +8 V, 20 ms, -8 V, 50 ms의 프로그래밍 조건을 얻었으며 10 년 이상의 기억유지가 가능함을 알 수 있었다. 기록/소거 반복에 따른 문턱전압은 0.1 V 이내로 분포하였으며 기억상태를 판독할 때 오동작을 줄일 수 있었다. 8 V 프로그래밍 전압에서 전하주입이 채널 전면에서 MFN 터널링으로 이루어지기 때문에 내구성과 신뢰성을 높일 수 있다. 제작한 SONOSFET 기억소자의 파라미터를 추출하기 위하여 BSIM3 모형을 적용하고 이를 최적화하였다. NAND 형 플래시 메모리의 셀을 SONOSFET로 구성하고 채널 전면에서 MFN 터널링으로 기억 동작을 구현하도록 설계하여 전산모사를 수행하였다. 프로그램 조건에서 읽기 동작 시 충분한 셀 감지 전류를 얻을 수 있었으며 기억상태에 대한 V_{TH}의 상한이 높았다. 쓰기 및 지우기 동작 시 흐르는 전류는 수십 nA 이하였다.

플래시 메모리의 기본 셀로 전하 트랩 형 SONOS 구조의 기억소자를 이용하면 부유 게이트 형 소자에서 결점으로 평가되는 고집적, 고신뢰성 및 저가의 플래시 메모리를 실현시킬 수 있으리라 사료된다.

본 연구는 서울대학교 반도체공동연구소의 교육부 반도체 분야 학술연구 조성비(과제번호 : ISRC 97-E-1062)에 의해 수행되었습니다.

참 고 문 헌

- [1] S. Aritome, "Reliability Issues of Flash Memory Cells," Proc. IEEE, vol.81, pp776-788, 1993.
- [2] W. D. Brown, J. E. Brewer, "Nonvolatile Semiconductor Memory Technology," IEEE Press, 1998.
- [3] X. Guo, T. P. Ma, "Tunneling Leakage Current in Oxynitride: Dependence on Oxygen/Nitrogen Content," IEEE Electron Dev. Lett., vol.19, no.6, pp.207-209, 1998.
- [4] E. Suzuki, H. Hiraishi, K. Ishii, Y. Hayashi, "A Low-Voltage Alterable EEPROM with Metal-Oxide-Nitride-Oxide-Semiconductor(MONOS) Structures," IEEE Trans. Electron Dev., vol.30, no.2, pp.122-128, 1983.
- [5] M. L. French, M. H. White, "Scaling of Multidielectric Nonvolatile SONOS Memory Structures," Solid-State Electronics, vol.37, no.12, pp.1913-1923, 1994.
- [6] C. Svensson, I. Lundström, "Trap-Assisted Charge Injection in MNOS Structures", J. Appl. Phys., vol.24, no.10, pp.4657-4663, 1973.
- [7] K.-Y. Fu, "Partial Breakdown of the Tunnel Oxide in Floating Gate Devices," Solid-State Electronics, Vol.41, No.5, pp.774-777, 1997.
- [8] "UTMOSTIII Extractions Manual," Vol.1 : MOSFET Modeling Routines, version 12.03, Silvaco International, March, 1996.

저 자 소 개



김 주 연(金珠娟)
 1968년 5월 22일 생. 1990년 광운대 전자재료공학과 졸업. 1993년 동 대학원 전자재료공학과 졸업(석사). 1993~현재 한국전자 종합연구소 1995년~현재 동 대학원 전자재료공학과 박사과정

E-mail : joo-yeon99@hotmail.com



김 선 주(金善周)
 1965년 11월 11일 생. 1989년 광운대 전자재료공학과 졸업. 1992년 동 대학원 전자재료공학과 졸업(석사). 1999년 동 대학원 전자재료공학과 졸업(공학박). 현재 광운대 신기술 연구소 연구원

E-mail : ksj@explore.kwangwoon.ac.kr



김 병 철(金炳哲)
 1965년 1월 7일 생. 1988년 광운대 전자재료공학과 졸업. 1990년 동 대학원 전자재료공학과 졸업(석사). 1990~현재 한국전자 종합연구소 1996년~현재 동 대학원 전자재료공학과 박사과정

E-mail : kbc@world.kec.co.kr



서 광 열(徐光烈)
 1939년 9월 27일 생. 1961년 인하대 원자력공학과 졸업. 1969년 연세대 교육대학원 졸업(석사). 1986년 경희대 대학원 물리학과 졸업(이학박사) 현재 광운대 전자재료공학과 교수

Tel : 02-940-5163

E-mail : kyseo@daisy.kwangwoon.ac.kr