

다중 클럭 주기의 지연체인을 이용한 정밀한 지연발생 회로

Precise Delay Generation using a Delay Chain Locked by Multiple Clock Period

朴 竣 瑩*, 姜 晋 球*

(Jun-Young Park* and Jin-Ku Kang*)

요 약

본 논문은 정밀한 클럭 지연을 발생하는 회로 기법을 제안하였다. 이 기법은 지연 체인을 다중 클럭 주기에 록킹(Locking)시켜서 개별 지연단(Delay Stage)의 지연보다 작은 지연 해상도를 갖도록 하는 것이다.

이 기법으로 단위 셀이 750ps의 지연시간을 갖는 지연체인에서 DLL(Delay Locked Loop)을 이용하여 250ps의 지연간격을 갖는 지연 발생회로를 설계하였다. 제안한 회로는 지연체인이 클럭 신호 주기의 3 배에 록킹이 되도록 하였으며, 1.5um CMOS공정의 모의 실험을 통해 단위지연셀 지연시간의 1/3인 250ps의 지연간격을 발생함을 확인하였다.

Abstract

This paper presents a new technique for generating precise clock delays. The technique can obtain finer timing resolution less than the gate delay of the delay chain by locking in multiple clock period. Using this technique, a 250ps of timing resolution could be achieved from a 750ps delay of the single delay stage in a DLL(Delay Locked Loop) structure. The delay chain of the proposed circuit is locked on three times of the clock period and a finer delay resolution than the absolute gate delay is achieved and verified through the simulation.

Keyword: CMOS, delay, DLL, timing resolution

I. 서 론.

정밀한 지연 발생회로는 고성능의 디지털 시스템

의 설계에 있어서 중요한 이슈중의 하나이다. 또한 어떤 파형을 샘플링할 경우 샘플링 해상도는 구현 가능한 최소의 지연 시간에 의해 결정된다. 따라서 잘 제어된 정밀한 지연 간격의 신호발생회로는 중요하다. 그리고 고속 디지털 시스템에서의 동기화 회로용으로 사용되는 DLL(Delay Locked Loop)의 성능 지수는 얼마나 정밀한 간격의 지연을 만들어 내는지에 의해 결정된다. 정확한 클럭 지연을 발생시키는 일반 적인 방

* 仁荷大學校 電子,電氣,컴퓨터工學部

(Div. of Elec. and Comp. Eng., Inha Univ.)

※ 본 연구는 1998년 인하대학교 교내연구비 및 대상 문화재단 학술연구지원에 의하여 수행되었음.

接受日: 1999年3月10日, 修正完了日: 1999年6月3日

법은 지연 체인(Delay Chain)의 각 지연셀의 출력을 태핑(Tapping)하는 방법이다. 이 방법은 구현하기 간단하나, 지연간격(Resolution)의 정밀도는 지연셀 자체의 지연 시간에 제한된다. 이 방법을 이용하여 지연 정밀도를 높이기 위해서는 보다 빠르고 값비싼 공정기술에 의존 할 수밖에 없다. 즉 단위 지연셀 자체의 지연 시간을 보다 작게 하기 위해서는 나은 공정기술이 필요해지기 때문이다. 보다 나은 공정기술을 사용하지 않고 지연정밀도를 높이는 다른 하나의 방법은 어레이구조의 커플된 링 오실레이터를 이용하여 지연셀 자체의 지연 값보다 작은 타이밍을 발생할 수도 있었다[1]. 또한 다른 지연값을 갖는 두 개 이상의 지연체인을 이용하여 상대적인 지연 차이를 활용하여 지연정밀도를 한층 높이는 방법도 제안되었다[2]. Ref.[1]의 방법은 링 오실레이터 구조를 가지게되어 발생 지터가 높은 단점이 있다. Ref.[2]의 방법은 정밀한 지연간격을 얻을 수 있으나, 2개이상의 지연 체인을 사용하게되어 두 개이상의 독립된 DLL을 갖는 복잡한 제어구조가 필요하게되었다.

본 논문에서는 구현하기 간단한 구조를 가지면서, 한 개의 다소 긴(long) 지연 체인을 다중 클락 주기에 록킹(Locking)시킴으로서 지연 셀 자체의 지연 값보다 작은 지연 정밀도를 갖는 지연발생회로 기법을 제안하였다.

이 방법에 의한 지연 발생회로는 지연 셀의 지연 값(D)과 클락 주기의 배수(n), 클락 주기(T), 지연 체인의 단(stage)수(N)등의 변수에 따라 지연 셀의 지연 값보다 작은 정밀한 지연 차를 갖는 클락신호를 만들 수 있다. 또한 이 회로는 하나의 DLL(Delay Locked Loop)구조를 갖는 회로이므로 ref.[2]에 비해 구현하기가 비교적 용이하다. 이 후 절에서는 제안된 구조의 배경 이론과 구현된 회로와 모의 실험결과를 보일 것이다.

II. 제안된 DLL의 배경이론

일반적인 DLL동작은 첫 번째 지연단(Delay Stage)의 입력 클락신호와 마지막 지연단의 출력 클락

신호의 위상을 비교하여 같은 위상이 되도록 함으로써 지연체인단(Delay Chain)으로부터 등(等) 간격의 위상차(지연차)를 갖는 다상(Multi-phase)의 신호들을 만들어 낼 수 있다. 본 논문에서의 DLL은 지연체인이 한 주기의 클락 주기에 록킹되지 않고 다중 클락 주기에 록킹된 구조를 가지고 있다. DLL의 특성을 관련된 변수들로 표현하면 다음과 같이 나타낼 수 있다.

$$D \cdot N = n \cdot T \tag{1}$$

여기서 DLL의 지연 체인단에서의 개별 지연단의 지연시간을 D, 총 지연단의 수를 N, 클락주기는 T 이다. 위의 식이 만족한다면 지연 체인단의 입력신호와 출력신호의 위상이 같게 록킹된다. 여기서 n은 임의의 정수이다. 위의 식에서 n=1 일 때가 일반적으로 사용되는 DLL회로의 동작조건이다. 이 경우 $D = T/N$ 가 되어 지연단의 개별 지연시간은 클락 주기를 지연 단수로 나눈 것과 같으며 지연체인으로부터 태핑(Tapping)된 신호들의 지연 시간 간격(지연차)은 개별 지연단의 지연값과 동일하다. 본 논문은 $n \geq 2$ 의 경우를 이용하여 보다 미세한 지연 발생회로로 사용하려고 한다. 즉 정수배의 주기에 록킹되게 설계하였다. 이와 같이 $n \geq 2$ 의 경우, 지연단의 지연 값을 나타내는 식으로 변형하면 다음과 같다.

$$D = \frac{n \cdot T}{N} \tag{2}$$

$n \geq 2$ 의 경우에는 지연단의 지연 시간(D)은 증가하게되지만, 각 지연 단에서 만들어지는 타이밍 값 (δ_i)은 N/n 의 비의 값에 따라 달라진다. 지연체인이 증가된다는 의미는 저급의 공정기술로도 구현이 가능하다는 뜻이다. 24단 이상의 지연단을 갖는 DLL에서 록킹하는 클락 주기의 배수(n)에 따른 각 지연단의 개별 지연값을 표.1에 정리하였다. 클락 주기(T)가 8ns 일때 n값의 변화에 따른 개별 지연단의 지연시간 ($D = nT/N$)을 나타내었다.

표 1. n값(클럭 주기수)에 따른 개별 지연단의 지연시간(단위 ps, T = 8ns)

Table 1. Delay timing of the single delay cell with the numbers of clock period(n) in the different number of delay stage(N)

N \ n	1	2	3	4	5	6
24Stage	333.3...	666.6...	1000	1333.3...	1666.6...	2000
32Stage	250	500	750	1000	1250	1500
40Stage	200	400	600	800	1000	1200
48Stage	166.6...	333.3...	500	666.6...	833.3...	1000
56Stage	143.8...	285.7...	428.5...	571.4...	714.2...	857.1...
64Stage	125	250	375	500	625	750

표 1에서 어렵게 표현된 경우는 $N/n = T/D$ 의 값이 무리수로 나타나는 경우이며 나머지는 비의 값이 유리수로 나타나는 경우이다. 이와 같이 N/n 값이 무리수로 나타나는 경우에 개별 지연단의 지연 시간 D보다 작은 간격의 신호를 발생할 수 있다. 그림 1과 표 2에 N/n 값이 무리수로 나타나는 경우의 한 예(32Stage, n=3인 경우, T=8ns)를 나타내었다. 첫 번째 지연단을 통과한 신호의 지연값은 750ps이고, 두 번째는 1.5ns 이다. 이후 3번째 지연단부터 10번째까지 750ps의 간격으로 신호가 생성되지만 이들은 모두 한 주기(8ns)보다 작은 지연값을 갖는다. 11번째 지연단에서 발생하는 신호의 지연값은 8.25ns이지만 클럭 주기 T=8ns이므로, 실제 지연 값(위상)은 250ps이 된다. 12번째 지연 값은 9ns이지만 한 클럭 주기값을 빼면 실제 1ns의 지연값을 갖는다. 22번째 단에서는 16.5ns의 지연이 있지만 두 개의 클럭주기를 빼면 실제 500ps의 지연값을 갖고, 23번째단에서는 1250ps의 실제 지연값을 가진다. 따라서 지연 시간에 따라 재배열하면 250ps(11), 500ps(22), 750ps(1), 1ns(12)....로 되어 실제 지연 시간간격은 250ps이 된다 (()안의 수는 지

연단의 순서를 나타낸다).

표. 2에서 각 단에서의 위상값을 정리하였다. 따라서 실제 지연값은 클럭주기의 modulus함수를 취한 값이됨을 알 수 있다.

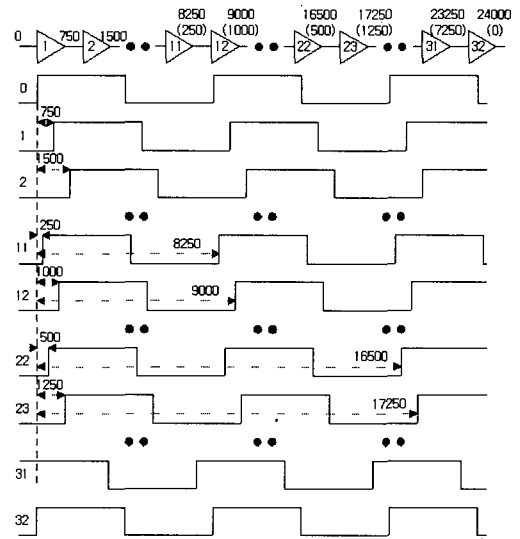


그림 1. 32개의 지연단 사용시, n=3 인 경우의 각 지연단에서의 파형 및 타이밍도

Fig. 1. Waveform and delay timing with 32 delay stage locked at 3T(n=3)

표 2. 32개의 지연단에서 n=3 인 경우 Delay Stage의 시간 지연

Table 2. Delay timing value with 32 delay stage locked at 3T(n=3)

지연단 번호	지연값 (ps)	지연단 번호	지연값 (ps)	지연단 번호	지연값 (ps)	지연단 번호	지연값 (ps)
0	0	24	2000 (18000)	16	4000 (12000)	8	6000
11	250 (8250)	3	2250	27	4250 (20250)	19	6250 (14250)
	500 (16500)	14	2500 (10500)	6	4500	30	6500 (22500)
1	750	25	2750 (18750)	17	4750 (12750)	9	6750
12	1000 (9000)	4	3000	28	5000 (21000)	20	7000 (15000)
23	1250 (17250)	15	3250 (11250)	7	5250	31	7250 (23250)
2	1500	26	3500 (19500)	18	5500 (13500)	10	7500
13	1750 (9750)	5	3750	29	5750 (21750)	21	7750 (15750)

즉, i 번째 지연단에서의 클럭 타이밍은 다음과 같이 표현된다.

$$\delta_i = i \cdot D \bmod T \quad (3)$$

그림 1과 표 2에서 알 수 있듯이 개별 지연단의 지연시간이 750ps이지만, 각 지연단의 출력신호들을 시간 순서대로 재배열하면 클럭 주기 8ns 시간을 32 등분한 250ps 시간간격의 신호들을 만들어 낼 수 있다.

즉, $|\delta_i - \delta_{i+1}| < D$ 를 만족하게 되는 구조가 구현 가능해 진다.

$N/n = T/D$ 비의 값이 유리수로 나타나는 경우(32Stage $n=4$ 인 경우)를 살펴보자. 표 3에 각 지연단의 시간지연을 나타내었다. 이 경우에는 개별 지연단의 지연시간이 신호들의 실제 지연차이와 같으며, 같은 위상의 신호들이 4 주기동안 반복해서 나타남을 알 수 있다. 즉 $|\delta_i - \delta_{i+4}| = 0$ 이다. 따라서 이와 같은 경우에는 지연단의 개별 지연시간보다 더 작은 지연 차이를 얻을 수 없다. 따라서 N/n 이 무리수로 나타날 경우의 변수 조합으로만, 단위 지연시간보다 작은 지연 시간차의 타이밍을 발생시킬 수 있음을 알 수 있다.

표 3. 32개의 지연단에서 $n=4$ 인 경우 Delay Stage의 시간 지연.

Table 3. Delay timing value with 32 delay stage locked at $4T(n=4)$

i	$\delta_i(\text{ps})$	i	$\delta_i(\text{ps})$	i	$\delta_i(\text{ps})$	i	$\delta_i(\text{ps})$
0	0	8	8000(0)	16	16000(0)	24	24000(0)
1	1000	9	9000(1000)	17	17000(1000)	25	25000(1000)
2	2000	10	10000(2000)	18	18000(2000)	26	26000(2000)
3	3000	11	11000(3000)	19	19000(3000)	27	27000(3000)
4	4000	12	12000(4000)	20	20000(4000)	28	28000(4000)
5	5000	13	13000(5000)	21	21000(5000)	29	29000(5000)
6	6000	14	14000(6000)	22	22000(6000)	30	30000(6000)
7	7000	15	15000(7000)	23	23000(7000)	31	31000(7000)

III. 회로의 설계

타이밍 발생회로의 구조는 기본적으로 DLL회로의 설계이다. DLL을 이용한 타이밍 발생회로는, 회로 동작시의 동작 조건의 변화에도 영향을 받지 않고 정확한 타이밍을 만들어내기 때문에 널리 사용되는 구조이다. 단지 본 논문에서 사용된 DLL회로는 일반적인 DLL과는 달리 다중 클럭 주기에 지연체인이 록킹되게 설계되어야 한다는 점이 다르다. DLL의 각 지연단에서의 타이밍(신호) 출력은 시간순서대로 재배치 과정을 거쳐 정밀한 클럭 타이밍을 제공하게 된다.

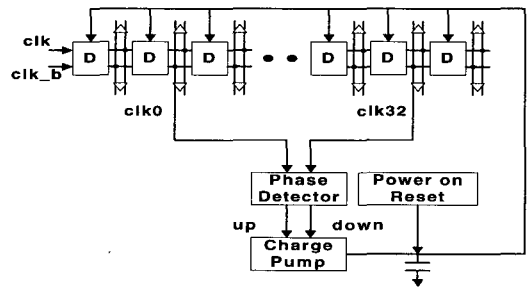


그림 2. DLL의 블록 다이어그램

Fig. 2. Block Diagram of the DLL

그림 2에서와 같이 DLL은 32개의 지연 체인단과, 지연 체인단의 입력과 출력신호의 위상을 비교하는 위상검출기(Phase Detector) 그리고 전하펌프회로(Charge Pump)로 구성되어 있다. 지연체인의 단위 지연셀은 하나의 지연 제어전압에 의해 지연값이 조절되는 차동(Differential) 지연 소자[3]를 사용하였다. 단위 지연회로 및 위상 검출기입력단의 5V full swing 신호 변환 회로가 그림 3에 보였다. 지연 체인을 통과한 클럭의 위상이 처음 단(stage)과 32번째 단이 일치되도록, 위상검출기와 전하펌프를 거쳐 만들어진 제어전압 이용하여 지연 시간이 조정된다. 본 논문에서는 클럭 주기 8ns의 3주기 시간($3T=24\text{ns}$)에 록킹되게 하여, 이때 하나의 단위 셀이 750ps의 지연시간을 가지도록 트랜지스터의 크기를 조정하였다. 설계된 위상 검출기 회로는 그림 4에 보였다. 위상검출기 회로는

위상 검출 시 데드존(dead zone)을 최소화하여, 저 지터(Low Jitter)회로 응용에 사용될 수 있으며 적은 수의 트랜지스터로 구현하였다.

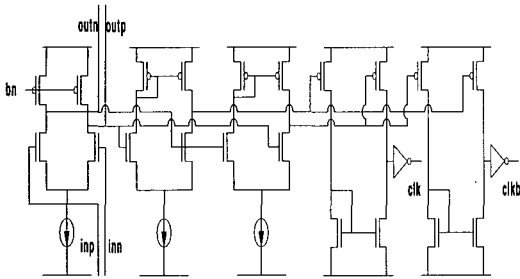


그림 3. 지연회로 및 full-swing 변환회로
Fig. 3. Delay Cell Circuit and Full Swing Level Converter

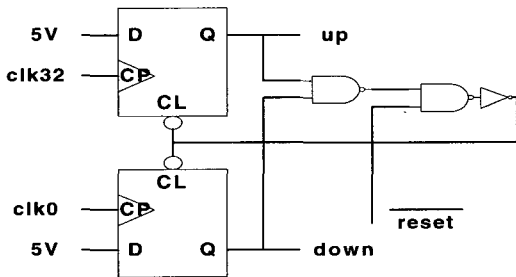


그림 4. 위상 검출기회로
Fig. 4. Phase Detector Circuit

IV. 모의실험결과

모의실험은 CMOS 풀 커스텀설계로 완성된 레이아웃(Cadence Tool 사용)으로부터 회로를 추출하여 서울대 1.5um공정 SPICE 파라미터로 HSPICE를 이용하여 5 volt의 전원전압에서 수행하였다. 실험을 통해 125MHz 클락(주기 T=8ns)을 32개의 지연단을 통과하여, DLL 동작에 의해 3배의 주기(3T=24ns)에 록킹됨을 보였다.

제어전압(Control Voltage)에 따른 단위 셀의 지연 시간을 그림 5에 나타내었다. 제어전압의 갑작스런 변화에 n이 2나 4인 경우로 DLL이 록킹이 될 수 있기

때문에 설계 시 개별 지연단의 지연시간 범위 제어에 유의해야한다. 단위지연 셀이 750ps의 지연시간을 갖는 경우 750ps를 중심으로 ±125ps정도의 지연시간 변화를 갖더라도, n이 3이 아닌 경우로 록킹이 가능하여 오동작할 수 있으므로, 지연셀의 지연동작 ±70ps 이내에서 동작되도록 설계되었고, 제어전압의 변화나 잡음의 영향이 최소화 되도록 설계되었다. 공정변수나 전원전압의 변화에 따른 지연값의 변화를 측정할 결과 최대 지연값의 변화가 ±85ps 이내에서 동작함을 확인하였다.

32개의 지연단의 DLL이 3배의 주기(3T=24ns)에 록킹되면 지연단 자체의 지연값은 750ps로 되며, 실제 발생신호들 사이의 지연간격은 250ps를 얻을 수 있다. 그림 6에는 DLL이 록킹되었을 때의 각 지연단 순서대로 발생하는 파형을 나타내었다. 이들은 750ps의 간격으로 발생함을 보이고 있다. 다음 스텝으로 각 지연단에서 만들어진 신호들을 시간순으로 재배열한 것을 그림 7에 나타내었다. 지연값이 클락의 주기값을 넘을 경우, 주기만큼 뺀 값이 새로운 타이밍 기준이 되어 재배열된 신호들은 250ps의 지연 간격을 갖는 신호들로 만들어짐을 보이고있다. 시제품은 현재 서울대 반도체 공동연구소에서 1.5um CMOS공정을 사용하여 제작중이다.

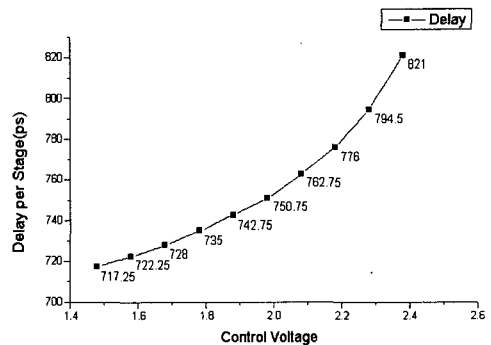


그림 5. Control Voltage에 따른 단위지연회로의 지연시간의 변화

Fig. 5. Delay variation versus the control voltage in the delay cell

V. 결 론

본 논문에서는 하나의 지연 체인을 사용하면서 개별 지연단의 지연시간 보다 작은 지연 시간간격을 갖는 회로를 제안하고 설계하였다. 이는 클럭신호의 주기와 지연체인의 개별 지연단의 지연시간의 비가 무리수여야 한다는 조건이 만족되어야 가능하며, 모의 실험에 사용된 회로는 단위 셀이 750ps 지연시간을 갖는 Delay Chain에서 250ps의 타이밍 정밀도를 발생하는 회로이다. 보다 정밀한 타이밍이 요구되는 응용에서는 단위지연시간을 줄이면 더욱 정밀한지연차를 생성할 수 있을 것이다. 요구되는 지연간격의 정밀도에 따라 결정변수들을 조정하여 설계할 수 있다. 이 기법은 보다 미세한 공정 기술을 사용하지 않더라도 정밀한 지연시간 제어가 가능해지고, 고속 디지털 시스템에서의 타이밍제어 및 고속 디지털 샘플러회로 등에 응용할 수 있을 것이다.

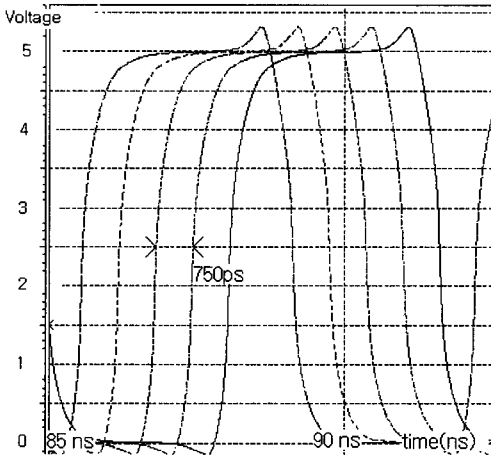


그림 6. 5개의 연속된 Delay Stage의 출력신호 (파형 시간간격=750ps)

Fig. 6. Signal waveform generated from five consecutive delay stages(Delay difference=75ps)

참 고 문 헌

- [1] John G. Maneatis, M. A. Horowitz, "Precise Delay Generation Using Coupled Oscillator", IEEE Journal of Solid State Circuits, vol. 28, no. 12, 1273-1282, Dec. 1993
- [2] Jin-Ku Kang, W. Liu and R. K. Cavin, "A CMOS High Speed Data Recovery Circuit Using Matched Delay Sampling Technique", IEEE Journal of Solid-State Circuits, vol.32, vol. 10, pp1588-1596, Oct. 1997
- [3] Jeff Sonntag, Robert Leonowich, "A Monolithic CMOS 10MHz DPLL for Burst-Mode Data Retiming," in ISSCC 1990 Dig. Tech. Papers, Feb. 1990, pp. 194-195.
- [4] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector," IEEE J. Solid-State Circuits, vol. 33, Feb. 1998, pp 295-299.

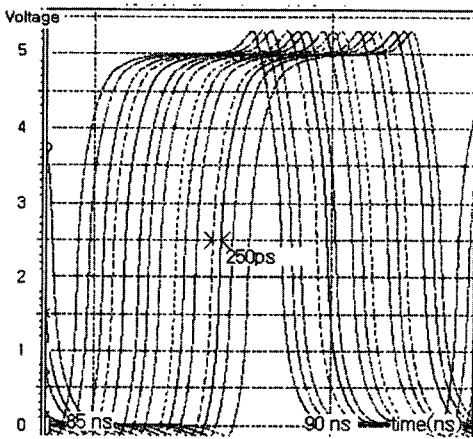


그림 7. 15개의 Delay Stage의 출력신호를 시간순서대로 재배열한 경우(파형 시간간격=250ps)

Fig. 7. Signal Waveform after rearranging the 15 signals in their timing order

— 저 자 소 개 —



朴 竣 瑩 (學生會員)

1998년 인하대학교 전자재료공학과 졸업. 현재 인하대학교 대학원 전자재료공학과 석사과정 재학중.

관심분야 : 고속회로 설계, VLSI, 신호처리등임



姜 普 球 (正會員)

1983 서울대학교 원자핵공학사.

1990 New Jersey Institute of Technology 전기공학 석사, 1996

North Carolina State University, 전기

및 컴퓨터공학 박사. 1983-1988 삼성

반도체, 1996-1997 미국 INTEL 선임

설계연구원. 1997. 3월 - 현재 인하대학교 전자전기 및 컴퓨터공학부 조교수

관심분야: 혼합모드 회로설계, 디지털통신용 회로설계, VLSI