

저온 다결정 실리콘 박막 트랜지스터 개발 동향



장 진

경희대학교 물리학과 교수

1. 서 론

박막 트랜지스터 액정 디스플레이 (TFT-LCD)가 고밀도, 대면적화 되고 디스플레이 부분과 구동회로 부분을 동일 기판 위에 제작하기 위해서 TFT 이동도의 증가가 절실히 요구되고 있지만 비정질 실리콘 박막 트랜지스터 (a-Si:H TFT)로는 이점을 만족하기가 어렵다. 최근에 이런 문제점을 효과적으로 해결할 수 있는 방법으로 저온 다결정 실리콘 박막 트랜지스터 (poly-Si TFT)가 많은 주목을 받고 있다. 저온 poly-Si TFT는 이동도가 크기 때문에 유리기판 위에 주변회로를 집적할 수 있는 장점이 있어서 생산비용 저감 측면에서도 많은 관심을 끌고 있다.

Poly-Si 제작에는 직접 증착(as-deposited), 고상결정화(SPC : Solid Phase Crystallization), 엑시머 레이저 결정화 (ELA : Excimer Laser Annealing) 방법이 가장 많이 이용된다. 반도체 공정에서 많이 사용되는 poly-Si 증착 방법은 저압 화학 기상 증착 (LPCVD : Low Pressure Chemical Vapor Deposition)이며 이 방법은 증착 온도가 600 ℃이상이고, 그레인 크기가 작고 그레인 사이의 경계면에 결함이 많다는 단점 때문에 디스플레이의 응용은 어렵다. Poly-Si의 결정화도를 향상시키고 그레인 크기를 증가시키기 위해서 SPC 방법이 유용하지만, 이 방법 역시 600 ℃이상의 고온에서 장시간의 열처리 과정이 필요하다. 최근에 가장 주목 받고 있는 결정화 방법은 단연 ELA이다. 450

℃이하의 저온공정이 가능하기 때문에 저가의 유리기판을 사용할 수 있으며, 대면적 결정화에 가장 근접한 방법으로 알려져 있다. ELA에는 ArF (193nm), KrF (248nm), XeCl (308nm), XeF (351nm) 등이 이용되지만 특히 XeCl와 KrF가 안정적인 특성을 보이며 XeCl이 주로 사용되고 있다.

2. 다결정 실리콘을 이용한 Integrated AMLCD(Active Matrix Liquid Crystal Display)

그림 1은 TFT-LCD 어레이와 주변회로의 구조를 보여준다. 여기서 scanner는 보통 gate driver라고 부르는데, 순차적인 펄스를 발생하는 역할을 한다. Gate driver는 panel의 해상도에 따라 출력의 갯수가 정해지며 일반적으로 하나의 IC에서 많은 출력을 뽑을 수 없으므로 여러 개의 IC를 연결하여 사용한다.

Video data는 보통 column driver 또는 source 전극을 구동한다는 의미로 source driver라고 하는 IC에 의해서, 신호선을 통해 실제로 화소에 인가되는 신호 전압을 의미한다. Column driver는 shift resistor, data resistor, latch, level shifter, D/A converter, voltage follower output 등으로 이루어져 있다. 그림 1에서처럼 video data가 panel의 상하에 배치된 구조를 dual bank 구조라고 하는데 동작 주파수를 낮출 수 있다는 장점이 있는 반면, 상하에 구동IC가 차지하는 면적이 커서 외관상 compact 하지 못한 단점이 있다.

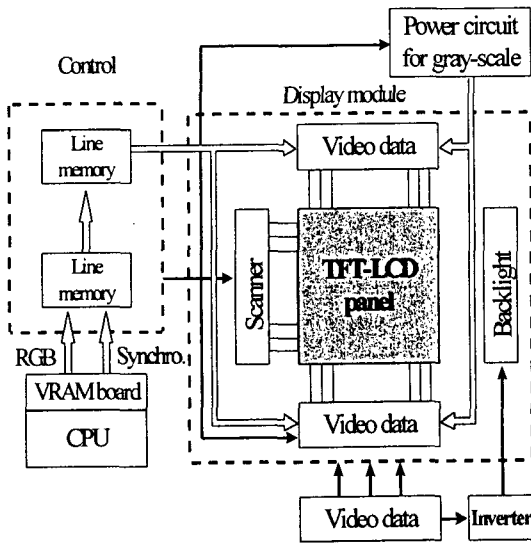


그림 1. TFT-LCD 어레이 및 주변회로 구조

Gray scale이란 인간의 시각이 느끼는 빛의 양을 단계적으로 나눈 것인데, LCD에서는 액정이 빛을 통과하는 정도를 인위적으로 조절하여 gray scale을 표현하는데 이것은 액정에 인가되는 전압에 의해서 구현된다.

TFT-LCD panel은 backlight에서 입사된 백색 광을 구동회로 부분으로부터 입력된 각각의 화소의 신호전압에 따라 화소에 투과되는 빛을 제어하고 컬러 영상을 구현하는 역할을 한다.

구동회로 IC는 TAB(Tape Automated Bonding) 방식으로 PCB(Print Circuit Board)와 panel 사이에 연결되는 것이 일반적인 방식이다. 그러나 poly-Si TFT는 이러한 구동회로를 저가의 유리기판 위에 집적할 수 있으므로 compact한 외관과, 별도의 구동회로 IC가 필요 없으므로 생산비용을 절감할 수 있는 장점이 있다.

3. 레이저 아날링 공정에 의한 다결정 실리콘 TFT-LCD

레이저 아날링을 이용한 최초의 poly-Si TFT는 1980년 Kamins이 CW Kr 레이저를 이용해서 제작한 것이다. 초기의 구조는 실리콘 IC 제조공정에 기초한 MOSFET구조였다. 이 구조는 높은 이동도 특성과 낮은 누설전류를 보인 반면 공정이 복잡하고 고온 공정이 필요하기 때문에 석영기판을 사용하는 단점이 있다.

Poly-Si TFT는 구조상 크게 coplanar와 staggered로 구분할 수 있다. Coplanar 구조의 가장 큰 장점은 제작 공정이 단순하다는 것이다. 그러나 일반적인 coplanar 구조는 누설전류가 크다는 단점이 있기 때문에 offset 구조나, LDD(Lightly

Doped Drain) 구조를 이용하는 것이 일반적이다. Offset 이나 LDD 구조는 누설전류를 감소시킬 수 있지만 별도의 공정이 첨가되므로 공정이 복잡해지는 단점이 있다. 최근에는 간단한 공정으로 offset 구조를 형성하기 위해서 vertical a-Si:H offset 구조가 제안 되었다. 이 구조는 간단한 제조 공정과 낮은 누설전류를 얻을 수 있다는 장점이 있지만 lift-off공정을 제어하는 것이 어렵다는 단점이 있다. SiN_x를 이온 스톱퍼로 사용한 coplanar 구조는 좋은 계면특성과 간단한 제조공정이 장점이지만 도핑과정에서 스톱퍼의 손상이 문제점이다. 이 외에 실리콘 사이드를 이용한 self-aligned 구조는 간단한 제조 공정과 낮은 누설전류 특성을 보여주고 있다.

Staggered 구조는 coplanar 구조에 비해서 누설전류가 작고 기존의 a-Si:H TFT공정을 적용 할 수 있는 장점이 있는 반면, 제작 공정이 복잡하고 poly-Si 결정화 과정에서 급속에 손상을 일으킬 위험이 크다는 점이 단점으로 지적된다.

Poly-Si TFT에서 게이트 절연막은 소자의 특성과 안정성에 많은 영향을 주는 것으로 알려져 있다. 현재 poly-Si TFT에 가장 일반적으로 사용되는 게이트 절연막은 SiO₂이다. SiO₂의 증착 방법으로는 thermal, LPCVD, APCVD, PECVD, ECR-CVD 등이 있는데 각각 장·단점이 있다. Thermal SiO₂는 낮은 계면 상태밀도, 저 누설전류, 높은 항복 전압 등의 좋은 절연막 특성을 갖고 있지만 공정온도가 높기 때문에 저가의 유리 기판을 사용할 수 없다는 단점이 있다. APCVD SiO₂는 저온 공정이 가능하고, 생산성이 높은 장점이 있지만 습기에 약하다는 단점이 있고, LPCVD SiO₂는 균일도가 우수하고 step coverage가 좋은 반면, 생산성이 낮은 단점이 있다. PECVD SiO₂는 증착 온도가 낮고 대면적화가 가능하다는 장점이 있지만 불순물 생성이 문제점이다. TEOS를 이용한 PECVD SiO₂는 균일도와 step coverage를 향상시킬 수 있다는 결과가 최근에 보고된 바 있다. ECR-CVD를 이용한 SiO₂는 저온 공정이 가능하고, 높은 항복전압, 낮은 계면 상태밀도 등의 우수한 절연막 특성을 보이는 것으로 알려져 있지만 2차로 다른 절연막 증착이 요구되는 단점이 있다.

저온공정이 가능하고, 대면적에서 우수한 균일도를 확보할 수 있는 장점 때문에 SiN_x를 poly-Si TFT의 게이트 절연막으로 사용하려는 연구가 많이 이루어졌다. SiN_x는 주로 PECVD방법으로 증착하는데 높은 항복전압과 우수한 강도 등의 특성이 있는 반면 p 채널 TFT 적용시 높은 포획 밀도를 보이는 단점이 문제점으로 지적된다.

4. 최근 연구동향

표 3은 최근에 보고된 저온 poly-Si TFT-LCD의 크기에 따른 화소 수와 화소의 크기를 나타낸 것이다. Poly-Si TFT는 고집적이 가능하므로 고해상도의 투사형 LCD에 응용하는 연구가 활발히 진행되고 있고, 최근에는 주변회로를 유리기판 위에 직접한

표 1. Poly-Si TFT 구조와 특성

TFT structure	Mask steps	Process number	Advantage	Disadvantage	Check point	Reference
MOSFET	4	13	- High mobility - Low I_{off}	- High T_s - Complex process	First stage	Kamins et al. 1)
Coplanar	4	11	- Conventional structure	- High I_{off} - $I_{off} > 10^{-11} A/\mu m$		Matsuo et al. 2)
Self aligned coplanar	4	11	- Simple process - Self-alignment	- High I_{off} - $I_{off} > 10^{-11} A/\mu m$		Kawachi et al. 3)
LDD	4	12	- Low I_{off} - $I_{off} < 10^{-13} A/\mu m$	- Process addition - Complex of process	Low I_{off}	Young et al. 4)
Offset gate	4	11	- Low I_{off} - $I_{off} < 10^{-13} A/\mu m$	- Process addition	Low I_{off}	Itoh et al. 5)
Inverse staggered	4	11	- Low I_{off} - Same process with a-Si:H TFT	- Metal damage for laser annealing - High interface state	$I_{off} \sim 10^{-11} A$ (W/L=30/15)	Mei et al. 6)
Staggered	4	11	- Low I_{off} - Same process with a-Si:H TFT	- Metal damage for laser annealing - Complexity of process	$I_{off} \sim 10^{-11} A$ (W/L=6/6)	Sera et al. 7)
Semi staggered	4	11	- High mobility - Low interface states - Stable operation	- Complexity of process - Hardness of the control of the channel formation	$\mu_{fe} \sim 640 cm^2/Vs$	Kohno et al. 8)
Coplanar with ion stopper	4	10	- Low interface states - Simple process	- Ion damage in ion stopper	$\mu_{fe} \sim 110 cm^2/Vs$	Lee et al. 9)
Vertical a-Si:H offset	3	10	- Simple structure - Simple process	- Hardness of the control of the lift-off process		Lee et al. 10)
Self aligned With silicide	3	10	- Simple process - Low I_{off}		$\mu_{fe} \sim 260 cm^2/Vs$	Lee et al. 11)

I_{off} : Off-state current, μ_{fe} : field effect mobility, W : gate width, L : gate length

표 2. 게이트 절연막에 따른 Poly-Si TFT의 특성

Gate Insulator	Deposition		Structure	Performance		Reference
	Method	T_s (°C)		μ_{fe} (cm ² /Vs)	I_{off} (A/ μm)	
SiO ₂	Thermal	1,100	Self align coplanar	450	5×10^{-12}	Fujii et al. 12)
SiO ₂	LPCVD	500	Bottom gate	380	7×10^{-13}	Shimizu et al. 13)
SiO ₂	LPCVD	550	Offset gate	150	5×10^{-13}	Kodama et al. 14)
SiO ₂	APCVD	400	Self align coplanar	440	1×10^{-11}	Kuriyama et al. 15)
SiO ₂	PECVD	300	LDD	160	2×10^{-14}	Brotherton et al. 16)
SiO ₂	PECVD (TEOS)	250	Offset gate	59	1×10^{-13}	Ohori et al. 17)
SiO ₂	RPCVD	270	Top gate	640	3×10^{-13}	Kohno et al. 18)
SiO ₂	ECR-CVD	100	Self align coplanar	182	2×10^{-13}	Inoue et al. 19)
SiN _x	CVD	500	Inverse staggered	100	1×10^{-13}	Kim et al. 20)
SiN _x	PECVD	260	Inverse staggered	200	2×10^{-12}	Furuta et al. 21)
SiN _x	PECVD	300	Coplanar	110	1×10^{-12}	Lee et al. 22)
SiN _x	PECVD	280	Self align coplanar	262	9×10^{-13}	Lee et al. 23)

표 3. 저온 다결정 실리콘 TFT-LCD의 규격

크기	Number of pixel	Pixel pitch	Aperture ratio	비고	참고문헌
2.2"	1024×769	44μm×44μm	61%	투과형	Itoh et al. 5)
3"	1280×1024	52μm×36μm	40%	투과형	Okumura et al. 24)
4.5"	640×3×480	48μm×144μm	60%	투과형	Koyama et al. 25)
5"	720×3×232	51.3μm×268μm	73.5%	투과형	Young et al. 4)
8.4"	800×3×600	213μm×213μm	90%	반사형	Hisatake et al. 26)
12.1"	1024×3×768	240μm×240μm	53%	투과형	Ha et al. 27)

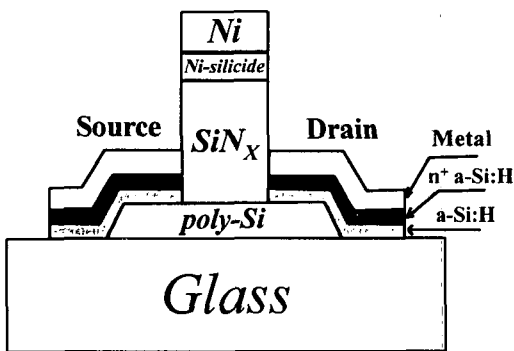
13.3" XGA급 poly-Si TFT-LCD가 개발되었다. 그림 2는 누설전류를 감소시키기 위해서 제안된 vertical a-Si:H offset 구조의 poly-Si TFT 단면도와 a-Si:H offset 두께에 따른 poly-Si TFT의 전이 특성이다. A-Si:H의 두께가 5nm일 때 누설전류($\sim 10^{-13}$ A/μm at $V_D=5V$, $V_G<-15V$)가 현저히 감소하는 것을 볼 수 있는데 이것은 드레인 field가 감소하기 때문이다. 그리고 a-Si:H 두께가 증가 할수록 on current가 감소하는데 이것은 a-Si:H와 n⁺ a-Si:H의 접촉저항과 a-Si:H의 전도도가 poly-Si의 전도도에 비해서 현저히 작기 때문이다.

그림 3은 Ni 실리사이드 게이트/소오스/드레인 전극 poly-Si TFT의 단면도와 제작된 TFT의 전이특성과 전계효과 이동도를 보여주고 있다. 자기정렬구조의 coplanar형 TFT이기 때문에 3장의 마스크로서 제작이 가능하고 SiN_x를 게이트 절연막으로 이용한 것이 특징이다. 제작된 TFT는 262 cm²/Vs의 높은 전계효과 이동도와 낮은 누설전류 ($\sim 10^{-13}$ A/μm at $V_D=5V$, $V_G= -7V$)특성을 보여주고 있다.

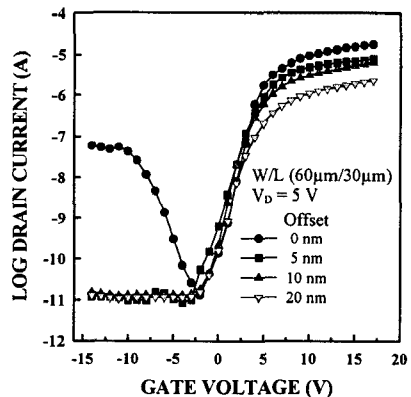
국내에서도 poly-Si에 대한 연구가 활발히 진행되

고 있다. 레이저 아닐링 poly-Si을 이용한 저누설전류 TFT에 대해서는 서울대 한민구 교수팀에서, 금속을 이용한 측면결정화는 서울대 주승기 교수팀에서, ECR 산화막을 이용한 TFT에 대해서는 KAIST의 한철희 교수팀에서 결과를 발표하고 있다. 회사에서는 LG LCD와 삼성전자에서 활발히 연구를 수행 중이며, 아마도 2001년부터는 양산을 시작할 것으로 예측된다. 회사에서 현재 사용하고 있는 제 1기 혹은 제 2기 라인의 생산성이 떨어지면 이러한 a-Si:H 라인을 poly-Si 라인으로 바꿀 것으로 예상된다. 저온 다결정 실리콘 TFT-LCD가 a-Si:H과 가격 경쟁력을 갖기 위해서는 레이저 아닐링 공정을 다른 방법으로 바꾸어야 가능하다. 그렇지 않으면 특수한 용도에만 poly-Si이 이용될 전망이다.

투사형 TFT-LCD용의 고온 poly-Si 모듈은 일본의 세이코엡슨사와 소니사에서 생산중이고 저온공정의 경우에는 산요사와 도시바사에서 생산중이다. 산요에서는 소형제품들 (2"~5")을 도시바에서는 10.4"~12.1"를 노트북용으로 생산중이다. 저온 공정 poly-Si의 가장 큰 단점은 제조가격이 높다는 것이다. A-Si:H 공정에 비하여 레이저 아닐링, 이온 도핑, SiO₂ 절연막 공정이 추가로 소요되고 패널을

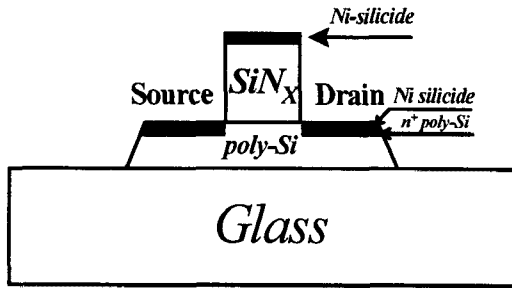


(a)

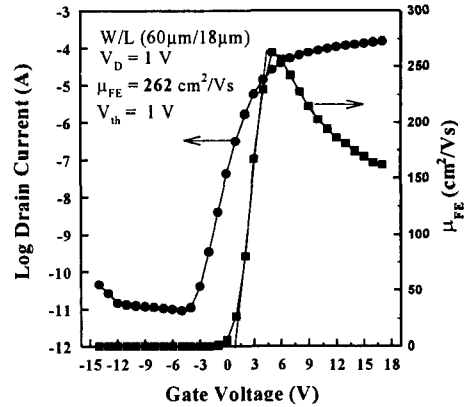


(b)

그림 2. Vertical a-Si:H offset 구조의 poly-Si TFT의 단면도(a)와, a-Si:H 두께에 따른 poly-Si TFT의 전이특성



(a)



(b)

그림 3. Ni silicide 게이트/소오스/드레인 전극 poly-Si TFT의 단면도(a)와, 전이특성 및 전계효과 이동도(b)

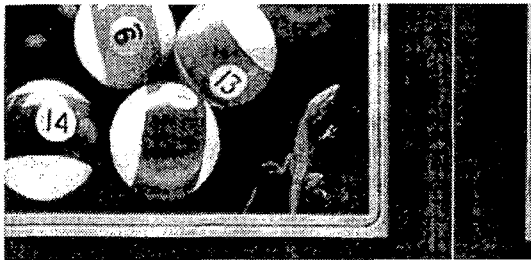


그림 4. LG 전자에서 개발한 저온 다결정 실리콘 TFT-LCD(12.1")

제작하기위한 마스크 수도 많기 때문이다. 따라서 앞으로 a-Si:H 공정과 비용면에서 비슷한 저온 poly-Si 공정이 개발될 경우에는 저온 poly-Si TFT-LCD 시대가 다가 올 수 있다.

References

1. T. I. Kamins and P. A. Pianetta, IEEE Electron Device Lett., 1, 214(1980).
2. M. Matsuo, S. Inoue, T. Hashizume and H. Ohshima, Solid State Devices and Materials, 437(1993).
3. G. Kawachi, T. Aoyama, A. Miura and N. Konishi, Jpn. J. Appl. Phys, Vol. 33, 2092(1994).
4. N. D. Young, M. J. Edwards, M. J. Trainor, J. R. Ayres, R. M. Bunn, D. J. McCulloch and C. A. Fisher, Asia Display 98, 957(1998).

5. M. Itoh, Y. Yamamoto, T. Morita, N. Yoneda, Y. Yamane, S. Tsuchimoto, F. Funada, K. Awane, SID 96 DIGEST, 17(1996).
6. P. Mei, J. B. Boyce, M. Hack, R. Lujan, S. E. Ready, D. K. Fork, R. I. Johnson and G. B. Anderson, J. Appl. Phys, Vol. 76(5), 3194(1994).
7. K. Sera, H. Tanabe, H. Okumura, K. Yuda, AM-LCD '96, 85(1996).
8. A. Kohno, T. Sameshima, N. Sano, M. Sekiya and M. Hara, IEEE Transaction on Electron Device, 42, 251(1995).
9. K. H. Lee, Y. M. Jhon, H. J. Cha and J. Jang, IEEE Electron Device Lett. 17(5), 1(1996).
10. K. H. Lee, W. Y. Lim, J. K. Park and J. Jang, SID 97 DIGEST, 481(1997).
11. K. H. Lee, W. Y. Lim, J. K. Park and J. Jang, AM-LCD '97, 55(1997).
12. E. Fujii, K. Senda, F. Emoto, A. Yamamoto, A. Nakamura, Y. Uemoto, and G. Kano, IEEE Trans. Electron Devices 37, 121(1990).
13. K. Shimizu, O. Sugiura and M. Matsumura, IEEE Trans. Electron Devices 40, 112(1993).
14. N. Kodama, H. Tanabe, K. Sera, K. Hamada, S. Saitoh, F. Okumura and K. Ikeda, Extended Abstract of SSDM '1993, 431(1993).
15. H. Kuriyama, T. Nohda, Y. Aya, T.

- Kuwahara, K. Wakisaka, S. Kityama and S. Tsuda, *Jpn. J. Appl. Phys.* 33, 5657(1994).
16. S. D. Brotherton, D. J. MacCulloch, J. P. Gowers, M. Trainor, M. J. Edwards and J. R. Ayers, *Tech. Digest of AMLCD 96/IDW '96*, 21(1996).
 17. T. Ohori, M. Takei, K. Takahara, M. Okabe, and M. Abe, *Tech. Digest of SID '96*, 673(1996).
 18. A. Kohno, T. Sameshima, N. Sano, M. Sekiya, and M. Hara, *IEEE Trans. Electron Devices* 42, 251(1995).
 19. S. Inoue, M. Matsuo, K. Kitawada, S. Takenaka, S. Higashi, T. Ozawa, Y. Matsueda, T. Nakazawa, and H. Oshima, *Proc. of Asia Display '95*, 339(1995).
 20. C. D. Kim and M. Matsumura, *Tech. Digest of AMLCD '95*, 85(1995).
 21. M. Furuta, T. Kawamura, T. Yoshioka and Y. Miyata, *IEEE Trans. Electron Devices* 40, 1964(1993).
 22. K. H. Lee, Y. M. Jhon, H. J. Cha and J. Jang, *IEEE Electron Device Lett.* 17, 1(1996).
 23. K. H. Lee, W. Y. Ihm, J. K. Park and J. Jang, *IEEE Trans. Electron Devices* 45, 2548(1998).
 24. F. Okumura, H. Asada, K. Sera, K. Hirata, K. Kurakagi, Y. Hirai, S. Kaneko, *SID 94 DIGEST*, 79(1994).
 25. J. Koyama, S. Nakajima, H. Ohnuma, Y. Shionori, S. Nagao, S. Yamazaki, *SID 98*, 883(1998).
 26. Y. Hisatake, T. Nakamura, A. Oono, Y. Hanazawa, M. Ishikawa, Y. Higuchi and N. Harada, *Asia Display 98*, 131(1998).
 27. Y. M. Ha, Y. H. Jung, B. K. Kim, K. J. Kim, J. S. Kim, S. Y. Yoon, G. B. Ahn, H. S. Choi and H. S. Soh, *Asia Display 98*, 947(1998).