

# 반도체 패키지의 칩셋과 다른 설계변수와의 연관성 평가 Estimate on related to Chip Set and the other Various Parameter in Electronic Plastic Package

권 용 수\*  
Yong-Su Kwon\*

### <Abstract>

Package crack caused by the soldering process in the surface mounting plastic package is evaluated by applying the energy release rate criterion. The package crack formation depend on various parameters such as chip set, chip size, package thickness, package width, material properties and the moisture content etc. The effects of chip set and the other parameters were estimated during the analysis of package cracks which were located in the edge of the upper interface of the chip and the lower interface of the die pad. From the results, it could be obtained that the more significant parameters to effect the chip set are chip width.

**Key words:** *Package Crack, Conservation Integral, Energy Release Rate*

## 1. 서 론

반도체 산업의 발달은 칩(chip)의 고집적화와 다 기능화에 의한 대형화가 이루어지는 반면, 패키지(package)는 소형화와 박형화를 계속함으로써 전자부품의 신뢰성 평가는 매우 중요한 문제로 대두되고 있다. 반도체 패키지는 배선기판에 고정시키는 실장과정(assembly process)을 반드시 거치게 되며, 실장방법으로는 삽입형(insertion mounting type)과 표면실장형(surface mounting type)이 있고, 현재는 고집적화에 유리한 표면실장형이 많이 사용된다. 표면 실장형 패키지의 대표적인 단면 형상은

Fig.1과 같다. 그러나 표면실장형은 실장과정에서 패키지 전체가 210℃~260℃ 정도의 고온에 노출됨으로써 패키지의 파손빈도가 높게 나타난다. 실장공정에서 발생하는 균열의 형태는 Fig.2에 보는 것과 같이 크게 계면균열(interfacial crack)과 패키지 균열(package crack)로 나눌 수 있다. 계면균열이란 서로 다른 재료의 접합면(interface)이 층간박리(delamination)하는 균열형태이고, 패키지 균열은 접합면이 층간 박리한 후 에폭시 수지로 귀여지는 균열형태를 말한다. 균열발생의 원인은 고온에 노출된 반도체 패키지의 각 구성 재료들의 열 팽창계수가 다름으로 인해 열 응력이

\* 정회원, 경북도립 경도대학 자동차과 전임강사, 工博  
영남대학교 대학원 졸업  
Tel : (0584) 650-0282  
E-mail: yskwon@mail.kyongdo.ac.kr

Full-time Lecturer, Dept. of Automobile,  
Kyongdo Provincial College, Ph. D

발생하고, 에폭시 수지의 흡습성으로 인해 층간 박리된 계면에 모인 습기가 고온에서 증기화(vaporization)되어 계면에 압력으로 작용하기 때문이다[1].

반도체 패키지 내부에 발생하는 균열 형태에 대한 실험적 사례는 Omi 등[2]이 보였는데, 대표적인 패키지 균열의 형태는 칩 패드(chip pad)의 상·하 모서리와 칩의 위 모서리에서 발생함을 보여 주었고, 이 균열의 발생은 패키

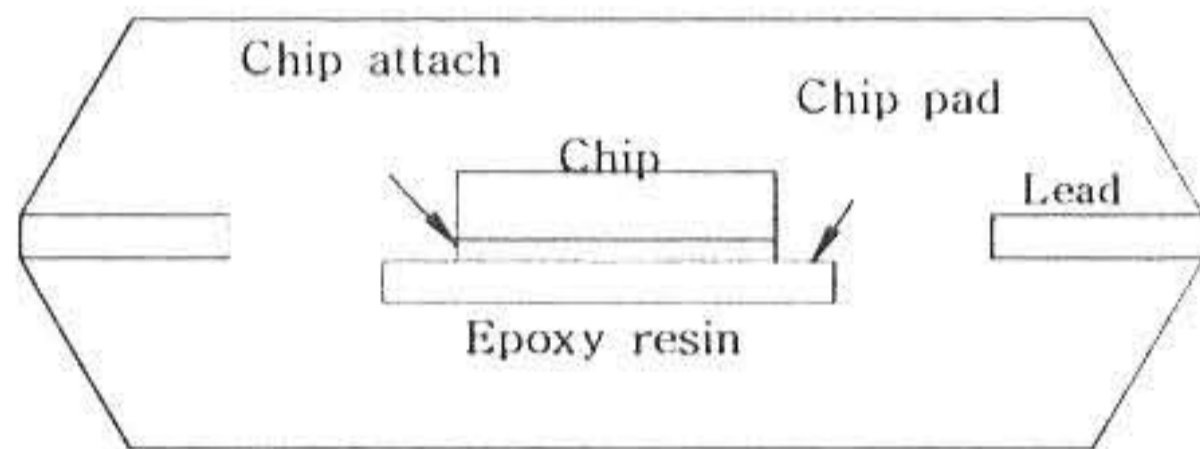


Fig. 1 Geometry on the cross section of plastic package

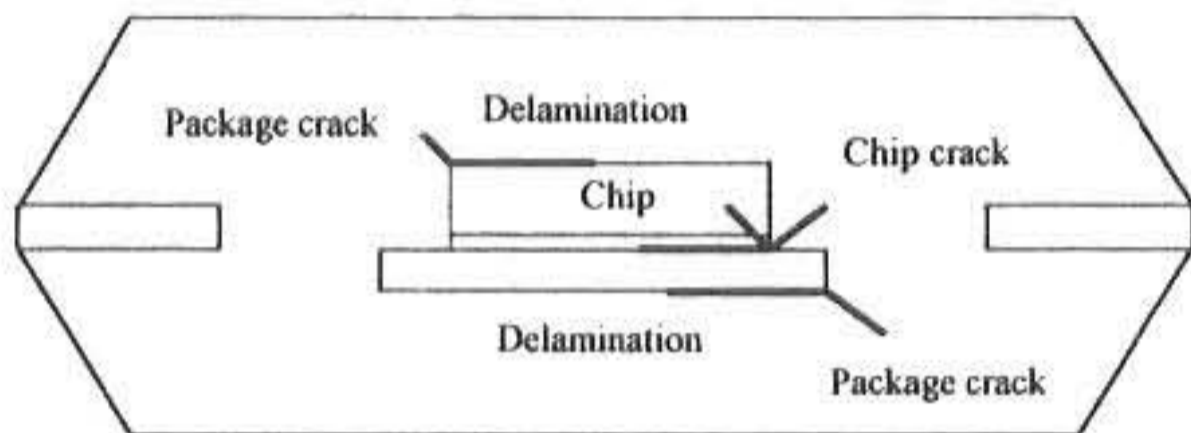


Fig. 2 Cracks of various type in the plastic package

지 구성 재료의 물성치, 패키지의 기하학적 모양 등 여러 가지 요인이 복합적으로 작용하고 있음을 보였다. Lee 등[3]은 Omi 등[2]이 보여 준 3가지 형태의 패키지 균열이 발생하는 경로와 이 균열의 형태가 패키지 재료의 물성치 및 기하학적 형상 등 여러 가지 요인이 복합적으로 작용함을 수치적으로 해석하였다.

본 연구에서는 반도체 패키지의 기하학적 형상이 패키지의 신뢰성에 미치는 영향을 평가함에 있어, 칩 셋(chip set)의 위치와 여러 다른 설계 변수와의 상관 관계를 수치적으로 해석하여 관련성을 규명하고자 한다. 여기서 칩셋이란 칩이 패키지 내부에 놓이는 위치를 말하며, 일반적으로 칩 윗면의 에폭시 수지 두께와 칩 패드 아래의 에폭시 수지 두께가 같도록 칩셋을 하고 있다. 해석의 용이함을 위해 패키지 내부

의 여러 균열 중 칩셋의 영향에 따라 균열의 진전여부가 상반되게 나타나는 두 가지 형태, 즉 Fig.3에 보는 바와 같이 칩 윗 모서리의 균열과 칩 패드 아래 모서리에서 발생하는 균열만을 해석 대상으로 삼았다. 또한 패키지에 작용하는 하중 조건은 상대적으로 균열선단에 영향이 큰 증기압에 의한 기계적 하중만을 고려하였고, 균열진전에 대한 평가는 보존적분(conservation integral)을 이용한 균열선단의 에너지 방출률(energy release ratio)로 구하여 비교하였다. 이로부터 칩셋의 위치와 패키지 내부의 다른 기하학적 조건의 상관 관계를 얻을 수 있었다.

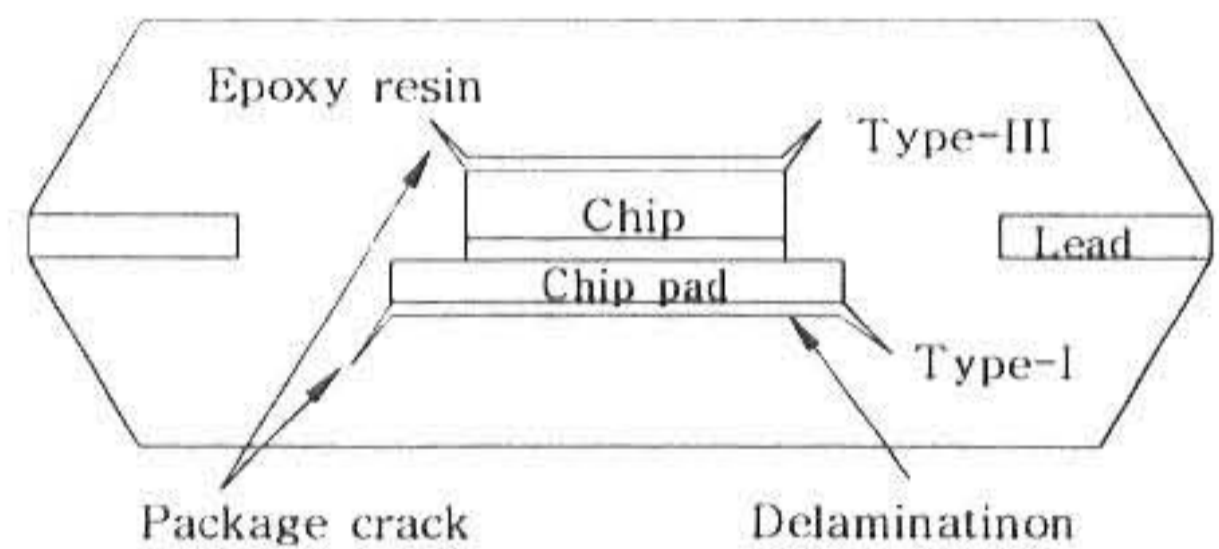
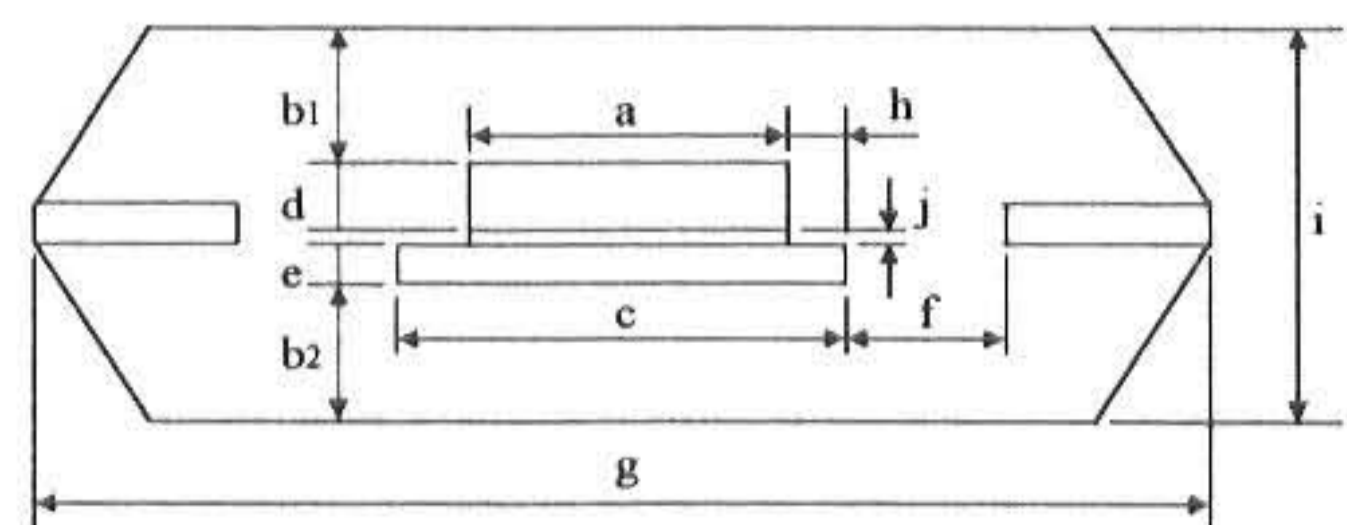


Fig. 3 Type of package crack in the plastic package

## 2. 문제의 모델링

해석 모델은 많이 사용되고 있는 플라스틱 패키지의 일종인 TQFP(thin quad flat package)로서 단순화한 형상과 각 형상의 치수는 Fig.4와 같다. 반도체 패키지의 수치 해석이 2차원 해석과 3차원 해석 결과가 비교적 잘 일치함으로[4], 본 연구에서는 2차원 평면 변형률 조건을 사용하였으며, 패키지의 기하학적 형상이 축 대칭이므로 패키지의 반만을 해석하였다.



	Dimension (mm)
a	11.722
b1=b2	0.466
c	12.23
d	0.322
e	0.127
f	0.6
g	20
h	0.254
i	1.4
j	0.019

Fig. 4 Dimension of TQFP

패키지 내부의 균열 형태는 칩 셋에 따라 상반된 결과를 보이는 Fig.3과 같은 두 가지 패키지 균열, 즉 칩 패드 아래 면이 모두 층간 박리한 후 에폭시 수지로 꺾여 진전하는 균열과 칩 윗면이 모두 층간 박리한 후 에폭시 수지로 꺾여 진전하는 패키지 균열로 한정하였다. (칩 패드 아래 모서리에 보이는 패키지 균열을 Type-I, 칩 위 모서리에 보이는 패키지 균열을 Type-III로 한다[2,3])

패키지 균열은 계면이 모두 층간 박리한 후 발생됨으로 Type-I의 균열은 칩 패드 아래 면과 에폭시 수지의 경계 면이 층간 박리 되었고 나머지 계면은 완전 접합된 것으로 가정하였고, Type-III의 균열은 칩 윗면과 에폭시 수지의 경계 면이 층간 박리되었고 나머지 계면은 완전 접합된 것으로 가정하였다. 패키지 균열의 생성 조건을 찾기 위해 꺾인 균열의 길이를 1 $\mu$ m로 하였으며[3], 꺾인 균열의 각도는 에너지 방출률이 최대가 되는 각도로서 Type-I의 경우는 반 시계방향으로 45 $^{\circ}$ , Type-III의 경우는 시계방향으로 45 $^{\circ}$ 로 하였다[3,5].

패키지에 가해지는 하중 조건은 증기압에 의한 기계적 하중이 작용한다고 가정하였는데, 이것은 열 하중보다 기계적 하중에 의해서 균열 진전이 용이하기 때문이다. 수치해석은 상용 프로그램인 ABAQUS를 사용하였고, 프로그램에 사용된 요소는 8점 정규요소이며, 해석에 사용된 요소의 수와 절점의 수는 각각 4000여개, 14000여개이다. 기계적 하중 조건에 의해 변위 해석 및 응력 해석을 한 뒤 M적분을 위한 후처리 프로그램으로 에너지 방출률을 구하였으며, 패키지 균열을 해석할 때의 요소의 모양은

복잡하여 균열선단이 변형될 때의 모습을 Fig.5에 보였다.

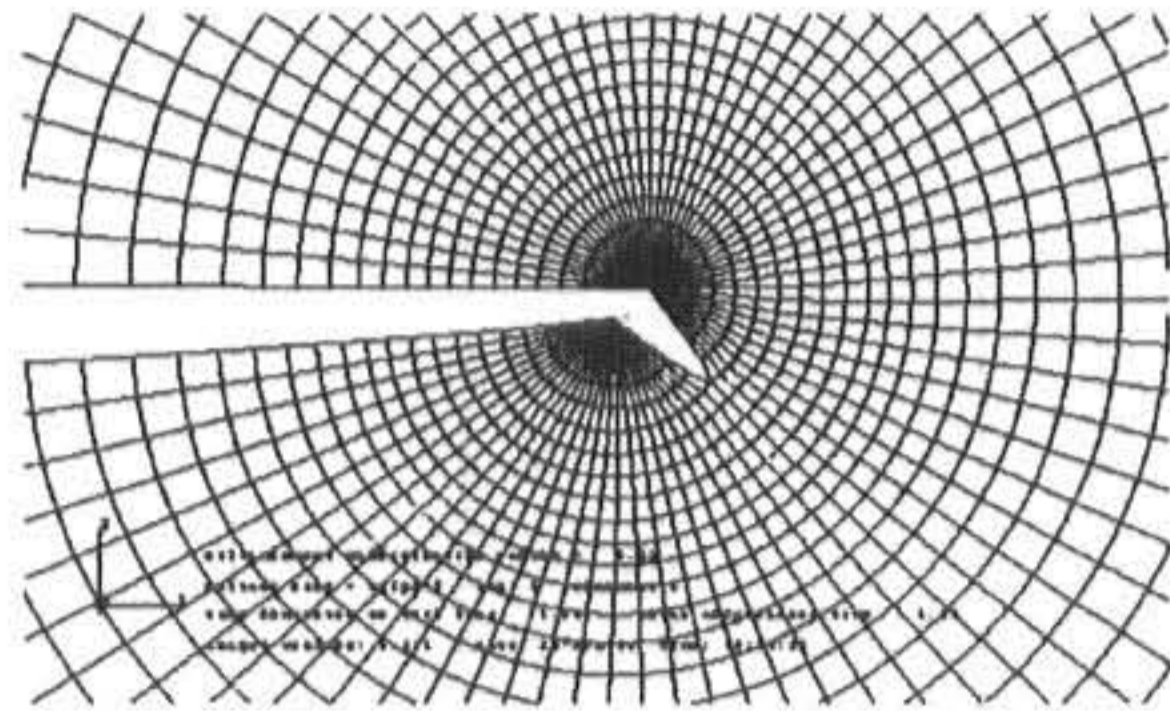


Fig. 5 Deformed mesh near the package crack tip

재료의 물성치는 Table 1과 같고, 패키지 내부 재료 중 에폭시 수지와 접착제의 탄성 계수 값은 유리전이 온도를 기준으로 많은 차이를 보여 주는데, 증기압에 의한 기계적 하중이 가장 큰 시기는 고온 가열시기[5]임을 감안하여 유리전이 온도 이상의 탄성 계수 값을 사용하였다.

Table 1 Material properties

Material	Young's modulus E(GPa)	Poisson's ratio $\nu$	
Chip	165.5	0.25	
Die pad	Cu	119.3	0.34
	Alloy42	167	0.29
Expoxy resign (Tg=168 $^{\circ}$ C)	12.753	0.25	
	(2.55)		
D/A (Tg=120 $^{\circ}$ C)	8.96	0.25	
	(2.48)		

### 3. 보존적분과 에너지 방출률

Rice[6]에 의하여 제안된 J적분은 다음과 같다.

$$J = \int_{\Gamma} (Wn_1 - t_i u_{i,1}) ds \quad (1)$$

여기서 W는 변형률에너지밀도,  $t_i$ 는 트래션 벡

터,  $u_i$ 는 변위,  $n_i$ 은 경로  $\Gamma$ 에 수직인 단위 법선 벡터의  $X_1$  성분을 말한다. 식(1)은 기계적 하중이 작용하는 경우이며, 온도 구배가 존재하는 경우에 대한 적분으로 수정한 식은 다음과 같다.

$$J = \int_{\Gamma} (Wn_1 - t_i u_{i,1}) ds + \int_A \alpha \sigma_{kk} \theta_{,1} dA \quad (2)$$

여기서  $\alpha$ 는 열팽창계수,  $\theta$ 는 온도차이다. 열 하중 또는 균열면상에 표면력이 작용하지 않는 선형 탄성 재료 내에 존재하는 2차원의 변위장에 대한 M적분은 다음과 같다.

$$M = \int_{\Gamma} (W x_i n_i - t_i u_{i,j} x_j) ds \quad (3)$$

여기서,  $W$ 는 변형률 에너지밀도,  $n_i$ 는 적분경로에 수직인 단위벡터,  $t_i$ 는 트래션 벡터,  $u_i$ 는 변위 벡터이다.

식(3)을 표면력이 작용하거나 재료에 열 하중이 작용하는 경우로 수정한 결과는 다음과 같다.[7-10]

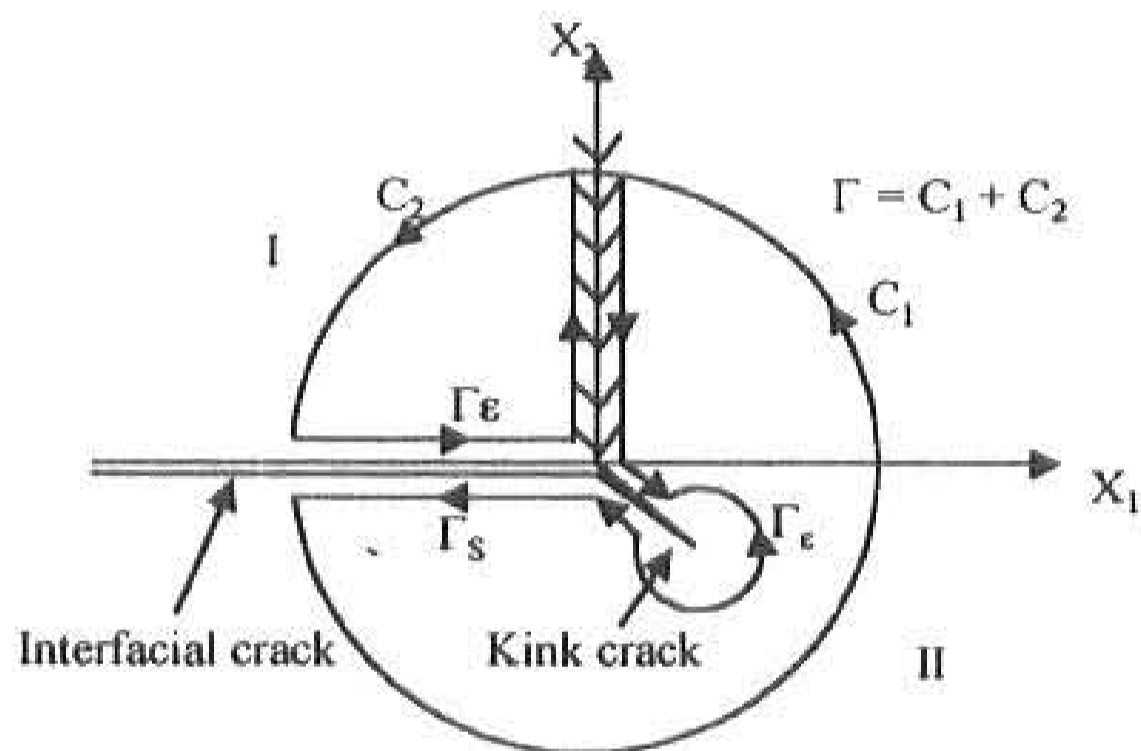


Fig. 6 Path of M-intergral

$$M = \int_{A-A_\epsilon} [(\sigma_{ki} u_{k,j} x_j - W x_i) q_{,i} + \alpha \sigma_{kk} (\theta_{,i} x_i + \theta) q] dA - \int_{\Gamma_s} t_k u_{k,j} x_j ds \quad (4)$$

여기서,  $A$ 는 Fig.6에 표현된  $\Gamma$ 로 둘러싸인 면적,  $A_\epsilon$ 은  $\Gamma_\epsilon$ 으로 둘러싸인 면적이고,  $\Gamma_s$ 는 균열면에서의 적분경로이며,  $\alpha$ 는 열팽창계수,  $\theta$ 는

온도차, 가중함수  $q$ 는 균열선단, 혹은  $\Gamma_\epsilon$ 에서 1, 임의의 적분경로  $\Gamma$ 에서는 0, 그리고 적분영역내부에서는 1계 미분 가능한 연속함수(continuous function)이다.

M적분이 임의의 적분경로에 대해 보존되는 경우 M적분과 J적분, 즉 균열의 에너지방출률  $G$ 와의 관계는 다음과 같다[10].

$$M(x_1, x_2) = aJ = aG \quad (5)$$

여기서,  $a$ 는 꺾인 균열(kink crack)이 시작되는 점에서 꺾인 균열 선단(kink crack tip)까지의 거리를 나타낸다.

#### 4. 수치해석 결과 및 토의

Fig.4의 반도체 패키지가 Table 1과 같은 재료 물성치를 가질 때 균열선단에 나타나는 에너지 방출률을 조사하였다. 먼저 칩 패드의 재료를 Cu와 Alloy42를 사용하였을 때 균열선단에 나타나는 에너지 방출률을 Fig.7에 나타내었다. 재료로 Cu를 사용할 때보다 Alloy42를 사용하였을 때가 에너지 방출률이 다소 높게 나타났다. Type-I의 균열형태는

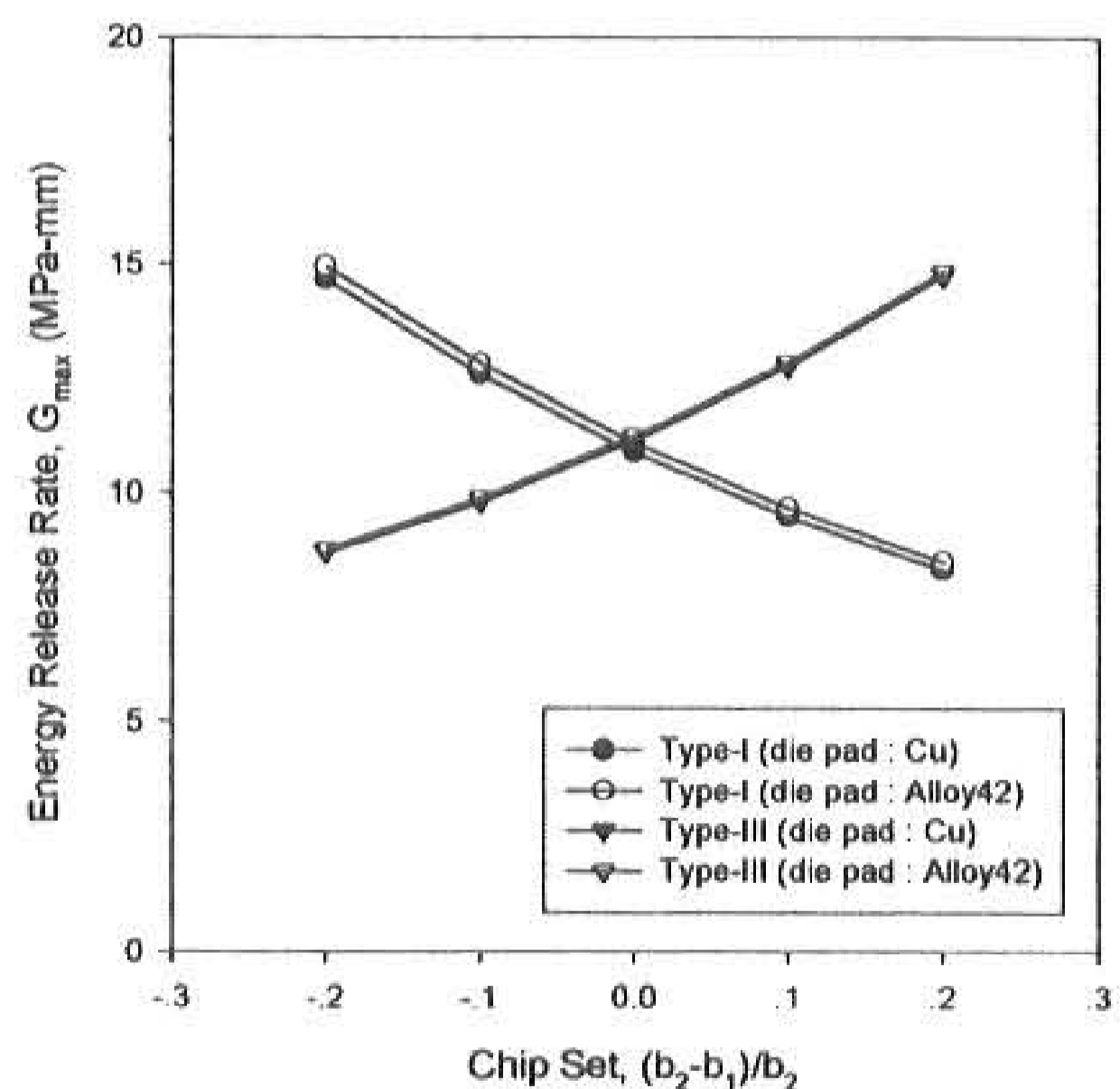


Fig. 7 Energy release rate vs. chip set for two kinds of die pad. See Table 1 for material properties and Fig.4 for dimension of the package

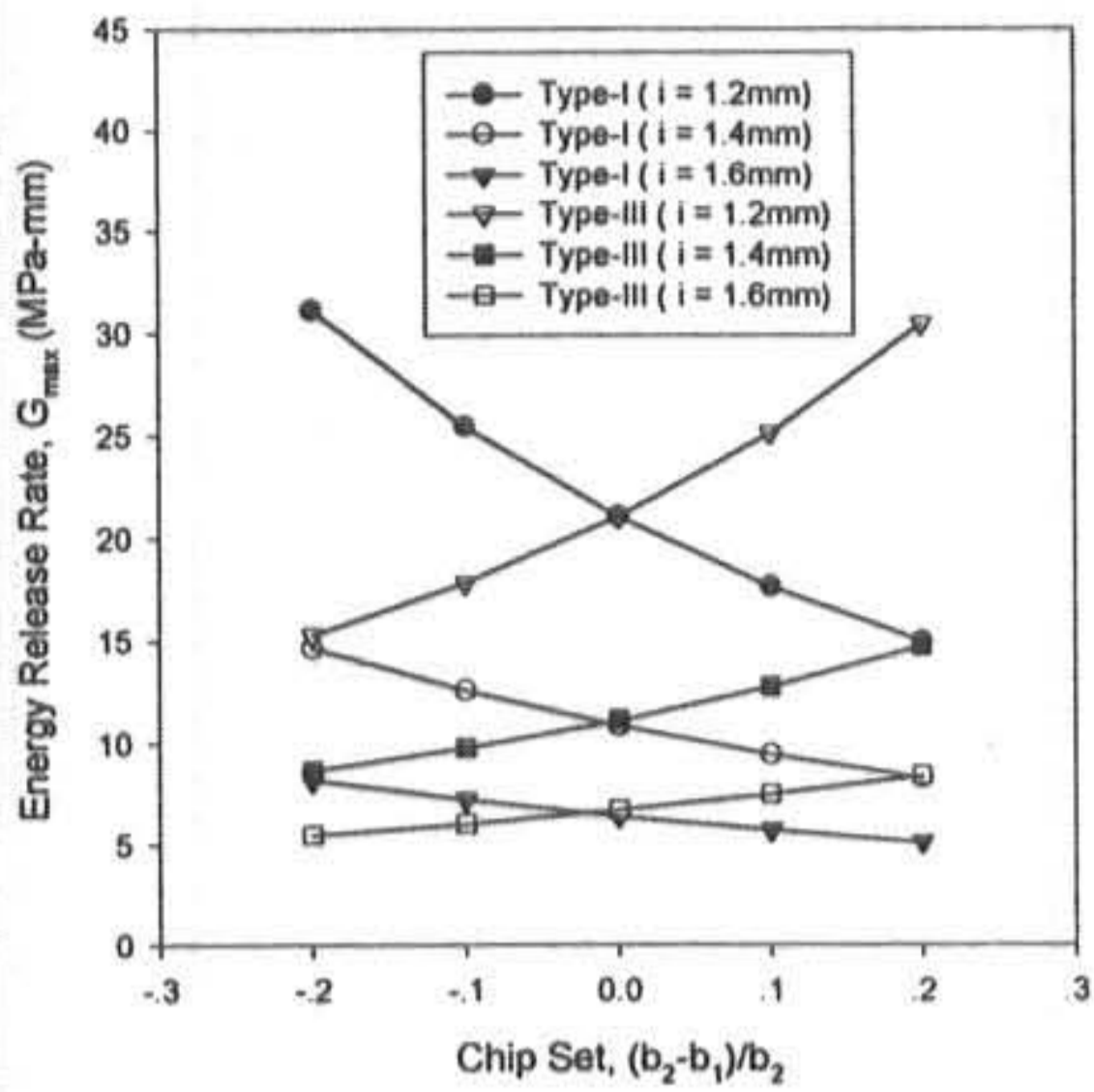


Fig. 8 Energy release rate vs. chip set for three kinds of package thickness. See Fig.4 for dimension of the package

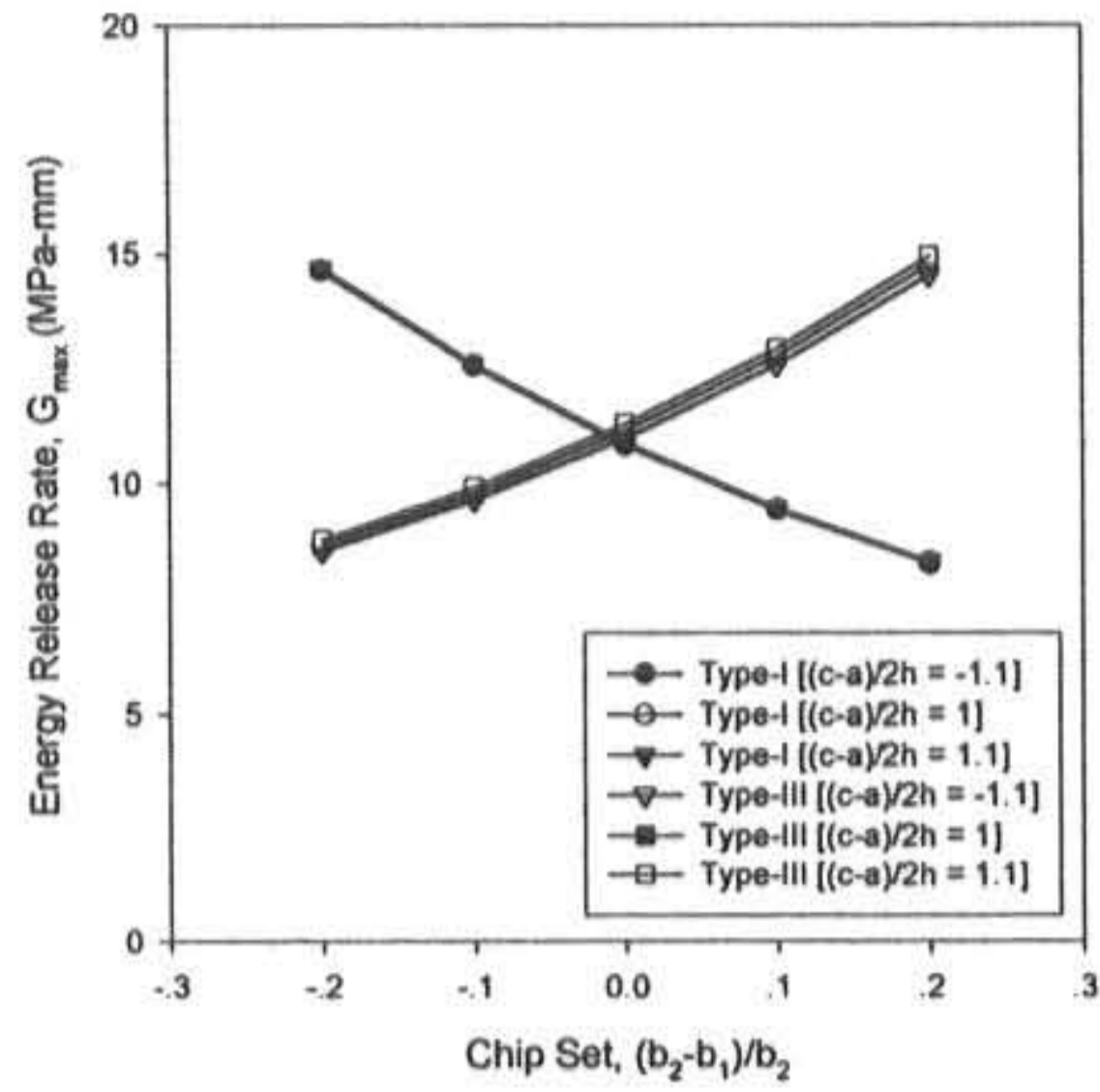


Fig. 10 Energy release rate vs. chip set for three kinds of chip width. See Fig.4 for dimension of the package

칩셋이 패키지 내부의 가운데에서 내려갈 수록, Type-III의 균열형태는 칩셋이 패키지 가운데에서 올라갈수록 에너지 방출률이 높아짐을 보여주고 있다. 이는 증기압을 받는 면의 에폭시 수지 두께가 얇을수록 에너지 방출률이 높게 나타남을 의미한다. 여기서 칩셋이란 패키지 내에 칩이 놓이는 위치를 말하며, Fig.4에 보인 칩 윗면의 에폭시 수지 두께( $b_1$ )과 칩 패드 아래 면의 에폭시 수지 두께( $b_2$ ) 차이로서 나타낸다. 따라서 칩셋이

“0”이라는 것은 칩 윗면의 에폭시 수지 두께와 칩 패드 아래 면의 에폭시 수지 두께가 같음을 말한다. 또한 칩셋이 음의 값을 가지는 것은 칩 윗면의 에폭시 두께가 칩 패드 아래 면의 에폭시 두께보다 큼을 나타내므로 칩셋이 패키지 내부의 가운데 위치에서 아래쪽으로 내려감을 말한다. 칩셋의 최적점은 Type-I의 균열과 Type-III의 균열형태에서 균열선단의 에너지 방출률이 같은 지점을 찾으려면 되는데, Fig.7에 보는 바와 같이 칩 패

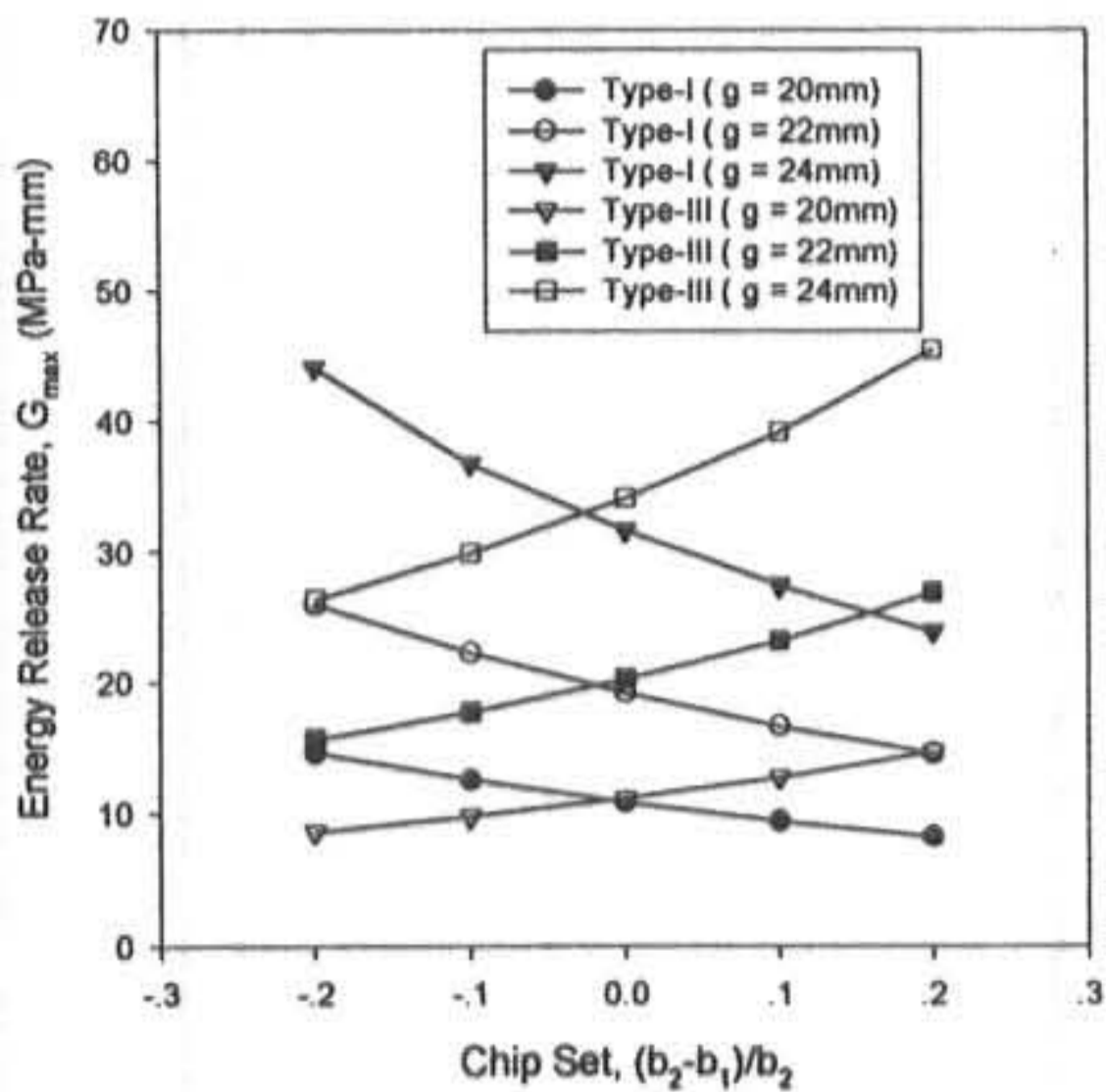


Fig. 9 Energy release rate vs. chip set for two kinds of package width. See Fig.4 for dimension of the package

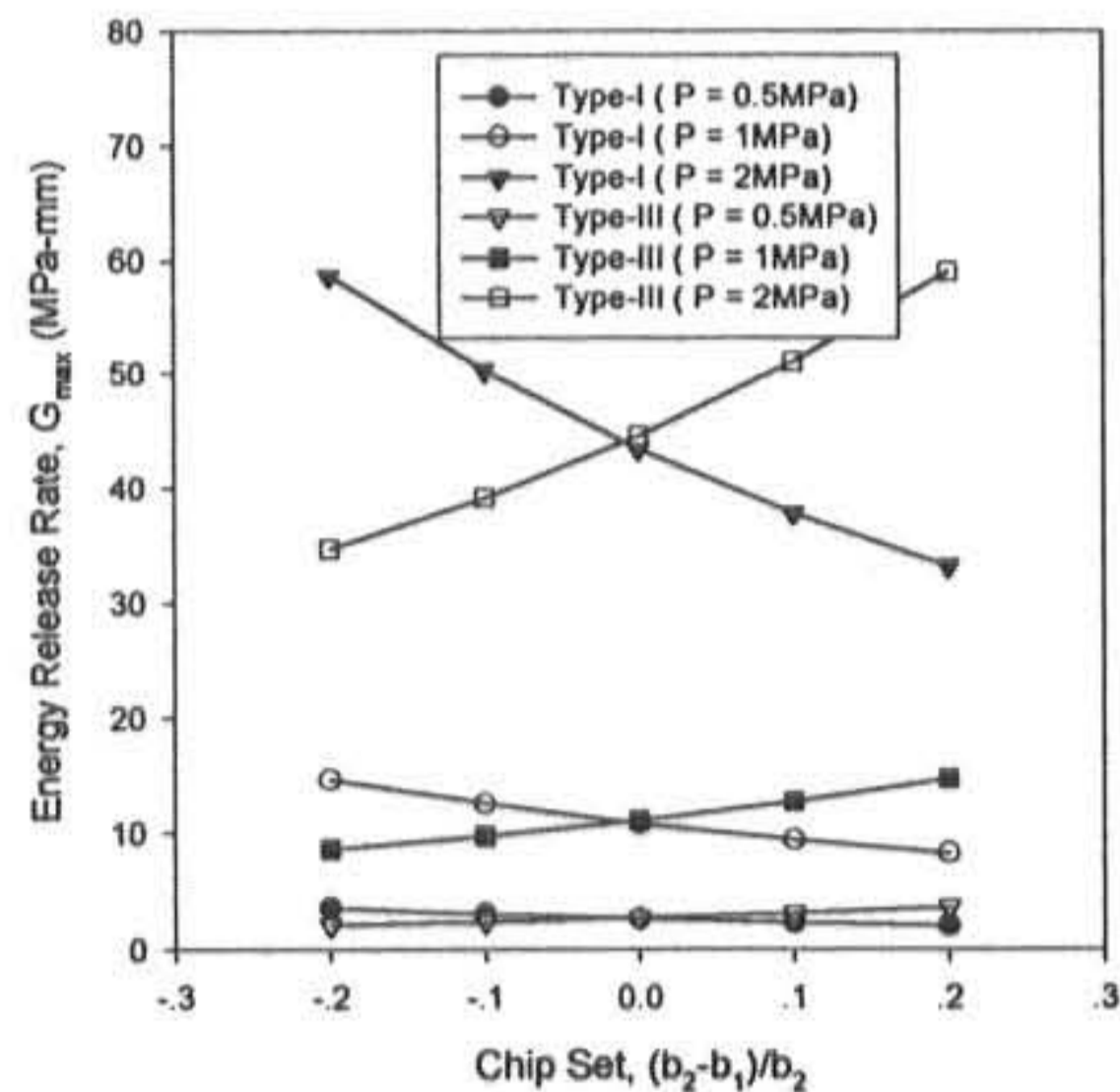


Fig. 11 Energy release rate vs. chip set for three kinds of mechanical loading.

드의 재료를 Alloy42로 사용하였을 경우에는 칩셋의 최적점이 "0"에 가깝지만 Cu를 사용하였을 경우에는 약 -0.01의 값을 가진다. 이것은 Cu를 사용한 경우에는 칩 윗면의 에폭시 수지 두께( $b_1$ )보다 칩 패드 아래 면의 에폭시 수지 두께( $b_2$ )가 약간 작아야 최적의 칩셋이 되는 것을 의미한다. 그러나 그 차이가 매우 적어 Cu를 사용한 경우와 Alloy42를 사용한 경우가 큰 차이를 보이지 않고 있다.

Fig.8은 패키지의 두께를 변화한 경우이다. 이때 칩과 칩 패드의 두께는 고정된 경우로서, 칩의 윗면과 칩 패드 아래 면의 에폭시 수지의 두께만 변화한 것이다. Type-I의 경우는 칩셋이 패키지 내부의 가운데에서 아래로 갈수록, Type-III의 경우는 칩셋이 패키지 내부의 가운데에서 올라갈수록 에너지 방출률이 높게 나타나고 있다. 즉 Type-III의 경우는 칩 윗면의 에폭시 두께가 얇아질수록, Type-I의 경우는 칩 패드 아래 면의 에폭시 두께가 얇아질수록 에너지 방출률이 높게 나타나고 있음을 보여주고 있다. 또한 패키지 전체의 두께의 변화에 따른 칩셋의 최적점을 본다면 패키지 전체의 두께가 두꺼울 때보다 얇을 때가 칩셋의 최적점이 패키지 내부의 가운데에서 약 0.1%정도 아래쪽에 있음을 보여준다.

Fig.9는 패키지의 폭을 변화시킨 경우이다. 패키지의 폭이 현재의 20mm에서 22mm, 24mm로 점점 커질수록 균열선단에 나타나는 에너지 방출률은 높게 나타나고 있다. 칩셋의 영향이 에너지 방출률에 미치는 영향은 패키지의 폭이 커질수록 크게 나타나고 있으며, 패키지의 폭이 클수록 칩셋의 최적점은 칩셋의 위치가 패키지 내부의 가운데에서 아래쪽으로 이동함을 보여준다.

Fig.10은 칩의 크기와 칩 패드의 크기에 대한 차이를 변화시켜본 것이다. 이때 칩 패드의 크기는 고정하였고 칩의 크기만을 변화시킨 것이다. Fig.10에서  $(c-a)/2h=1$ 인 경우가 기본 칩 크기를 나타내며,  $(c-a)/2h=-1.1$ 인 경우가 칩의 크기를 0.0508mm 만큼 작게 한 경우,  $(c-a)/2h=1.1$ 은 반대로 0.0508mm만큼 크게 한 경우이다. Type-I 형태의 균열에서는 칩의 크기가 달라지더라도 에너지 방출률에 미치는 영

향은 거의 없음을 보여 준다. 그러나 Type-III 형태의 균열에서는 칩의 크기가 변함에 따라 균열선단의 에너지 방출률이 달라짐을 보여주고 있다. 이것은 칩의 크기가 변함에 따라 압력을 받는 면적이 달라짐에 따라 발생하는 현상이다. 이로부터 칩과 칩 패드의 크기 차이를 작게 할수록 칩셋은 패키지 내부의 가운데에서 아래쪽으로 이동하는 것이 유리함을 보여준다.

Fig.11은 기계적 하중의 값을 변화시킨 경우이다. 기계적 하중의 값이 클수록 에너지 방출률이 높게 나타나고 있으며, 기계적 하중의 값이 작을수록 칩셋의 최적점은 패키지 내부의 가운데 위치에 있음을 알 수 있다.

## 5. 결론

반도체 패키지 내부에 발생하는 패키지 균열을 가정하고서 패키지의 설계 변수 중 기하학적 형상, 재료, 증기압이 칩셋에 미치는 영향을 평가하였다. 평가방법은 보존적분을 이용하여 균열선단에 나타나는 에너지 방출률을 구하여 비교하였다. 패키지에 작용하는 하중의 형태는 에너지 방출률에 영향을 많이 미치는 증기압에 의한 기계적 하중만을 고려하였다. 균열의 형태는 칩의 위 모서리에서 발생하는 균열(Type-I)과 칩 패드 아래 모서리에서 발생하는 균열(Type-III)을 가정하였다. 칩셋의 최적점은 두 가지 형태의 균열선단의 에너지 방출률의 차가 없는 점을 최적점으로 보았으며, 이로부터 다음과 같은 결과를 얻었다.

첫째, 반도체 패키지의 기하학적 형상의 변화가 칩셋에 미치는 영향은 작게 나타났다. 다만, 패키지의 폭을 변화시킬 때와 칩과 칩 패드의 크기 차이를 변화시킬 때는 다른 기하학적 형상의 변화보다 칩셋에 미치는 영향이 크게 나타난다.

둘째, 계면에 작용하는 증기압의 변화와 칩 패드의 재료 물성치가 변하는 경우 칩셋에 미치는 영향은 작게 나타났다. 계면에 작용하는 증기압의 변화는 균열선단의 에너지 방출률에 미치는 영향은 매우 크게 나타났다.

셋째, 칩셋의 위치는 기하학적 형상, 재료, 증기

압에 따라 조금씩 달라지며, 대체로 칩셋은 패키지 내부의 가운데 위치에서 약간 아래쪽에 있는 것이 가장 좋다.

넷째, 칩셋은 기하학적 형상, 증기압의 크기, 각 재료의 물성치에 따라 조금씩 달라지므로, 모든 영향을 고려하여 최적의 칩셋을 결정하여야 한다.

### 참고문헌

1. L. T. Nguyen., 1993, "Reliability of Postmolded IC Packages", *ASME J. Electronic Packaging*, Vol. 115, pp. 346-355
2. S. Omi, K. Fujita, T. Tsuda, and T. Maeda., 1991, "Causes of Cracks in SMD and Type Specific Remedies," *IEEE Trans. on Components, Hybrids, and Manufacturing Technology*, Vol. 14, pp. 818-823
3. H. Lee, and Y.Y.Earmme, 1996, "A Fracture Mechanics Analysis of the Effects of Material Properties and Geometries of Components on Various Types of Package Cracks," *IEEE Trans. on Components, Packaging Manufacturing Technology*, Vol. 19, pp. 168-178
4. Miyake, K., Suzuki, H. and Yamamoto, S., 1985, "Heat Transfer and Thermal Stress Analysis of Plastic-Encapsulated ICs," *IEEE Trans. on Reliability*, Vol. R-34, pp. 402-409
5. 권용수, 박상선, 박재완, 채영석, 최성렬, 1997, "다꾸찌 방법을 사용한 여러변수들이 패키지 균열에 미치는 신뢰도 평가", 대한기계학회논문집(A), 21권, pp. 951-960
6. Rice, J. R., 1968, "A Path Independent Integral and Approximation Analysis of Strain Concentration by Notches and Cracks," *ASME J. Appl. Mech*, Vol.35, pp. 379-336
7. 반 용운, 1992, "계면균열 문제에서 M-적분의 계산," 석사학위논문, 한국과학기술원
8. W. K. Wilson and I. W. Yu, 1979, "The Use of the J-Integral in Thermal Stress Crack Problems," *Int. J. Fract.*, Vol. 15, pp. 377-387

9. C. F. Shih, B. Moran and T. Nakamura, 1986, "Energy Release Rate Along a Three Dimensional Crack Front in a Thermally Stressed Body," *Int. J. Ftact.*, Vol. 30, pp. 79-102

10. L. B. Freund, 1978, "StressIntensity Factor Calculations Based on a Conservation Integral," *Int. J. Solids and Structures*, Vol. 14, pp. 241-250

---

(1999년 8월31일 접수, 1999년 10월20일 채택)