

## 레이다 수신기의 중간주파수 안정을 위한 AFC 회로 구현

## Implementation of the AFC Circuit for Stable Intermediate Frequency of Radar Receiver

정수영\*, 이택경\*

Soo-Young Jung\* and Taek-Kyung Lee\*

## 요 약

마그네트론을 이용하여 송신 펄스를 발생하는 레이다에서 위상을 측정하기 위해서는 송신주파수의 변화에 대해서도 안정된 중간주파수를 발생할 수 있도록 STALO(Stable Local Oscillator)의 주파수를 조정하여야 한다. 레이다 수신기의 AFC(Automatic Frequency Control) 회로는 마그네트론에서 발생하는 송신주파수와 STALO의 국부발진주파수를 비교하여 일정한 중간주파수가 발생하도록 STALO 주파수를 제어한다. 본 논문에서는 안정된 중간주파수를 발생하기 위한 AFC 회로를 설계, 제작하였으며, 주파수 변화를 검출하여 비교하는 아날로그 부분과 STALO에 주파수 제어신호를 공급하는 디지털 부분을 개발하였다.

## Abstract

For the phase measurement in the radar system using the magnetron pulse source, the STALO (Stable Local Oscillator) frequency need to be controlled to provide the stable intermediate frequency. In radar receiver, AFC(Automatic Frequency Control) circuit detects the transmitting frequency change and controls the STALO frequency to keep the intermediate frequency stable. In this paper, we designed and implimented AFC circuits for radar receiver. The frequency deviation is detected and compared with the reference frequency and the STALO frequency is controlled by the digital command signal.

## I. 서 론

레이다의 송신 펄스 발생장치로서 마그네트론은 소형으로서 출력이 높고 효율이 높으므로 현재 레이다 시스템에서 많이 사용되고 있으나, 마그네트론의 발생주파수와 위상은 각각의 펄스에 대해 일정하지 않다[1, 2]. 도플러 측정이나 영상획득 등을 위해서는 레이다 신호의 위상측정이 필요하며, 마그네트론을 이용하는 레이다에서는 수신기에서 송신펄스의

위상과 주파수를 감지하여 안정된 중간주파수와 위상측정을 위한 신호를 발생한다. Coherent-on receiver 레이다에서는 송신되는 신호의 주파수를 AFC(Automatic Frequency Control) 회로에서 검출하여 STALO (Stable Local Oscillator)에 국부발진 주파수를 조절하며, 위상을 검출하여 위상동기된 COHO(Coherent Oscillator) 신호를 발생한다. 수신기의 AFC회로는 송신 신호의 주파수 변화를 감지하여 STALO 출력 주파수를 조정하기 위한 제어신호를 발생하며, 송신 주파수와 STALO 주파수의 차이가 항상 일정하게

\* 한국항공대학교 항공전자공학과(Dept. of Avionics, Hankuk Aviation Univ.)

· 논문번호 : 99-2-3

· 접수일자 : 1999년 10월 30일

유지되도록 한다[3].

레이더 시스템 간의 상호간섭을 방지하거나 대전자방해대책(ECCM, Electronic Counter Counter Measures) 등을 위하여 레이더 송신주파수는 수시로 변경된다. 수신기의 AFC회로는 변경된 송신주파수에 맞추어 일정한 중간주파수를 발생하도록 STALO의 발진주파수를 제어한다. 마그네트론을 송신기로 이용하는 레이더에서는 송신주파수를 변경하는 데 시간이 걸리므로 주로 상호간섭을 피하기 위한 용도로 송신주파수를 변경한다. AFC 회로에서는 이와같은 의도적인 송신주파수 변경에 대해서도 주파수 변화를 감지하여 STALO 주파수를 조절한다. 의도적인 주파수 변경에서는 변화된 주파수와 이전 주파수 간의 편차가 비교적 크므로 이러한 주파수 편차에 대해서도 감지할 수 있도록 AFC 회로가 설계되어야 한다.

그림 1은 마그네트론을 이용하는 레이더의 수신기에서 일정한 중간주파수를 발생시키기 위한 프론트엔드의 일부분을 보여 주고 있다. 수신회로에 공급된 약한 송신펄스 신호와 STALO의 국부발진 신호는 주파수 혼합기에서 주파수 변환되어 AFC 회로에 공급된다. AFC 회로에서는 주파수 혼합기를 통과한 펄스 신호를 원하는 중간주파수와 비교한다. AFC에서는 송신 주파수와 STALO 발진주파수의 차이주파수가 원하는 중간주파수와 같아지도록 디지털 조정신호를 발생하여 STALO의 주파수를 조정한다. STALO는 주파수 합성기로 구성되어 디지털 신호에 의하여 출력주파수를 조정하게 된다[3~5].

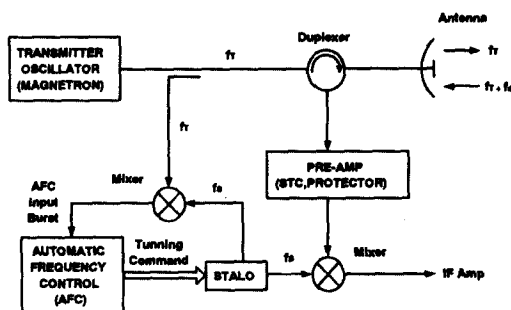


그림 1. 레이더 수신기 프론트엔드  
Fig. 1. Front-end of radar receiver.

AFC 회로는 입력된 신호의 주파수를 원하는 주파수와 비교하여 주파수 편차에 대하여 교정 신호를 발생하는 회로로서 무선 통신 시스템에서 주파수 편차를 교정하는 기술로 널리 사용되고 있다. AFC 회로에서는 주파수 편차에 대한 반응속도와 교정할 수 있는 최대 주파수 편차, 주파수 정확도 등이 중요하다[6]. 마그네트론에서 발생하는 주파수를 변경할 경우에 주파수의 변화 폭이 크므로 AFC 회로에서는 최대 주파수 편차를 적절하게 설정하여야 한다. 코히어런트 동작을 위한 수신기에서는 주파수 정확도가 중요하다. AFC의 최대 주파수 편차와 정확도는 서로 상반되는 특성으로서 AFC 내부의 주파수 변별기의 동작특성에 의하여 크게 영향을 받는다. 최대주파수 편차를 크게 할 경우에 스펙트럼의 드리프트가 증가하고, 잡음이 증가하여 정확도가 줄어든다[7, 8].

본 논문에서는 마그네트론을 발진기로 사용하는 레이더 시스템에서 일정한 중간주파수를 발생하기 위하여 STALO의 발진주파수를 조정하기 위한 AFC 회로를 구성하였다. 송신 펄스 신호와 STALO신호의 차이 주파수인 입력 주파수를 60 MHz의 기준발진기 신호와 비교하여 주파수 편차를 구하였다. 주파수 편차로부터 주파수 합성기로 구성된 STALO의 발진주파수를 조정하기 위한 디지털 신호를 발생하였다. 디지털 컨트롤러는 단일 칩을 이용하여 구현함으로써 회로를 간략화 하였다.

## II. AFC 회로의 구성 및 동작

레이더 수신기의 AFC 회로에서는 송신 펄스 신호와 STALO 신호의 차이주파수가 항상 중간주파수가 되도록 하기 위한 주파수 조정명령을 발생한다. 이를 위하여 AFC에 입력되는 신호의 주파수를 원하는 중간주파수와 비교하여 주파수 편차를 DC 전압의 형태로 변화시키는 아날로그 부분과 주파수 편차에 따른 주파수 조정명령을 발생하는 디지털 부분으로 구성되어 있다. 그림 2는 본 논문에서 구현하고자 하는 AFC 회로의 구성도이다.

AFC에 공급되는 입력 버스트 신호는 송신 버스트와 국부발진신호가 주파수 합성기를 통과하여 공

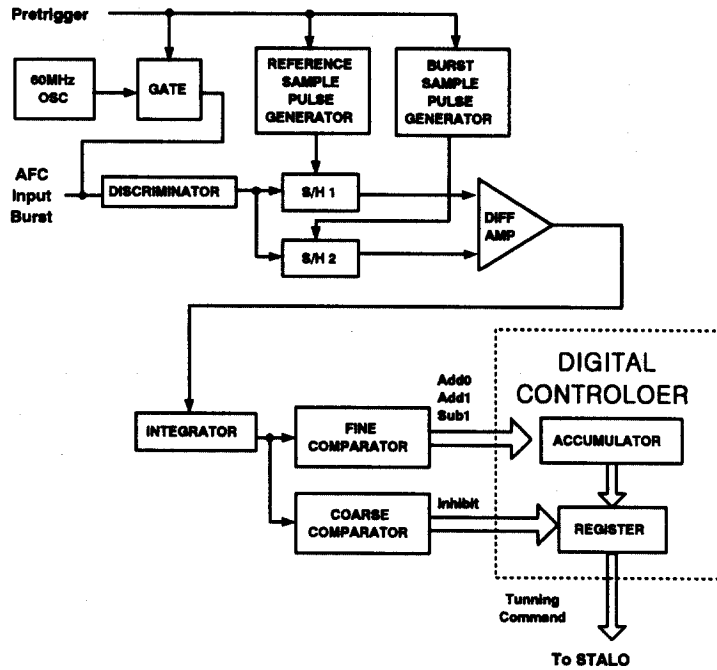


그림 2. AFC 회로의 구성도  
Fig. 2. Block diagram of AFC circuit.

급되며, 송신 버스트의 발생 기간동안에만 신호가 공급된다. 입력 버스트 신호는 송신 버스트의 주파수 변동에 따라 변화하며, 이 신호의 주파수가 원하는 중간주파수가 되도록 하여야 한다. AFC에서는 원하는 중간주파수와 같은 주파수의 기준 발진기를 이용하여 AFC의 입력 버스트 신호의 주파수를 검출하여 디지털 조정명령을 발생한다. AFC의 동작을 위한 신호들의 파형은 그림 3과 같다.

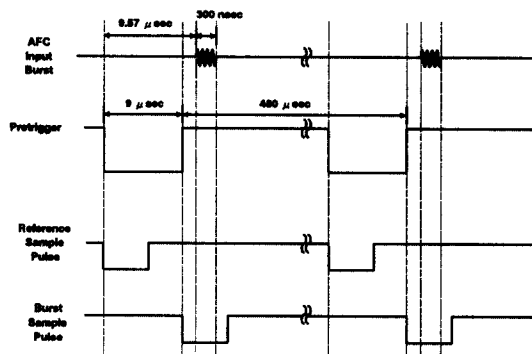


그림 3. AFC의 신호 파형  
Fig. 3. Timing diagram of AFC signals.

60MHz 수정 발진기는 원하는 중간주파수의 기준 발진기로서 입력 버스트가 가해지기 전 pretrigger 신호가 low가 되는 기간 동안에 주파수 변별기에 가해진다. 이 때 기준주파수에 해당하는 주파수 변별기의 출력 전압은 sample-and-hold(S/H)에 가해지며, reference sample timer는 이 기간 동안에 기준주파수에 대한 주파수 변별기의 출력 전압을 sampling 하기 위한 신호를 발생한다. Sample-and-hold 회로는 sample pulse의 rising edge에서 샘플링이 이루어지며, S/H 1에 가해지는 reference sample pulse의 rising edge는 그림 3에서 pretrigger 신호가 가해지는 기간중에 나타난다. AFC 입력 버스트가 가해지는 동안 S/H 2는 burst sample pulse에 의하여 샘플링이 이루어진다. 따라서 S/H 1과 S/H 2에는 각각 기준신호와 입력 버스트 신호의 주파수에 해당하는 전압이 저장되어 차동증폭기에 가해진다. 차동증폭기의 출력은 기준주파수와 입력 버스트 주파수의 차이에 해당하는 전압이 나타나며, 적분기에 가해진다. FINE 비교기는 적분기의 출력전압이 일정치를 넘을 경우에 주파수를 교정하기 위한 2 비트의 신호

를 발생한다. COARSE 비교기는 입력 버스트의 주파수가 기준주파수와 비교하여 주파수 추적을 할 수 있는 범위 이상으로 차이가 날 경우에 주파수 조정 동작을 멈추게 하며, 외부의 LED에 신호가 나타나도록 한다.

### III. 주파수 편차 감지 아날로그 회로

AFC 회로는 크게 나누어서 입력 버스트 신호의 주파수 편차를 감지하는 아날로그 부분과 STALO 주파수를 조정하기 위한 디지털 부분으로 구성되어 있다. 주파수 편차를 감지하기 위한 아날로그 회로는 입력 버스트 신호의 주파수를 원하는 기준신호의 원하는 중간주파수와 비교하여 주파수 편차를 검출하여 디지털 회로에 정보를 공급한다. 그림 2에서 주파수 편차를 감지하기 위한 부분은 기준신호 발생기와 주파수 변별기, S/H, sample timer, 적분기, 비교기 등으로 구성되어 있다.

#### 3-1 기준신호발생기

AFC에서는 마그네트론의 주파수 변화에 대하여 STALO 주파수를 변화시켜 이들 두 주파수의 차이가 원하는 중간주파수로서 항상 일정하게 되도록 하여야 한다. 기준신호발생기는 설정된 중간주파수(60MHz)의 안정된 발진기로서 pretrigger가 발생되는 동안(low 상태) 기준주파수의 신호를 주파수 변별기에 공급한다. 그림 4는 기준신호발생기의 구성도이다. 60 MHz 발진기는 수정발진기로서 구형파를 발생한다. 저역통과여파기에서는 구형파의 고조파 성분을 제거하고 정현파만을 통과시킨다. GATE는 기준신호가 pretrigger가 공급되는 동안에만 주파수 변별기에 공급되도록 하기 위한 부분으로서 최대

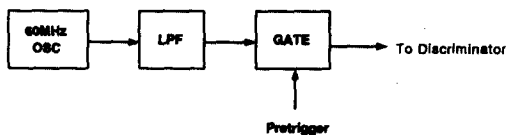
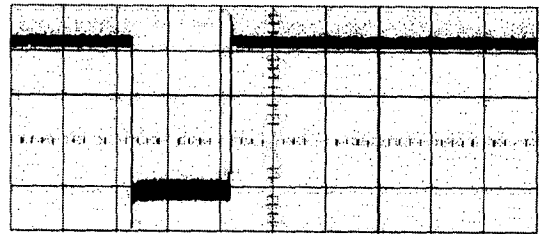
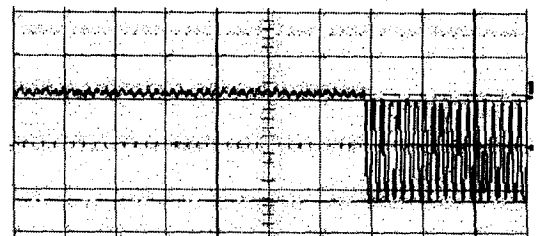


그림 4. 60MHz 기준신호발생기의 구성도  
Fig. 4. Block diagram of 60 MHz reference oscillator.



(1 V/div, Time base : 5  $\mu$ s/div)  
(a) Pretrigger 신호  
(a) Pretrigger signal



(2 V/div, Time Base : 1  $\mu$ s/div)  
(b) Gate 출력  
(b) Output of Gate

그림 5. GATE의 스위칭 동작

Fig. 5. Switching operation of GATE.

clock 주파수가 125MHz인 74F32를 사용하였다. 74F32는 일종의 OR gate로 동작하며, pretrigger 신호가 low 인 동안에 기준신호가 출력에 나타난다. 그림 5는 구현된 기준신호발생기의 스위칭 동작을 보여주고 있다.

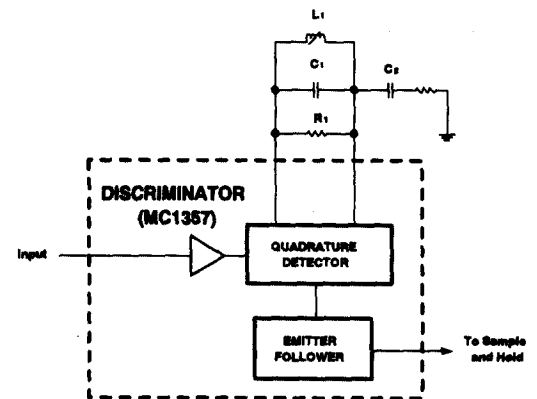
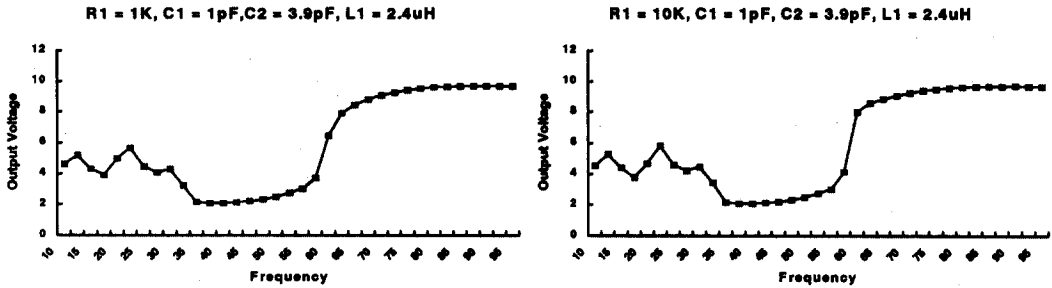
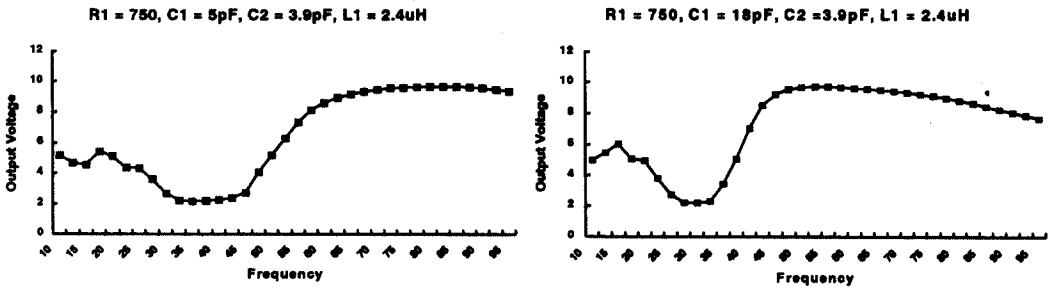


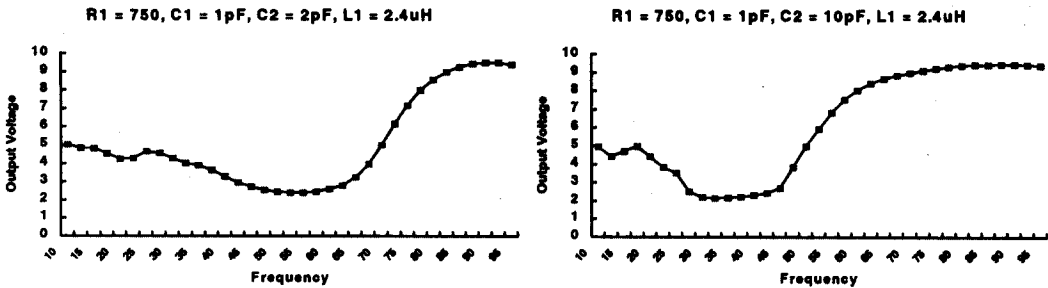
그림 6. MC1357을 이용한 주파수 변별기  
Fig. 6. Frequency discriminator.



(a) R1 변화



(b) C1 변화



(c) C2 변화

그림 7. 소자 값에 따른 주파수 변별기 특성

Fig. 7. Characteristic curve of frequency discriminator.

### 3-2 주파수 변별기

입력 버스트 신호의 주파수를 기준신호의 주파수와 비교하기 위해서는 주파수 변별기를 이용하여 각각의 신호에 대한 주파수를 검출하여야 한다<sup>[9]</sup>. 그림 3의 timing diagram에서 pretrigger 신호가 발생하는 동안에 기준신호가 주파수 변별기에 가해지며,

입력 버스트 신호는 pretrigger 신호가 발생한 후 시간 지연되어 주파수 변별기에 가해진다. 주파수 변별기에서는 이들 각각의 신호에 대한 주파수를 전압으로 변환하여 S/H에 가한다. 본 논문에서는 Motorola의 quadrature detector MC1357을 이용하여 60 MHz대의 주파수에서 동작하는 주파수 변별기를 구현하였다. MC1357은 FM 수신기와 TV 수신기의

음성 IF부분에서 주로 사용되는 소자로서 내부에 증폭기와 리미터를 함께 포함하고 있으며, 주로 5MHz 대에 응용되고 있다. 이 소자를 이용하여 레이더 수신기의 중간주파에 응용하기 위해서는 중심주파수를 60MHz대로 이동하여야 하며, 동작범위도 조절하여야 한다.

그림 6은 MC1357의 구조와 외부의 주요소자를 나타내고 있다. 주파수 변별기의 입력신호의 주파수가 60MHz 근방이므로 중심주파수를 변경하기 위하여 외부회로의 소자 값을 조절하여야 한다. 주파수 변별기의 동작특성은 소자 외부의  $L_1$ ,  $C_1$ ,  $R_1$  및  $C_2$ 에 의해 조절할 수 있다. 외부저항  $R_1$ 의 값은 주파수 대 전압 특성 곡선의 기울기를 결정한다.  $R_1$ 의 값이 커짐에 따라 특성곡선의 기울기가 급해져서 주파수 변화에 대한 감도가 높아진다. 외부 인덕터  $L_1$ 과 용량기  $C_1$  및  $C_2$ 는 주파수 변별기의 중심 주파수를 결정한다. 이들은 공진회로를 구성하므로  $C_1$ 과  $L_1$ 의 값이 커짐에 따라 변별기의 중심 주파수는 감소하며,  $C_2$ 의 증가에 대해서도 중심주파수가 감소한다.

그림 7은 외부의 각 소자에 따른 주파수 변별기의 특성변화를 보여주고 있다. 그림 7(a)는  $R_1$ 의 변화에 대한 특성을 나타내고 있다.  $C_1 = 1[\mu F]$ ,  $C_2 = 3.9[\mu F]$ ,  $L_1 = 2.4[\mu H]$ 로 고정하고,  $R_1$ 을 변화시켰다.  $R_1 = 1[K\Omega]$ 일 때 특성곡선의 기울기가 완만하여 더 넓은 주파수 범위에 대하여 주파수 검출이 가능해진다. 그림 7(b)는  $C_1$ 의 변화에 대한 특성을 보여주고 있다.  $C_1$ 이 커질수록 공진주파수가 낮아지고 특성곡선의 기울기도 급해진다. 그림 7(c)는  $C_2$ 의 변화에 대한 특성이다.  $C_1$ 에 비해  $C_2$ 는 더 세밀하게 주파수 조절이 가능하며,  $C_2$ 가 커지면 중심주파수가 낮아진다. 그림 7(c)에서  $R_1 = 750[\Omega]$ ,  $C_1 = 1[\mu F]$ ,  $C_2 = 3.9[\mu F]$ ,  $L_1 = 2.4[\mu H]$ 로 하였을 때 60MHz를 중심으로 약 15 MHz의 변화에 대하여 주파수 검출이 가능하다.

3-3 샘플 펄스 발생기

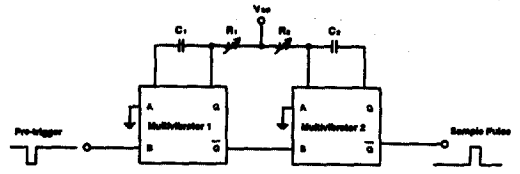
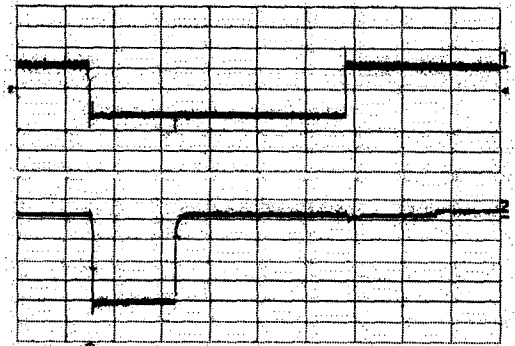


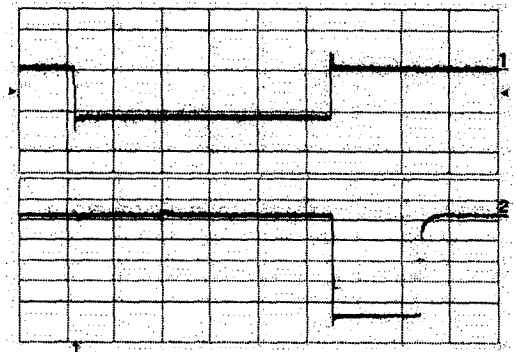
그림 8. 샘플 펄스 발생기

Fig. 8. Sample pulse generator.

주파수 변별기에서는 pretrigger 기간 동안 기준 신호의 주파수에 해당하는 전압을 발생하고, 입력 버스트가 가해지는 동안에는 입력주파수에 해당하



CH 1 : pretrigger (2 V/div)  
CH 2 : reference sample pulse (1 V/div)  
Time Base : 2 μs/div



CH 1 : pretrigger (2 V/div)  
CH 2 : burst sample pulse (1 V/div)  
Time Base : 2 μs/div

그림 9. 기준 샘플 펄스 및 버스트 샘플 펄스

Fig. 9. Reference sample pulse and burst sample pulse.

는 전압이 발생한다. 각각의 주파수에 해당하는 전압은 두 개의 sample-and-hold(S/H)에 따로 저장된다. 샘플 펄스 발생기는 각각의 S/H를 동작시키기 위한 펄스를 발생한다. S/H 회로는 샘플펄스의 전압이 low인 기간 동안의 전압이 저장된다. 그림 3에서 기준 샘플 펄스는 pretrigger 기간 동안에 기준 신호주파수를 샘플링하고, 버스트 샘플 펄스는 입력 버스트가 가해지는 기간 중에 샘플링한다. 샘플 펄스 발생기는 pretrigger 신호로부터 동작하며, 두 개의 단안정 멀티바이브레이터를 내장한 Motorola의 SN74LS221을 이용하였다. 그림 8은 단안정 멀티바이브레이터에 의한 샘플 펄스 발생기의 구조를 나타내고 있다. 기준 샘플 발생기는 pretrigger로부터 하나의 단안정 멀티바이브레이터를 이용하여 구현하고, 버스트 샘플 발생기는 두 개의 멀티바이브레이터를 이용한다. 그림 9는 구현된 회로에서 pretrigger와 각각의 샘플 펄스의 파형이다.

3-4 Sample-and-hold 및 차동 증폭기

AFC 회로에서는 두 개의 sample-and-hold(S/H)가 있으며, 각각 기준신호와 입력 버스트에 대한 전압을 샘플링한다. S/H로는 Analog Devices의 CMOS S/H SMP04를 이용하였으며, 4개의 S/H회로와 완충증폭기를 포함하고 있다. 그림 10은 S/H회로의 구조와 각 공급되는 신호를 나타내고 있다. 기준 샘플 펄스는 S/H 1에 공급되며, pretrigger 기간 동안 주파수 변별기에 나타나는 기준 신호의 주파수에 해당하는 전압이 S/H 1에서 샘플링 된다. 버스트 샘플 펄스는 S/H 2에 공급되며, 입력 버스트가 지속되는 동안 입력버스트에 해당하는 주파수 변별기의 출력 전압이 샘플링된다. 샘플 모드 동작이 완료되면 holding capacitor에 저장되어 홀드 모드 동작이 유지된다. 완충증폭기의 입력부분에서는 holding capacitor로부터 최소 전류를 소모하므로 용량기에서는 DC 전압을 계속 유지할 수 있다[10].

차동증폭기는 S/H 1과 S/H 2의 전압차를 선형 증폭한다. 차동증폭기의 출력은 기준 주파수와 입력 버스트 주파수의 차이주파수에 비례하는 전압이 나타난다. 차동증폭기의 출력은 두 입력전압에 대하여

$$V_{out} = \frac{1}{R_2} \left\{ \frac{R_3 R_4 R_5 (R_1 + R_2)}{R_3 R_4 + R_4 R_5 + R_5 R_3} \left( \frac{V_2}{R_3} + \frac{18}{R_4} \right) - R_1 V_1 \right\} \quad (1)$$

로 나타나도록 설계하였다.

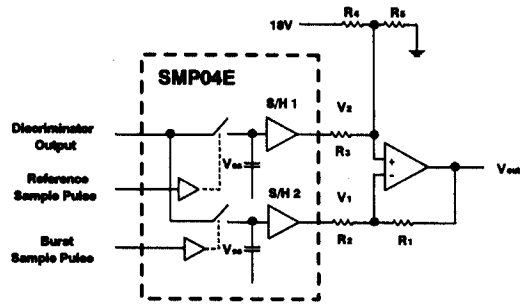


그림 10. Sample-and-hold와 차동 증폭기  
Fig. 10. Sample-and-hold and differential amplifier.

3-5 적분기와 비교기

레이다의 송신 버스트가 발생할 때마다 입력버스트 신호의 주파수는 기준주파수와 비교되어 그 차이 주파수에 비례하는 전압이 차동 증폭기의 출력에 연속적으로 나타난다. 이러한 전압은 적분기를 통하여 누적되어 비교기에 가해진다. 그림 11은 적분기와 비교기를 보여주고 있다. 적분기에서 궤환 용량 C<sub>1</sub>의 충전 전압이 포화되는 것을 방지하기 위하여 병렬 저항 R<sub>1</sub>을 사용하여 구현하였다. 적분기의 동작을 알아보기 위하여 C<sub>1</sub>의 영향을 무시하고 DC 전압 특성만을 구하면 출력전압은

$$V_{out} = V_{in} \left( 1 + \frac{R_f}{R_s} \right) - \frac{R_f}{R_s} V_{cc} \quad (2)$$

으로서 적분기의 입력에 비례한다. 입력 버스트 주파수의 변동에 의하여 차동증폭기의 전압이 변화하면 적분기의 출력은 식 (2)에 의하여 변화하며, C<sub>1</sub>과 저항성분에 의한 시정수에 의하여 transient 현상이 일어난다. 입력전압이 t=0에서 0 으로부터 V<sub>1</sub>으로 상승한다고 가정하여 transient 현상을 계산하였

다. 회로로부터 전류법칙을 적용하면

$$\frac{v_{in} - V_{cc}}{R_s} + \frac{v_{in} - v_{out}}{R_f} + C_f \frac{d}{dt} (v_{in} - v_{out}) = 0 \quad (3)$$

이 되고, 초기조건은  $v_{out}(t=0) = -\frac{R_f}{R_s} V_{cc}$  이

므로,  $t > 0$ 인 기간동안의 출력전압은

$$v_{out}(t) = V_1 \left( 1 + \frac{R_f}{R_s} \right) \left( 1 - e^{-\frac{t}{R_f C_f}} \right) - \frac{R_f}{R_s} V_{cc} \quad (4)$$

이다. 여기서 입력신호가 스텝 함수로 변화할 경우에 출력전압은  $R_f$  및  $C_f$ 에 의하여 서서히 최솟치로 변화하며 적분기로서 동작함을 알 수 있다.

적분기의 출력 전압은 입력 버스트의 주파수 편차를 누적하여 비교기로 가해진다. Fine 비교기에서는 적분기의 출력전압에 따라 디지털 조정회로에 신호를 보낸다. 적분기의 출력전압이 임계치 이내일 경우에는 Add 0에 해당하는 신호를 보내고, 적분기의 전압이 증가하여 위쪽 임계치에 도달하면 Add 1, 적분기의 전압이 감소하여 아래쪽 임계치에 도달하면 Sub 1 신호를 발생한다. 그림 11은 Fine 비교기의 구조를 보여주고 있다. 위쪽 및 아래쪽 임계치  $V_H$ 와  $V_L$ 은 가변저항에 의하여 조절할 수 있으며, 이들의 크기에 따라 수신기의 주파수 추적성능

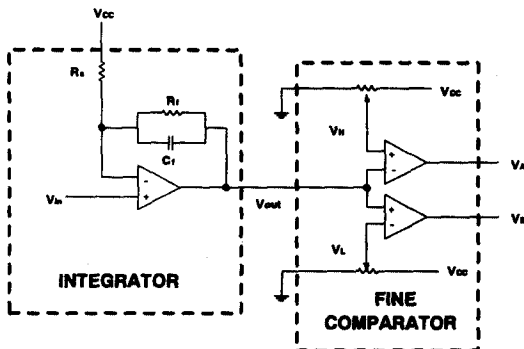


그림 11. 적분기와 비교기

Fig. 11. Integrator and comparator.

표 1. 비교기 출력

Table 1. Output of comparator.

입력상태 출력전압	$V_{out} < V_L$ (Add 1)	$V_L < V_{out} < V_H$ (Add 0)	$V_{out} > V_H$ (Sub 1)
$V_A$	HIGH	HIGH	LOW
$V_B$	LOW	HIGH	HIGH

에서 해상도가 결정된다. 비교기의 출력전압은 2 비트로 나타나며, 적분기의 출력전압에 따라 표 1과 같이 나타난다. Coarse 비교기는 입력 버스트의 주파수가 수신회로에서 추적이 불가능할 정도로 벗어날 경우에 AFC에서 STALO에 주파수 교정 명령을 발생하지 않도록 하는 회로이다. Coarse 비교기는 Fine 비교기와 같은 구조로 되어 있으며, 임계치가 훨씬 크다.

#### IV. 디지털 컨트롤러 회로

Fine 비교기에서는 2 비트의 주파수 교정신호가 발생하며, 이 신호는 디지털 컨트롤러에 공급된다. 디지털 컨트롤러는 아날로그 회로에 의한 주파수 교정 정보로부터 STALO 주파수를 조정하기 위한 명령을 발생한다. 그림 12는 STALO 주파수를 조정하기 위한 디지털 컨트롤러의 구성도이다. Fine 비교

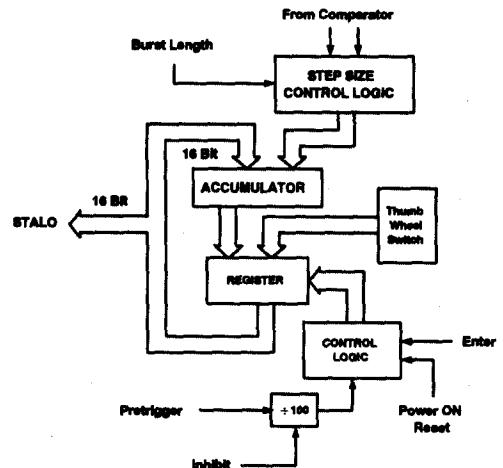


그림 12. 디지털 컨트롤러

Fig. 12. Digital controller.



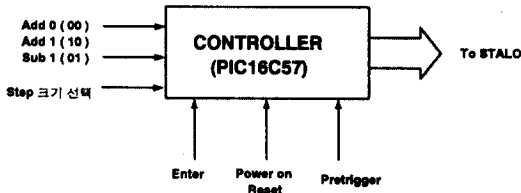


그림 13. 단일 칩 컨트롤러  
Fig. 13. Single chip controller.

기에서 발생된 주파수 교정신호는 step size 조정 회로에 인가된다. Step size 조정 회로는 STALO의 주파수 조정 해상도를 결정하는 부분으로서 버스트의 길이와 주파수 교정시간 등을 고려하여 결정된다. 인가된 Add 0, Add 1, Sub 1 등의 주파수 가감 신호에 따라 STALO의 주파수 조정치는 accumulator에 가해진다. Accumulator에서는 현재의 STALO주파수와 주파수 증감치가 더해져서 레지스터에 가해진다. 레지스터에는 교정된 STALO 주파수가 저장되며, control logic의 신호에 의하여 STALO에 공급된다. Control logic은 레지스터의 조정주파수를 STALO에 공급하는 신호를 발생하는 부분이다. AFC가 정상상태에서 동작할 때 control logic은 pre-trigger 신호를 받아서 레지스터를 동작시킨다. Pre-trigger는 100분주되어 control logic에 가해지므로 약 50 ms마다 한번씩 주파수가 조정된다. Enter는 Thumb Wheel Switch(TWS)의 주파수를 STALO에 공급하기 위한 신호이다. 기준신호와 입력버스트의 주파수차가 교정범위를 벗어나면 Coarse 비교기가 동작하여 inhibit 신호가 발생한다. 그림 12에서 나타난 디지털 컨트롤러의 기능은 단일 칩을 이용하여 구현할 수 있다. 본 논문에서는 입출력 포트가 20개인 Microchip사의 PIC16C57 칩을 사용하여 컨트롤러를 설계하여 위의 기능을 그림 13과 같이 구현하였다.

V. 전체 회로 구현

지금까지 제시한 AFC의 주요 부분과 표시회로 등을 포함한 전체 회로를 구현하였다. 그림 14는 제작된 AGC회로의 아날로그 부분이다. 외부에서

60MHz를 기준으로 1MHz의 편차를 둔 버스트 신호를 입력하면서 각 부분의 파형을 측정하였다. 그림 15(a)와 (b)는 샘플 펄스와 기준 신호 및 입력 버스트 신호를 보여주고 있다. 그림 15(c)는 샘플 펄스와 주파수 변별기의 입력 신호이다. 표 2에서는 입력 버스트 신호의 주파수를 변화시켜서 S/H 1과

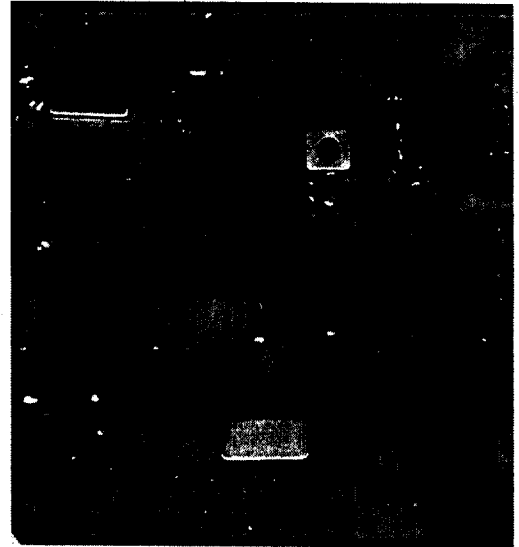
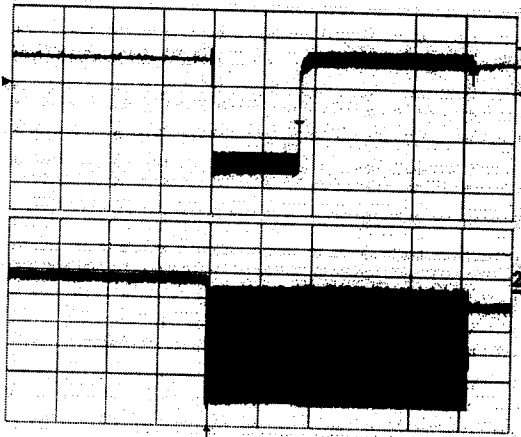


그림 14. 제작된 AFC 회로  
Fig. 14. Fabricated AFC circuit.

표 2. 입력 버스트 주파수 변화에 대한 각 부분의 출력전압(V)

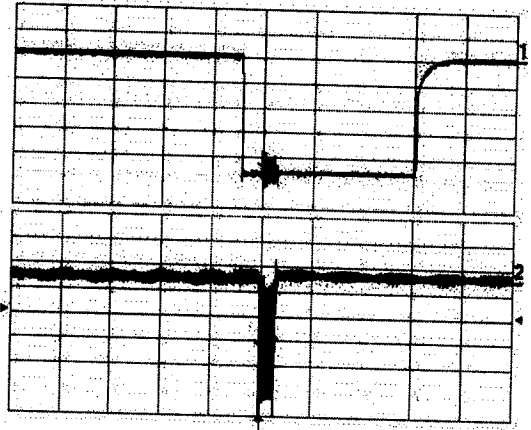
Table 2. Output voltages for input frequency change(V).

주파수 (MHz)	S/H 1	S/H 2	Diff. Amp.	Integrator
56	2.46	3.81	7.782	5.6
57	2.46	4.001	7.595	5.25
58	2.46	4.175	7.430	4.92
59	2.46	4.284	7.321	4.73
60	2.46	4.375	7.251	4.58
61	2.46	4.421	7.159	4.39
62	2.46	4.459	7.121	4.34
63	2.46	4.563	7.038	4.16
64	2.46	4.625	6.972	4.03



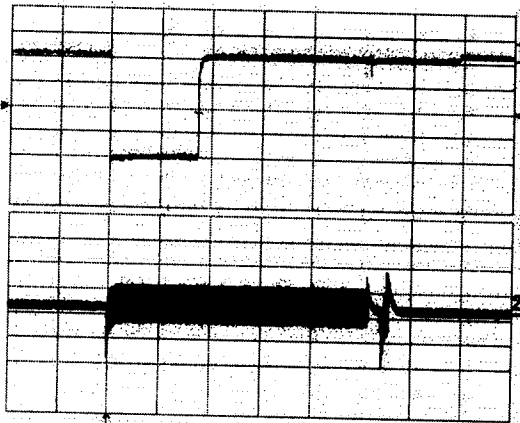
CH 1 : reference sample pulse (1 V/div)  
 CH 2 : reference signal (1 V/div)  
 Time Base : 2  $\mu$ s/div

(a) 샘플펄스와 기준신호



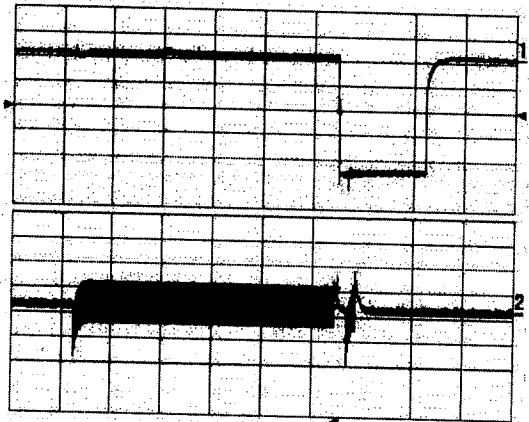
CH 1 : burst sample pulse (1 V/div)  
 CH 2 : input burst (1 V/div)  
 Time Base : 1  $\mu$ s/div

(b) 샘플 펄스와 입력 버스트



CH 1 : reference sample pulse (1 V/div)  
 CH 2 : discriminator input (0.5 V/div)  
 Time Base : 2  $\mu$ s/div

(c) 주파수 변별기 입력신호



CH 1 : burst sample pulse (1 V/div)  
 CH 2 : discriminator input (0.5 V/div)  
 Time Base : 2  $\mu$ s/div

그림 15. 샘플 펄스와 각 부분의 파형

Fig. 15. Sample pulses and the waveforms.

S/H 2의 출력 및 차동증폭기, 적분기 등의 출력전압을 나타내고 있다. 약 8 MHz의 범위에서 주파수 추적이 가능함을 알 수 있다.

## VI. 결 론

레이더에서 마그네트론에 의한 송신펄스를 발생

하는 경우에 각각 펄스에서 나타나는 신호의 주파수가 안정되지 않으므로 위상측정을 비롯한 다양한 기능을 수행하기 위해서는 마그네트론에서 발생하는 송신 출력 주파수와 STALO 주파수의 차이가 항상 일정한 중간주파수가 되도록 하여야 한다. 이러한 기능을 달성하기 위하여 AFC를 설계하고 구현하였다. 기준신호발생기와 샘플펄스발생기를 구현하였으

며, 60 MHz 대에서 동작하는 주파수 변별기를 구현하기 위하여 외부 소자에 의한 영향을 밝혔다. 차동 증폭기와 적분기 등을 설계하고, 비교기를 구현하여 전체 회로를 구성하였다. 디지털 컨트롤러를 설계하고, 단일 칩을 이용하여 구현하였다. 제작된 AFC 회로는 60 MHz 대에서 약 8 MHz 의 주파수 변화에 대하여 동작하였다.

AFC 회로는 레이더 수신기의 전체 성능에 중요한 영향을 미치며, 본 논문에서는 AFC 회로 전체를 개발하였다. 본 논문의 결과를 바탕으로 AFC의 성능을 향상시킴으로써 레이더의 전체 성능을 개선할 수 있다. 지금까지의 연구를 바탕으로 국내의 레이더 기술을 한 단계 발전시킬 수 있으며, 각종 무선통신 시스템이나 전자장비의 개발에 응용이 가능하다.

#### 참 고 문 헌

[1] J. W. Taylor Jr., Ch. 3 in M. I. Skolnik, Ed., *Radar Handbook*, 2nd ed., New York: John Wiley & Sons, 1990.

[2] S. Y. Liao, *Microwave Devices and Circuits*, Prentice Hall, 1990.

[3] B. Edde, *Radar : Principle, Technology, Application*, Prentice Hall, 1993.

[4] M. I. Skolnik, *Radar Handbook*, 2nd ed.,

Mcgraw-Hill, 1990.

- [5] 소원옥, 강연덕, 이택경, "레이더 수신기용 X-밴드 주파수 합성기의 저 위상잡음 설계 및 구현," 한국항공학회논문지, 제2권, 제1호, pp. 22-33, 1998.
- [6] S. Hara and N. Morinaga, "An intelligent automatic frequency control method using discrete wavelet transform," *Proceedings ISPACS*, Seoul, pp. 307-312, 1994.
- [7] M. Ai, S. I. McCallum, and D. J. Lurie, "Design and optimization of an automatic frequency control system for a radiofrequency electron paramagnetic resonance spectrometer," *Journal of Magnetic Resonance*, vol. 117, no. 2, pp. 272-277, 1995.
- [8] S. Emami and O. F. McDonald, "Software implementation of automatic frequency control(AFC) for FM radios," *DSP and Multimedia Technology*, vol. 7, no. 3, pp. 33-35, 1998.
- [9] Ziemer and Tranter, *Principles of Communications Systems, Modulations, and Noise*, 3rd ed., Houghton, 1990.
- [10] M. M. Horenstein, *Microelectronic Circuits and Devices*, Prentice Hall, 1996.

정 수 영(丁壽英)



1998년 2월 : 한국항공대학교 항공전자공학과(공학사)

1998년 3월~현재 : 한국항공대학교 항공전자공학과 석사과정

관심분야 : 레이더, 초고주파 회로설계, 안테나 설계 등

이 택 경(李澤瓌)



1983년 2월 : 고려대학교 전자공학과(공학사)

1985년 2월 : 한국과학기술원 전기 및 전자공학과(공학석사)

1990년 2월 : 한국과학기술원 전기 및 전자공학과(공학박사)

1990년 3월~1991년 2월 : 한국과학기술원 전기 및 전자공학과 연구원

1990년 5월~1991년 4월 : Univ. of Texas at Austin, Post-Doctoral Fellow

1991년 9월~1992년 2월 : 한국과학기술원 정보전자연구소 연구원

1992년 3월~현재 : 한국항공대학교 항공전자공학과 부교수

관심분야 : 마이크로파, 레이더, 안테나, 전자파 전파 및 산란 등