

論文99-36D-12-5

Sub-0.2 μm 다층 금속배선 제작을 위한 Cu Dual-damascene 공정 연구

(Studies on Cu Dual-damascene Processes for Fabrication of
Sub-0.2 μm Multi-level Interconnects)

蔡然植*, 金東一*, 尹寬基*, 李逸炯*, 李鎭九*, 朴裝煥**

(Yeon-Sik Chae, Dong-Il Kim, Kwan-Ki Youn, Il-Hyeong Lee,
Jin-Koo Rhee, and Jang-Hwan Park)

요 약

본 논문에서는 차세대 집적회로의 핵심공정으로 부각되고 있는 CMP를 이용한 Cu Damascene공정을 연구하였다. E-beam lithography, SiO₂ CVD 및 RIE, Ti/Cu CVD등의 제반 단위 공정을 연구하였으며, 연구된 단위공정으로 2층의 Cu금속 배선을 제작하였다. CMP 단위공정 연구결과, head압력 4 PSI, table 및 head 속도 25rpm, 진동폭 40mm, 슬러리 공급량 40ml/min에서 연마율 4,635Å/min, Cu:SiO₂의 선택율 150:1, 평탄도 4.0%를 얻었다. E-beam 및 SiO₂ via-line 공정연구결과, 1000 $\mu\text{C}/\text{cm}^2$ 도즈와 6분 30초의 현상 및 1분 10초의 에칭시간으로 약 0.18 μm SiO₂ via-line을 형성하였다. 연구된 단위공정으로 Sub-0.2 μm 의 2층 Cu금속라인을 제작하였으며, Cu void 및 Cu의 peeling으로 인한 다층공정시의 문제점과 재현성 향상 방법에 대해 논의하였다.

Abstract

In this paper, some of main processes for the next generation integrated circuits, such as Cu damascene process using CMP, Electron beam lithography, SiO₂ CVD and RIE and Ti/Cu-CVD were carried out and then, two level Cu interconnects were accomplished. In the results of CMP unit processes, a 4,635 Å/min of removal rate, a selectivity of Cu : SiO₂ of 150 : 1, a uniformity of 4.0 % are obtained under process conditions of a head pressure of 4 PSI, table and head speed of 25 rpm, a oscillation distance of 40 mm, and a slurry flow rate of 40 ml/min. Also 0.18 μm SiO₂ via-line patterns are fabricated using 1,000 $\mu\text{C}/\text{cm}^2$ dose, 6 minute and 30 second development time and 1 minute and 30 second etching time. And finally sub-0.2 μm two-level metal interconnects using the developed processes were fabricated and the problems of multi-level interconnects are discussed.

I. 서 론

* 正會員, 東國大學校 電子工學科
(Dept. of Electronics Engineering Dongguk University)

** 正會員, 國立韓京大學校 電子工學科
(Dept. of Elec., Hankyong National Univ.)

※ 본 연구는 한국전자통신연구원의 차세대 반도체 선
행기초연구사업의 지원으로 수행되었음

接受日字: 1998年5月18日, 수정완료일: 1999年11月10日

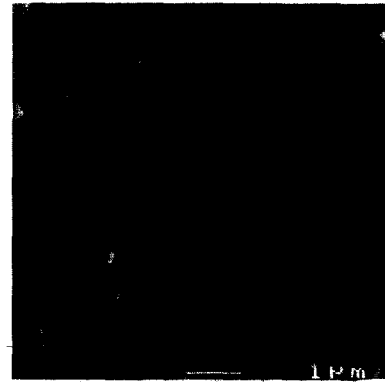
각종 반도체 소자는 고집적화가 빠르게 진행되고 있
어 금속배선의 미세화 및 다층화에 관한 연구는 핵심
과제로 부각되고 있다. 이러한 집적도 증가에 따른 금
속 배선 폭은 0.18 μm 에서 0.13 μm 기술로 급속히 바뀌어
가고 금속 배선의 다층화 추세를 보이고 있다.^[1] 이러
한 여러 금속층 간의 연결을 위한 금속패턴의 미세화

에 따라 저항이 증가하는 문제가 야기되므로 이의 개선을 위해서는 비 저항이 작은 금속의 사용이 필수적이다. Cu(Copper)는 현재 주로 사용되고 있는 금속배선 재료인 Al(aluminum) 또는 W(tungsten)보다 비 저항이 작아 차세대 집적회로의 배선금속으로 사용하기 위한 연구가 활발히 진행되고 있다.^[2] Cu를 배선금속으로 사용할 경우 비 저항이 작아 동일한 저항값을 갖는 금속선에 대해 보다 미세한 패턴 제작이 가능하다. 또한 Cu는 RC 지연시간이 작아 집적회로의 고속화가 가능하며 electromigration resistance가 크다는 장점도 있다. 그러나, 기존의 금속 배선 패터닝 기술은 주로 금속을 식각하는 것으로, Cu의 경우 식각 후 생긴 반응물인 Cu 할로젠 화합물의 휘발성이 낮아 응용에 어려움이 있다.^[2,3] 본 논문에서는 이러한 문제점을 해결하기 위한 방법으로 CMP(Chemical Mechanical Polish)를 이용한 Cu Dual damascene 공정을 연구 하였다. Dual damascene 기법은 층간 절연막으로 SiO₂를 적층하고 RIE를 이용하여 그루브(groove)를 형성한 후 Cu를 그루브 깊이보다 두껍게 적층한 후 연마하여 그루브 내에만 금속을 남기는 기법으로 금속배선을 형성하고 동시에 평탄화 할 수 있는 공정이다. boric oxide, resist etch back, spin on glass 및 ECR 등의 타 평탄화 공정에 비해 100~10,000배의 넓은 표면 평탄화 범위를 갖기 때문에 대구경 웨이퍼 평탄화에 가장 적합하다.^[4] 또한, 금속층의 다층화에 따른 단차증가로 야기되는 DOF(Depth of Focus) 문제를 해결할 수 있기 때문에 다층화에 유리하며, defect 밀도가 낮아 수율이 높고, 공정스텝을 줄여 생산성을 높일 수 있기 때문에 집중 연구되고 있다.

본 논문에서는 Cu-CVD공정, E-beam 미세 패터닝과 SiO₂ CVD 및 RIE를 이용한 SiO₂ via-line공정 및 CMP 공정등의 핵심 단위공정을 각각 연구하였으며, 연구된 단위공정을 이용하여 Cu Dual-Damascene 방법으로 2층의 Sub-0.2 μ m Cu via-line을 제작하였다. 제작된 2층의 Sub-0.2 μ m Cu via-line의 표면 및 단면의 SEM 사진으로부터 Cu Dual-Damascene의 공정의 문제점과 해결 방안등에 대해 논의하였다.

II. CMP 단위공정 연구

Cu Damascene공정의 최적 공정조건을 설정하기 위해 CMP 단위공정을 연구하였다. Si 웨이퍼와 Cu의 접



(a)



(b)

그림 1. CMP 전후의 표면 SEM 사진
(a) CMP 전의 표면 SEM 사진
(b) CMP 후의 표면 SEM 사진

Fig. 1. SEM photos before and after CMP.

(a) A SEM photo of the surface before CMP
(b) A SEM photo of the surface after CMP

착력을 증가시키기 위해 Si 웨이퍼에 Ti를 500Å 두께로 sputtering한 후에 Cu박막을 적층하였다. Ti 적층시 초기진공을 1×10^{-5} Torr, 공정압력은 0.3 torr, 플라즈마를 형성시키기 위한 Ar가스의 주입량은 100 sccm, 및 RF power는 270 W의 공정 조건을 이용하였다. 이때 Ti박막의 적층율은 100Å/min이었다. Ti 박막 적층 후 Cu 적층을 위한 Cu-CVD의 공정조건은 공정압력 0.9~1 torr, VTMS(Cu(hfac)) Carrier 가스로 사용된 He의 주입량은 15 sccm 이었으며, VTMS(Cu(hfac))의 활성화를 위해 bubbler의 온도를 물중탕으로 50°C로 가열하였다. Ti가 적층된 Si 웨이퍼의 온도는 150°C로 가열한 조건에서 1 μ m 두께의 Cu를 적층하였다. 상기와 같이 Ti/Cu가 적층된 4인치 웨이퍼를 이용하여 CMP공정을 연구하였다. 사용된 CMP장비는 Lapmaster사의 LGP-

512이며, slurry와 연마 pad는 각각 Rodel사의 QCTT 1010과 hard/soft 이중구조로 되어있는 IC1000/SubaIV를 사용하였다. Table과 head의 회전방향이 같고 회전속도가 같을 경우 웨이퍼의 임의의 모든 점에서 같은 궤적거리를 갖게 됨으로^[5] Table 및 head의 회전속도를 25 RPM, head 진동폭은 40 mm로 고정시키고 최적의 CMP공정조건을 찾기 위해 head 압력을 2, 4, 6 PSI로 변화시키면서 연마율, 선택율 및 평탄도를 Tencor사의 Alpha-Step 200으로 측정하여 분석하였다. 실험에서 사용된 장비의 head 압력에 따른 Cu의 연마율, 선택율 및 평탄도는 head 압력이 증가할수록 연마율과 선택율이 증가하였으며, 평탄도는 head압력을 4PSI로 했을 경우 가장 양호한 실험결과를 얻었다. 그림1은 CMP 공정전후의 표면 SEM 사진으로 CMP 후에 Cu 표면이 매우 매끄러워지고 평탄해진 것을 확인할 수 있다.

III. 0.18 μm SiO₂ via-line 제작

다층 Cu 금속 배선을 제작하기 위해서는 Cu 금속층간 연결을 위한 SiO₂ via-hole 또는 via-line제작 공정이 필요하다. 이를 위해 E-beam을 이용한 0.18 μm 이하의 PMMA패터닝을 연구하였다. Dose량을 500 $\mu\text{C}/\text{cm}^2$ 에서 1,000 $\mu\text{C}/\text{cm}^2$ 까지 변화시키면서 노광을 한 후 각각의 시편에 대하여 현상시간을 4~7분으로 변화시키면서 최적의 공정조건을 연구하였다. 그림 2는 dose량 1,000 $\mu\text{C}/\text{cm}^2$ 및 현상시간 6분30초일 때의 PMMA패턴의 단면 SEM사진으로 약 0.1 μm 크기로 PMMA패턴이 형성되었음을 확인할 수 있다. 이러한 E-beam 공정조건은 Cu damascene 연구를 위한 미세패턴 형성에 직접 이용하였다. 0.18 μm SiO₂ via-line제작 공정은 Si기판 위에 SiO₂(TEOS)를 6,000Å 적층한 후 PMMA 6%를 5,800Å 두께로 coating하였다. Solvent를 충분히 제거하기 위해 162°C에서 30분간 열처리한 후 EBMF 10.5 전자선 묘화 장비를 이용하여 0.4 μm 의 PMMA패턴을 형성하였다. 적층된 SiO₂ 식각하기 위해 RF power 600 watt, 공정압력 0.13 torr, CHF₃ 주입량 225 sccm, CF₄ 주입량 5 sccm 그리고 Ar 주입량 70 sccm의 조건으로 55초간 RIE 하여 SiO₂를 3,000 Å 두께까지 식각하였다. 0.4 μm 넓이로 식각된 SiO₂ 패턴 내에 0.18 μm 의 PMMA패턴을 다시 형성하였다. 이때의 dose는 1,000 $\mu\text{C}/\text{cm}^2$, 현상시간은 6분 30초이다. 다시 1분

10초간의 RIE로 3,000 Å의 SiO₂를 식각하였다. 그림 3은 제작된 0.18 μm SiO₂ via line의 단면 SEM사진이다. 그림 3에서 Si면에 접해있는 에칭된 SiO₂의 폭은 0.18 μm 이며 윗부분의 선포는 0.4 μm 이다. 이러한 SiO₂ 에칭 패턴에 Ti/Cu를 적층한 후 CMP하여 다층 Cu 금속배선의 층간 연결패턴으로 이용하였다.



그림 2. 0.1 μm 이하의 E-beam lithography pattern
Fig. 2. Sub-0.1 μm E-beam lithography patterns.



그림 3. 제작된 0.18 μm SiO₂ via-line의 단면 SEM 사진
Fig. 3. SEM photo of the fabricated 0.18 μm SiO₂ via-line.

IV. Cu Damascene공정을 이용한 2층 Cu 금속배선 제작 및 논의

상기의 단위공정과 CMP를 이용한 Cu Damascene공정을 이용하여 2층 Cu 금속배선을 제작하였다. 그림 4는 본 논문에서 수행한 Cu금속 배선제작을 위한 공정순서이다. 첫 번째로, 층간 패턴정렬을 위해 1mm×1mm 크기의 global 마크와 4 μm ×4 μm 크기의 chip 마크를 제

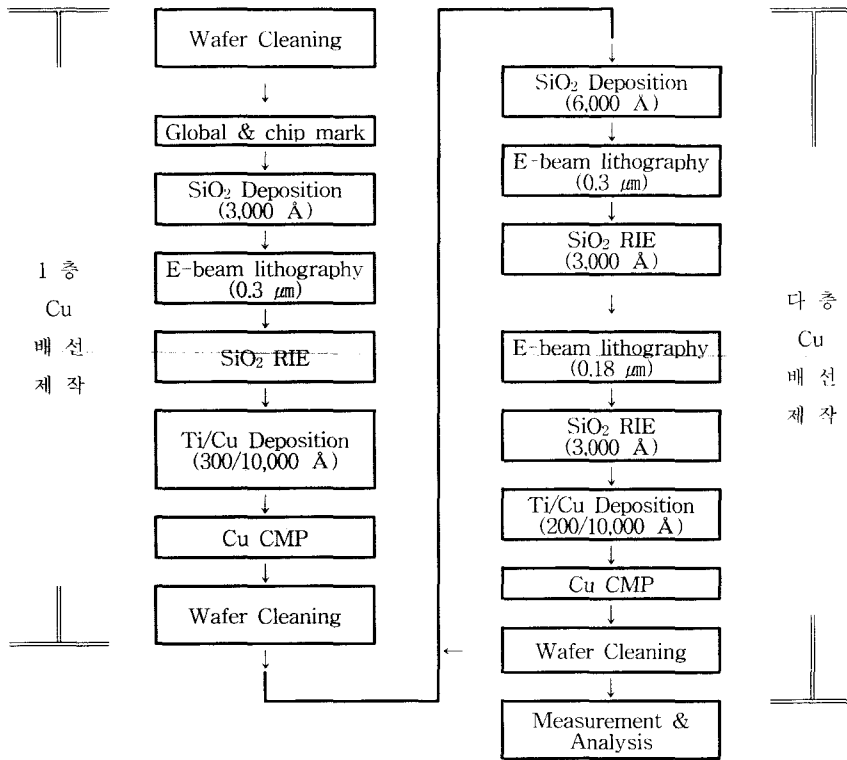
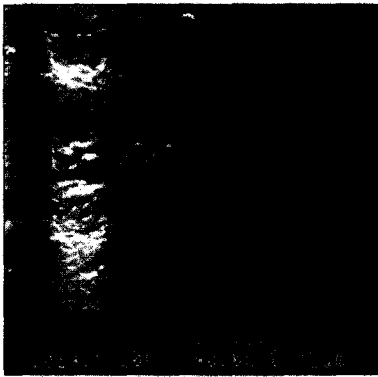


그림 4. 다층 Cu 금속배선 제작을 위한 Dual damascene 공정 순서도
 Fig. 4. Dual damascene processes for the fabricated multi-level Cu metal line.

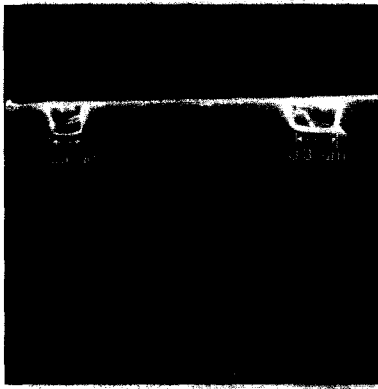
작하였다. Global 마크 및 chip 마크는 Si 웨이퍼를 1,000 Å 깊이로 RIE한 후 Ti/Au를 500/500Å 증착하는 방식으로 제작하였다. 이러한 정렬 마크는 SiO₂ groove를 이용한 기존 정렬마크의 문제점을 개선할 수 있었다. 기존의 groove 방식의 정렬마크를 이용할 경우 1층 CMP 공정 후 마크 위에 Cu가 남아 있어 2층 이상의 패턴정렬이 어려웠다. 1층 금속패턴형성을 위해 SiO₂(TEOS) 3,000Å 적층, 0.3 μ m PMMA패터닝, SiO₂ 3,000Å에칭, Ti/Cu=300/10,000Å 적층 및 Cu CMP공정을 수행하였다. 2층 이상의 공정은 그림 4에 나타난 공정순서에 따라 반복적으로 수행하였다.

그림 5는 상기의 공정으로 제작된 Cu 금속배선의 표면 및 단면 SEM 사진이다. 그림 5(a)는 제작된 Cu 금속배선의 표면 SEM사진으로 금속배선의 일부가 CMP 공정 후에 수백 Å깊이로 패인 것을 알 수 있는데, 이러한 현상은 다음층의 Cu 금속배선 제작을 위한 E-beam lithography에서 E-beam을 산란시켜 미세패터닝에 문제가 될 것으로 사료된다. 그림 5(b)는 격리된 2층의 Cu금속배선의 단면 SEM사진으로 선폴은 약

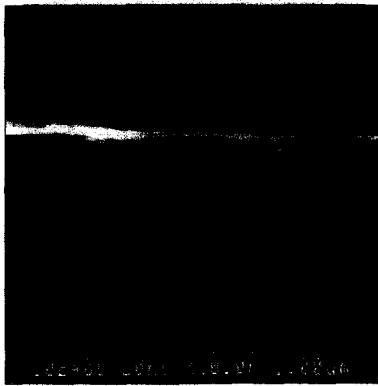
0.25~0.4 μ m임을 알 수 있다. 또한, Cu Damascene 공정에 의해 같은 층에 있는 금속선들이 잘 격리되어 있는 것을 알 수 있다. 그림 5(c)는 제작된 2층의 Cu 금속 via-line의 단면 SEM사진으로 Cu 패턴내에 void가 발생됨을 확인할 수 있는데, 이는 CVD를 이용하여 Cu를 적층할 때 패턴내부 표면에 Cu가 적층되면서 패턴의 입구가 막히는 현상으로 금속배선 저항을 크게 하여 전력소모를 증가시킬 뿐 아니라 소자의 reliability를 감소시키고 나아가 electromigration을 발생시키는 원인이 된다. 이러한 문제점을 해결하기 위해서는 아주 작은 grain 크기로 Cu가 적층될 수 있도록 해야하며, 초기 Cu 적층시 적층율을 매우 낮게 한 후 적층율을 점차 증가시키는 방법을 이용하거나 Cu 적층 후 thermal reflow공정등을 이용하여 개선될것으로 판단된다. 이러한 방법으로 Cu 금속배선에 void가 발생하지 않게 제작할 경우 기존의 금속 배선재료로 사용되는 Al의 resistivity가 3 $\mu\Omega$ -cm 에 비해 Cu의 resistivity는 1.8 $\mu\Omega$ -cm로 감소하기 때문에 배선 금속라인의 두께를 동일하게 했을 경우, Al 배선금속 대신 Cu를 이용할



(a)



(b)



(c)

그림 5. Cu Damascene 공정으로 제작된 Cu금속 via-line의 SEM 사진

(a) Cu가 떨어져 나간 금속배선의 표면 SEM 사진

(b) Cu 금속배선의 단면 SEM사진

(c) Cu via-void의 단면 SEM사진

Fig. 5. SEM photos of the fabricated Cu via-line by Cu Damascene process.

(a) The peeling-off of Cu n Cu metal line

(b) A SEM photo of Cu metal line

(c) A SEM photo fo Cu via with void

경우 배선 폭을 37% 정도 줄일 수 있게 된다. 이러한 Cu 금속 배선의 전기적 특성은 성능이 우수한 반도체 소자제작에 유리하다. 그림 5(c)의 SEM 사진에서 2층의 SiO₂ RIE패턴의 단면과 단위공정으로 제작된 그림 3의 단면이 같지 않음을 알 수 있다. 또한, 그림 5(c)의 2층 Cu via-line 패턴은 약 0.1 μm정도의 정렬오차도 보이는데 이는 1층 CMP 후의 Cu 표면의 일부가 그림 5(a)와 같이 Cu박막이 떨어져 나가 2층의 E-beam lithography시 산란되어 0.18 μm이상으로 넓어진 것으로 사료된다.

V. 결론

본 논문에서는 sub-0.2μm via-line 공정에 적용가능한 Ti sputtering 및 Cu-CVD, E-beam lithography, SiO₂ RIE, Cu CMP등의 제반 단위공정을 연구한 후 2층의 Cu 금속배선을 damascene공정을 이용하여 제작하고 문제점을 논의하였다. Sub-0.2 μm의 미세패턴 리소그래피를 위한 최적의 도즈량 및 현상시간은 각각 1,000 μC/cm²과 6분 30초였으며, damascene 공정을 위한 SiO₂ RIE 조건은 금속라인일 경우는 55초, via-line일 경우는 1분 10초였다. 2, 4, 6 PSI의 압력조건에서 Cu CMP 공정을 수행한 결과 압력이 커질수록 연마율 및 선택도는 증가하였으며, 평탄도는 4 PSI에서 가장 양호한 4%를 보였다. 이러한 제반 단위 공정으로 2층의 Cu 금속배선을 제작하였다. SEM사진 분석결과 낮은 aspect ratio를 갖는 1층 및 2층의 Cu filling에는 문제점이 없었으나 aspect ratio가 큰 금속라인과 via-line이 형성되어 있는 패턴의 Cu filling에는 Cu의 void문제가 발생되는 것을 볼 수 있었다. 이러한 문제는 Sub-0.2μm 이하의 trench패턴을 재현성 있게 매꿀 수 있는 Cu CVD공정 및 Cu-CVD공정 이후 열처리를 통해 해결될 수 있으리라 사료된다. 또한 Cu CMP시 패턴내에 채워 있는 Cu가 떨어져나가 다층 공정시 패턴정렬 문제 및 패턴이 넓어지는 문제점이 발생했는데 양질의 Cu적층을 위한 집중연구를 통해 개선될 것으로 사료된다.

참고 문헌

[1] Kyoji Yamashita and Shinji Odanaka, "Interconnect Scaling Scenario using a Chip Level Interconnect Model", 1997 Symposium

on VLSI Technology, Digest of Technology Papers, pp. 53-54.

[2] K. Abe et. al, "Sub-Half Micron Copper Interconnects using Reflow of Sputtered Copper Films", 1995 VMIC, p. 144.

[3] V. M. Dubin et. al, "Selective and Blanket Electroless Cu Plating Initiated by Contact Displacement for Deep Submicron Via Contact Filling", 1995 VMIC, p. 315.

[4] K. Rahmat et al, "A Scaling Scheme for Interconnect in Deep-Submicron Processes", 1995 International Electron Devices Meeting, pp. 245-248.

[5] 정병훈외 "Bull's Eye Effects를 줄이기 위한 CMP System의 최적화 설계에 관한 연구", 대한 전자공학회논문지, 제33권, A편, 제12호, pp. 72~76, 1996

저 자 소 개

蔡 然 植(正會員) 第 35卷 D編 第 9號 參照

金 東 一(正會員) 第 35卷 D編 第 9號 參照

尹 寬 基(正會員) 第 33卷 A編 第 9號 參照

李 逸 炯(正會員) 第 31卷 A編 第 1號 參照

李 鎮 九(正會員) 第 33卷 A編 第 12號 參照



朴 奘 煥(正會員)
 1967년 11월 10일생. 1982년 동국대학교 전자공학과 공학석사. 1992년 Austria Graz 공과대학 전기전자공학과 공학박사. 1994~현재 국립한경대학교 전자공학과 조교수. 주관 심분야는 자동화(필드버스), 반도체 소자 등임