

論文99-36D-11-7

Flash EEPROM에서 부유게이트의 도핑 농도가 소거 특성에 미치는 영향

(Effects of the Doping Concentration of the Floating Gate on the Erase Characteristics of the Flash EEPROM's)

李在浩*, 申奉祚**, 朴根亨***, 李載鳳***

(Jae Ho Lee, Bong Jo Shin, Keun Hyung Park, and Jae Bong Lee)

요 약

Flash EEPROM에서 칩 전체나 또는 칩의 한 블록에 속에 있는 모든 셀들의 소거는 Fowler-Nordheim (FN) 터널링 방식을 사용하여 일반적으로 수행되고 있다. 이러한 FN 터널링에 의한 소거는 self-limited 공정이 아니기 때문에 일부의 셀들이 심하게 과소거되는 문제가 자주 발생하고 있다. 본 논문에서는 이러한 과소거 문제를 해결하기 위한 부유게이트의 최적 도핑 농도에 관하여 연구하였다. 이러한 연구를 위하여 다양한 도핑 농도를 갖는 n-type MOSFET과 MOS 커패시터를 제작하였고, 이 소자들의 전기적인 특성들을 측정 및 분석하였다.

실험 결과, 부유게이트의 도핑 농도가 충분히 낮다면($1.3 \times 10^{18}/\text{cm}^3$ 이하) 과소거가 방지될 수 있음을 볼 수 있었다. 이는, 소거시 부유게이트에 저장되었던 전자들의 대부분이 빠져나가면 부유게이트에 공핍층이 형성되어 부유게이트와 소스 사이의 전압 차가 감소하고 따라서 소거가 자동적으로 멈추기 때문이라고 판단된다. 반면에 부유게이트의 도핑 농도가 너무 낮을 경우($1.3 \times 10^{17}/\text{cm}^3$ 이하)에는 문턱 전압과 gm의 균일도가 크게 나빠졌는데, 이는 부유게이트에서 segregation으로 인한 불순물의 불균일한 손실에 의한 것으로 판단된다.

결론적으로 Flash EEPROM에서 과소거 현상을 방지하고 균일한 문턱 전압과 gm을 갖기 위한 최적의 부유게이트의 도핑 농도는 $1.3 \times 10^{17}/\text{cm}^3$ 에서 $1.3 \times 10^{18}/\text{cm}^3$ 의 범위인 것으로 발견되었다.

Abstract

All the cells on the whole memory array or a block of the memory array in the Flash EEPROM's are erased at the same time using Fowler-Nordheim (FN) tunneling. Some of the cells are often overerased since the tunneling is not a self-limited process. In this paper, the optimum doping concentration of the floating gate to solve the overerase problem has been studied. For these studies, N-type MOSFETs and MOS capacitors with various doping concentrations of the gate polysilicon have been fabricated and their electrical characteristics have been measured and analyzed.

As the results of the experiment, it has been found that the overerase problem can be prevented if the doping concentration of the floating gate is low enough (i.e. below $1.3 \times 10^{18}/\text{cm}^3$). It is because the potential difference between the floating gate and the source is lowered due to the formation of the depletion layer in the floating gate and thus the erasing operation stops by itself after most of the electrons stored in the floating gate are extracted. On the other hand, the uniformity of the V_t and the gm has been significantly poor if the doping concentration of the floating gate is too much lowered (i.e. below $1.3 \times 10^{17}/\text{cm}^3$), which is believed to be due to nonuniform loss of the dopants from the nonuniform segregation in the floating gate.

Consequently, the optimum doping concentration of the floating gate to suppress the overerase problem and get the uniform V_t and gm has been found to range from $1.3 \times 10^{17}/\text{cm}^3$ to $1.3 \times 10^{18}/\text{cm}^3$ in the Flash EEPROM.

* 正會員, 忠北大學校 半導體工學科

(Dept. of Semiconductor engineering Chungbuk National University)

** 正會員, 忠北大學校 電子工學部

(Dept. of Electronic Engineering Chungbuk National University)

*** 正會員, 忠北大學校 電氣電子工學部

(School of Electrical Electronics Engineering Chungbuk National University)

※ 본 연구는 1997년도 교육부 학술연구조성비(반도체 97-E-1048)에 의하여 연구되었음.

接受日字: 1999年3月22日, 수정완료일: 1999年10月14日

I. 서 론

Stacked-gate Flash EEPROM 셀의 프로그램은 채널 열전자 주입에 의해 수행되고, 데이터 소거는 제어 게이트를 접지하고 소스에 높은 양전압을 인가하여 부유 게이트에 축적된 전자가 Fowler-Nordheim(FN) 터널링 현상에 의해 소스로 방출되도록 하여 수행되고 있다^[1]. 이 때, 프로그램은 각 메모리 셀에 대하여 독립적으로 수행되고 있으나, 데이터 소거는 칩 전체^[1]나 또는 칩의 한 블록^[2]에 속해 있는 모든 셀들에 대해서 일괄적으로 수행되고 있다. 이러한 FN 터널링에 의한 데이터 소거는 self-limited 공정이 아니기 때문에, 각 셀의 FN 터널링 특성이 다를 경우에 각 셀의 데이터 소거 특성이 서로 다를 수 있으며, 따라서 소거 후의 각 셀의 문턱 전압이 서로 크게 다를 수 있다. 실제적으로 Flash EEPROM에서 소거 후의 문턱 전압의 분포가 상당히 넓고, 소스 쪽의 게이트 산화막 내에 포획된 hot hole들로 인하여 FN 터널링 전류가 크게 증가하고 따라서 데이터 소거시 심하게 과소거 되는 현상이 많이 보고되었다.^[3]

본 논문에서는 이러한 Flash EEPROM의 과소거 문제를 해결하기 위하여 부유게이트의 도핑 농도를 크게 낮추는 방안에 대해 연구하였다. 일반적으로 Flash EEPROM의 경우는 부유게이트의 도핑 농도는 기존의 MOSFET의 다결정실리콘 게이트의 도핑 농도와 마찬가지로 포화 농도, 즉 $3 \times 10^{20}/\text{cm}^3$ 까지 만들었다. 그러나, 만일 Flash EEPROM에서 부유게이트의 도핑 농도를 기존의 경우보다 크게 낮추면 ($10^{19}/\text{cm}^3$ 이하), 과소거시 소스에 인가되는 전압에 의하여 부유게이트의 공핍층이 확산되고 이로 인해 부유게이트에서 소스로의 전자의 FN 터널링 전류값이 지수 함수적으로 낮아지게 되어 자동적으로 소거가 멈추게 될 것으로 판단되었기 때문이다.

II. 실험 과정

Flash EEPROM에서 부유게이트의 도핑 농도가 Flash EEPROM 소자의 전기적인 특성에 어떠한 영향을 미치는가를 연구하기 위하여 다결정실리콘 게이트의 도핑 농도가 서로 다른 NMOS와 MOS 커패시터를

설계 제작하고 전기적인 특성들을 측정하였다. 공정 순서를 간략히 살펴보면, 먼저, (100) p-type 실리콘 웨이퍼($10\Omega\text{-cm}$)를 사용하여 기본적인 LOCOS isolation 공정을 수행한 후, 건산화 공정을 사용하여 약 10nm 두께의 게이트 산화막을 길렀다. 그런 다음, 약 150nm 두께의 다결정실리콘 막을 620°C 에서 LPCVD에 의해 증착하였으며, P(인)를 30 keV의 에너지로 이온 주입하여 도핑하였다. 이 때 주입 농도는 $10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ 로 다양했다. 금속 박막 공정이 끝난 후에는 400°C 에서 약 30분 동안 N_2/H_2 alloy 공정을 실시하였다.

테스트 칩의 제작이 끝난 후에는 먼저 다결정실리콘 게이트(Flash EEPROM의 부유게이트에 해당됨)의 도핑 농도가 NMOS의 소자 특성에 미치는 영향을 분석하기 위하여 반도체 소자의 파라메타 분석기의 일종인 HP 4156A를 사용하여 NMOS 소자들의 여러 가지 전기적인 특성들을 측정하였고, 다음으로 다결정실리콘 게이트의 도핑 농도가 게이트 산화막의 신뢰성에 미치는 영향을 분석하기 위하여 MOS 커패시터를 사용하여 FN 터널링 전류 특성을 측정하였다. 마지막으로, 앞서서의 모든 측정 및 분석 결과들을 토대로 하여서 NMOS의 전기적인 특성을 심각하게 열화시키지 않는 한도 내에서 Flash EEPROM 셀의 과소거 문제를 최대한 방지할 수 있는 게이트 다결정실리콘의 최적 도핑 농도를 도출하였다.

III. 게이트의 도핑 농도에 따른 NMOS의 특성

여기서는, 다결정실리콘 게이트(Flash EEPROM의 부유게이트에 해당)의 도핑 농도가 NMOS(Flash EEPROM에 해당)의 소자 특성과 게이트 산화막의 신뢰성에 미치는 영향을 측정하고 그 결과들을 분석하였다.

먼저, Flash EEPROM에서 부유게이트의 도핑 농도가 낮을 경우 정상적인 동작이 가능한지를 알아보기 위하여 n^+ 게이트의 도핑 농도가 서로 다른 NMOS의 전류-전압 특성을 측정하였다. 그림 1은 n^+ 게이트 다결정실리콘 이온 주입시의 농도가 $10^{13}/\text{cm}^2$ 인 NMOS의 전류-전압 특성을 보여주고 있다. 여기에서 볼 수 있듯이, n^+ 게이트 다결정실리콘 이온 주입시의 농도가 n^+ 게이트 다결정실리콘의 도핑 농도가 $10^{13}/\text{cm}^2$ 까지

낮은 경우에도 소자의 전류-전압 특성이 거의 열화되지 않았음을 볼 수 있다.

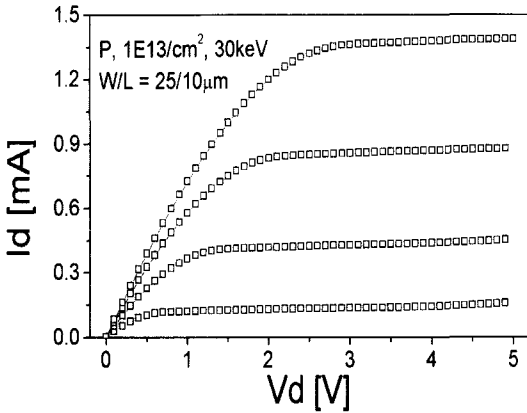


그림 1. NMOS의 전류-전압 특성. 게이트 다결정실리콘의 이온주입농도 : 1E13/cm²

Fig. 1. I-V characteristics of NMOS. The ion implantation dose of the gate polysilicon : 1E13/cm².

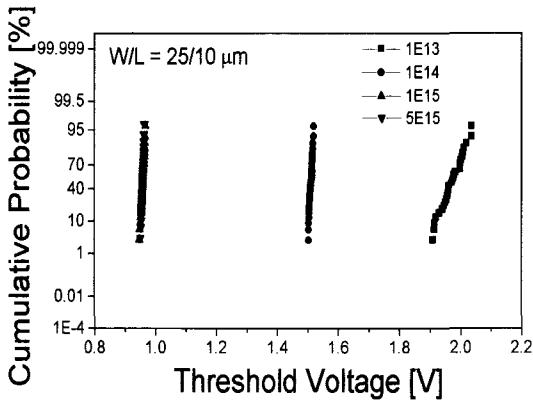


그림 2. n⁺ 게이트 다결정실리콘 이온 주입시의 dose 양에 따른 NMOS 문턱 전압(V_t)의 분포도

Fig. 2. Distribution of the threshold voltages of the NMOS's as a function of the implant dose for the gate polysilicon.

다음으로 NMOS의 중요한 소자 특성 파라미터 중의 하나인 문턱 전압 V_t가 게이트 다결정실리콘의 도핑 농도에 따라서 어떻게 달라지는가를 알아보기 위해 한 웨이퍼 상의 여러 영역에서 균등하게 선택된 30 개 소자들의 V_t를 측정하였다(그림 2). 여기에서 볼 수 있듯이 n⁺ 게이트 다결정실리콘 이온 주입시의 dose가 10¹⁵/cm² 또는 5×10¹⁵/cm²인 소자들의 V_t는 dose의 크

기에 관계없이 모두 0.95 ± 0.05V로 아주 균일도가 높았다. 반면에 10¹⁴/cm²로 이온 주입한 소자들의 V_t는 균일도 측면에서는 앞의 경우와 같이 아주 뛰어났으나 V_t의 평균치가 약 0.56V 증가한 1.51V로 나타났다. 또한, 10¹³/cm²로 이온 주입한 소자들의 V_t는 평균적으로 약 2V로 증가하였고, V_t 값의 변동폭도 증가하였다.

n⁺ 게이트 다결정실리콘 이온 주입시의 dose가 낮아짐에 따라 V_t의 값이 증가하는 주원인으로 2 가지를 고려한다면, 첫째는 게이트 다결정실리콘의 도핑 농도의 저하로 인한 게이트 다결정실리콘의 일함수(work function)의 증가이고, 둘째로 V_t 측정시에 게이트 산화막과 인접한 게이트 다결정실리콘 영역에서의 공핍층의 형성으로 인한 게이트 산화막의 유효 두께의 증가이다. 하지만, 계산에 의하면 게이트 다결정실리콘의 일함수의 증가로 인한 V_t의 증가는 무시할 정도로(약 0.06V) 작으므로 V_t 증가는 주로 둘째 원인 때문인 것으로 판단된다. 10¹⁴/cm²로 이온 주입한 소자들의 경우에 V_t가 0.56V 증가하였으므로 이로부터 게이트 산화막의 유효 두께를 계산하면 약 114.6Å이 산출된다. 즉, 게이트 산화막의 유효 두께가 약 12Å 증가했으며(순수한 게이트 산화막의 두께 = 102.7Å), 이는 V_t 측정시 n⁺ 게이트 다결정실리콘의 공핍층의 폭이 약 36Å 임을 나타내고 있다. 이와 같은 방식으로 10¹³/cm²로 이온 주입한 소자들의 경우에서의 산화막의 유효 두께와 공핍층의 폭을 각각 계산하면 그 값은 각각 159Å, 171Å이다.

다른 한편으로, 10¹³/cm²로 이온 주입한 소자들의 경우에는 V_t의 변동폭이 앞의 세 소자들의 경우보다 크게 나타나고 있다. 이와 같이 V_t의 변동폭이 큰 이유는 n⁺ 게이트 다결정실리콘의 도핑 농도의 변동폭이 비교적 크고, 따라서 n⁺ 게이트 다결정실리콘에 형성되는 공핍층의 변동폭이 크기 때문일 것으로 판단된다. 앞에서 설명한 바와 같이 n⁺ 게이트 다결정실리콘에는 P(인)가 이온 주입되었다. 이 P 불순물은 다결정실리콘의 grain boundary와 게이트 다결정실리콘과 게이트 산화막의 계면에 segregation 하는 경향이 아주 강하다. 따라서, n⁺ 게이트 다결정실리콘에 도핑된 상당량의 P 원자들이 segregation으로 인하여 다결정실리콘 grain 밖으로 유출된 것으로 판단된다. 물론 n⁺ 게이트 다결정실리콘의 도핑 농도가 높은 경우에는 이렇게 유출되는 P의 양은 무시될 수 있지만 10¹³/cm²로 이온 주입한

소자들의 경우에는 n^+ 게이트 다결정실리콘의 도핑 농도가 낮기 때문에 segregation으로 인한 P의 손실이 n^+ 게이트 다결정실리콘의 도핑 농도에 심각한 영향을 미칠 것으로 판단된다. 전에 발표된 논문^[4]에 따르면, 이 소자의 n^+ 게이트 다결정실리콘의 경우와 같이 다결정실리콘의 도핑 농도가 약 $6.7 \times 10^{17}/\text{cm}^3$ 일 때는 segregation으로 인하여 손실되는 P의 양이 약 80%에 이르고 있다. 따라서 이 소자의 n^+ 게이트 다결정실리콘의 실제 도핑 농도는 $1.3 \times 10^{17}/\text{cm}^3$ 정도인 것으로 판단된다. 한편으로, 이러한 segregation 현상은 외부적인 요인들, 예를 들면 다결정실리콘 grain의 크기 및 구조, 다결정실리콘과 게이트 산화막의 계면 상태, 게이트 다결정실리콘에 이온 주입 후의 열처리 공정 등에 따라서 민감하게 영향을 받는다^[4]. 따라서 n^+ 게이트 다결정실리콘에서 segregation으로 인하여 손실되는 P의 양이 각 소자마다 서로 다를 수가 있다. 이것으로 왜 이 소자들의 V_t 변동폭이 앞의 세 소자들의 것보다 큰가가 어느 정도 설명될 수 있다.

NMOS에서 게이트 다결정실리콘의 도핑 농도에 따른 V_t 의 변화와 똑같은 경향이 gm의 측정에서도 나타나고 있다 (그림 3). 여기에서도 V_t 측정시의 방법과 마찬가지로 한 웨이퍼 상의 여러 영역에서 균등하게 선택된 30개 소자들의 gm을 측정하였다.

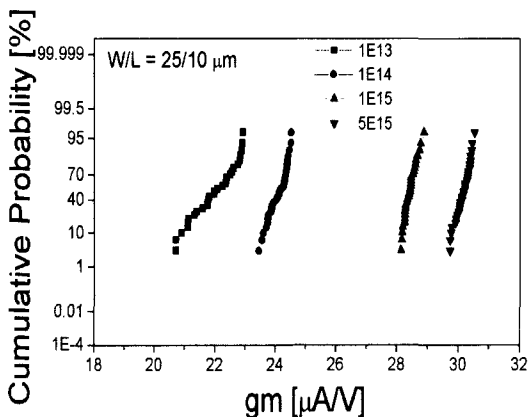


그림 3. n^+ 게이트 다결정실리콘 이온 주입시의 dose 양에 따른 NMOS의 gm의 분포도

Fig. 3. Distribution of the transconductances of the NMOS's as a function of the implant dose for the gate polysilicon.

그림 3에서 볼 수 있는 바와 같이, n^+ 게이트 다결정실리콘 이온 주입시의 dose 양이 작을수록 gm의 값이

감소하는데 이는 dose양이 작은 경우에는 게이트 다결정실리콘에 공핍층이 형성되어 게이트 산화막의 유효 두께가 증가하고 따라서 게이트 산화막 정전 용량(Cox)의 값이 감소하기 때문인 것으로 사료된다. 잘 알다시피 gm 값이 변동폭이 증가하는 이유는 V_t 의 경우에서와 마찬가지로 segregation으로 인하여 손실되는 P 불순물의 양의 불균일성 때문일 것으로 판단된다.

반일, n^+ 게이트 다결정실리콘 이온 주입시의 dose양이 낮은 소자의 경우에 게이트 다결정실리콘에 공핍층이 형성된다고 한다면 이로 인하여 그 소자의 subthreshold의 특성도 크게 열화될 것이 틀림없다. 따라서 우리는 앞에서와 마찬가지로 한 웨이퍼 상의 여러 영역에서 균등하게 선택된 30 개의 소자들의 subthreshold slope를 측정하였다 (그림 4). 예측한 바와 같이, n^+ 게이트 다결정실리콘 이온 주입시의 dose 양이 작을수록 subthreshold slope(S)의 값이 크게 증가하는 것을 볼 수 있다.

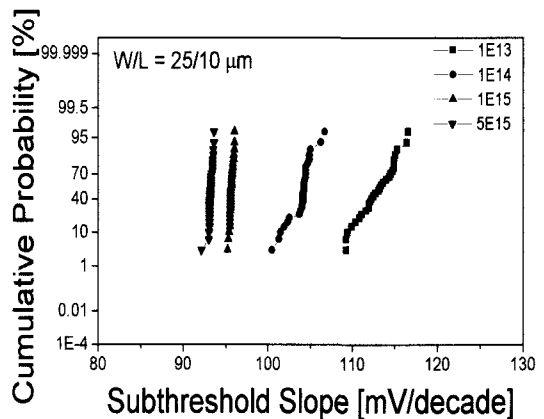


그림 4. n^+ 게이트 다결정실리콘 이온 주입시의 dose 양에 따른 NMOS subthreshold slope의 분포도

Fig. 4. Distribution of the subthreshold slopes of the NMOS's as a function of the implant dose for the gate polysilicon.

IV. MOS 커패시터의 FN 터널링 전류

여기서는 Flash EEPROM에서 부유게이트의 도핑 농도를 낮추었을 경우에 부유게이트에 저장된 데이터를 소거할 경우의 특성, 즉 소거 특성이 어떻게 영향을 받는가를 살펴보고자 한다. 잘 알려져 있듯이, Flash

EEPROM에서 데이터를 소거하는 경우는 제어 게이트와 기판을 접지하고 드레인인 floating 시킨 후에 소스에 대략 12~13V의 높은 전압을 인가하여 FN 터널링에 의해서 부유게이트에 있는 전자들이 소스로 방출되도록 하고 있다. 따라서 우리는 먼저 부유게이트와 소스 커패시터와 구조가 똑같은 n-type 기판 위에 게이트 산화막을 기른 후 그 위에 n⁺ 다결정실리콘을 증착시켜 MOS 커패시터를 만든 후에 MOS 커패시터에서의 FN 터널링 전류 특성을 측정하였다 (그림 5).

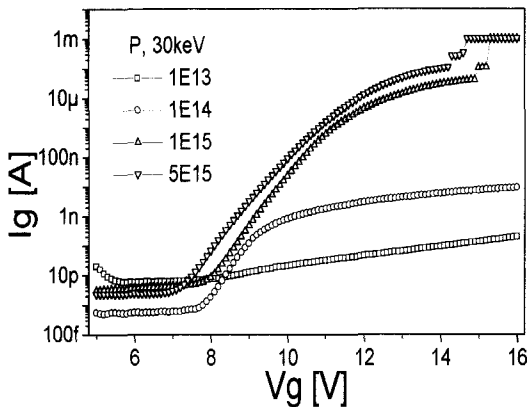


그림 5. 17,750 μm²의 면적을 갖고 있는 MOS 커패시터의 FN 터널링 전류 특성
 Fig. 5. FN tunneling current characteristics of a MOS capacitor with the area of 17,750 μm².

그림 5의 결과는 Flash EEPROM에서 부유게이트의 농도를 알맞게 낮추면 Flash EEPROM의 과소거 문제를 근원적으로 해결할 수 있음을 간접적으로 보여주고 있다. 그림 5의 결과로부터, MOS 커패시터의 게이트 다결정실리콘의 이온 주입 dose가 10¹⁵/cm² 이상인 경우에는 FN 터널링 전류 특성이 일반적으로 논문에서 보고되고 있는 것과 같다는 것을 보여주고 있다. 하지만 게이트 다결정실리콘의 이온 주입 dose가 10¹⁴/cm² 이하로 감소하는 경우에는 FN 터널링 전류의 크기가 급격하게 감소하고 있다. 이러한 FN 터널링 전류의 급격한 감소는 전류 측정시 게이트 다결정실리콘에서의 공핍층의 형성으로 인하여 터널링 산화막의 두께가 증가하였기 때문일 것이다.

V. 실험 결과에 대한 토의

앞 장에서 우리는 다결정실리콘 게이트의 도핑 농도

가 NMOS의 소거 특성에 미치는 영향을 연구하기 위하여 다각적인 측면에서 측정하고 그 결과를 분석하였다. 앞에서 이미 언급하였지만, 물론 여기서 다결정실리콘 게이트는 부유게이트를, NMOS는 Flash EEPROM 소자를 대신하고 있는 것이다. 따라서 지금까지 측정하고 분석한 결과들을 요약하면 다음과 같다.

첫째, 게이트 다결정실리콘 이온 주입의 dose가 10¹³/cm²인 경우에 NMOS의 전류-전압 특성에는 큰 영향이 없었다. 게이트 다결정실리콘 이온 주입 dose가 10¹³/cm² 이하인 경우에는 segregation으로 인한 다결정실리콘 게이트의 불순물의 손실량이 소자들에 따라서 일정치 않음으로 인하여 소자들 사이의 Vt 변동폭이 컸으며, 또한 subthreshold 특성이 크게 열화되었다.

둘째, 게이트 다결정실리콘 이온 주입의 dose가 10¹⁴/cm² 이하인 경우에는 게이트 다결정실리콘에 공핍층이 형성됨으로 인하여 게이트 산화막의 유효 두께가 증가하게 되고 따라서 NMOS의 Vt의 증가 및 gm의 감소가 발생하였다. 또한 게이트 산화막의 유효두께의 증가와 함께 게이트 다결정실리콘과 기판 사이의 FN 터널링 전류가 급격하게 감소하였다.

이러한 결과로부터 Flash EEPROM의 부유게이트의 도핑 농도가 1.3×10¹⁷/cm³ (게이트 다결정실리콘 이온 주입 dose가 10¹³/cm²인 경우에 해당) 이하인 경우에는 Flash EEPROM 소자 특성의 열화로 인하여 바람직하지 않음을 알 수 있다.

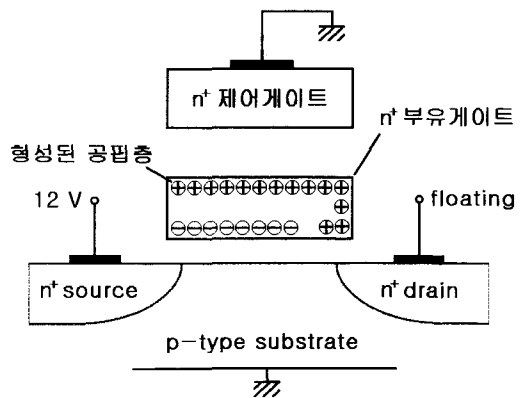


그림 6. 소거 후 부유게이트에 공핍층이 형성된 경우의 Flash EEPROM의 단면도
 Fig. 6. Cross-sectional view of the Flash EEPROM in the case that the depletion layer forms in the floating gate after the erase.

그렇다면 Flash EEPROM의 최적의 부유게이트의 도핑 농도는 얼마일 것인가? 이를 위하여는 소거 시 부유게이트에 공핍층이 형성될 수 있도록 부유게이트의 도핑 농도가 충분히 낮아야 하며, 또한 농도가 너무 낮음으로 인해 소자의 열화가 발생하지 않도록 해야 한다. 만일 부유게이트의 도핑 농도가 충분히 낮다면 소거 시 부유게이트로 주입된 전자들이 모두 방출되고 나면 그림 6에서 볼 수 있는 바와 같이 부유게이트의 위 쪽 (즉, 제어 게이트 방향 쪽)에 공핍층이 형성되고 이는 제어 게이트와 부유게이트 사이의 capacitance 값이 크게 감소하도록 한다.

이러한 현상은 크게 소거 동작에 영향을 미친다. Flash EEPROM 소자의 잘 알려진 정전용량 증가회로가 그림 7에 나타나 있다. 데이터 소거 시에는 그림 6에서 볼 수 있는 바와 같이, 소스와 기판은 접지시키고 드레인만 부유 상태로 두고 소스에 12-13V의 높은 전압을 인가한다. 이러한 경우에 소스와 부유게이트 사이에 인가되는 전압 VS-FG는 다음의 식으로 표현된다.

$$V_{S-FG} = \frac{C_{sub} + C_{pp}}{C_s + C_{sub} + C_{pp}} \times V_s \quad (1)$$

여기서, C_{pp} 는 제어게이트와 부유게이트 사이의 정전용량이고, C_s, C_{sub}, C_d 는 부유게이트와 소스, 기판, 드레인 사이의 정전용량이다. 위의 식 (1)으로부터 알 수 있듯이 그림 6에서와 같이 부유게이트의 상층부에 공핍층이 형성되면 C_{pp} 의 값이 크게 떨어져 부유게이트와 소스 사이에 인가되는 전압이 크게 감소하게 되고 결국 소거 동작은 스스로 멈추게 될 것이다. 이러한 현상이 발생하면 Flash EEPROM에서의 과소거 문제는 근본적으로 해결될 수가 있을 것으로 사료된다.

앞의 실험 결과로부터 부유게이트에 공핍층이 형성되기 위해서는 부유게이트의 도핑 농도는 $1.3 \times 10^{18}/\text{cm}^3$ (게이트 다결정실리콘 이온 주입 dose가 $10^{14}/\text{cm}^2$ 인 경우에 해당)이하이어야 함을 알 수 있다. 한편으로, 부유게이트의 도핑 농도가 지나치게 낮음으로 인하여 Flash EEPROM 소자의 특성들이 열화되는 것을 방지하기 위해서는 부유게이트의 도핑 농도는 $1.3 \times 10^{17}/\text{cm}^3$ 이상이어야만 함을 앞의 실험에서 알 수 있다. 따라서 결론적으로 Flash EEPROM에서 과소거 현상을 방지하기 위한 최적의 부유게이트의 도핑 농도는

$1.3 \times 10^{17}/\text{cm}^3 \sim 1.3 \times 10^{18}/\text{cm}^3$ 이라는 결론을 얻을 수 있었다. 이러한 최적 농도는 공정상에서 안정적으로 얻을 수 있다. 알다시피 이온 주입시의 도핑 농도의 변동폭은 $\pm 3\%$ 에 불과하기 때문이다. 물론 segregation으로 인한 불순물의 손실량을 정확하게 정량적으로 산출하는 기술을 확보하는 것도 필요할 것이다.

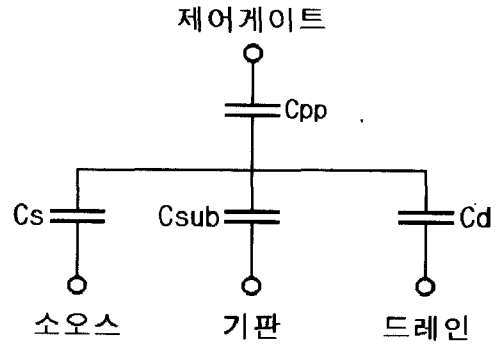


그림 7. Flash EEPROM의 정전용량 증가회로
Fig. 7. Capacitive equivalent circuit of Flash EEPROM.

VI. 결 론

지금까지 연구한 결과에 따르면 부유게이트의 도핑 농도를 낮추어 과소거가 발생하려고 할 때 부유게이트에 공핍층이 형성되어 부유게이트와 소스 사이에 인가되는 전압이 자동적으로 낮아지도록 한다면 과소거 현상이 자동적으로 방지될 수 있다는 사실을 발견하였다. 이러한 공핍층이 형성되기 위해서는 부유게이트의 도핑 농도가 대략 $1.3 \times 10^{18}/\text{cm}^3$ 이하이어야만 한다. 반면에 부유게이트의 도핑 농도가 $1.3 \times 10^{17}/\text{cm}^3$ 이하가 되면 Flash EEPROM 소자의 전기적인 특성이 크게 열화되기 때문에 바람직하지 않다. 따라서, 과소거 방지를 위한 부유게이트의 최적 도핑 농도는 $1.3 \times 10^{17}/\text{cm}^3 \sim 1.3 \times 10^{18}/\text{cm}^3$ 의 범위일 것으로 판단된다.

참 고 문 헌

- [1] G. Verma and N. Mielke, "Reliability Performance of ETOX Flash Memories", International Reliability Physics Proceedings,

pp. 158-166, 1998.

- [2] H. Kune, et. al., "A 1.28 μm^2 Contactless Memory Cell Technology for a 3 V-only 64 Mbit EEPROM," International Electron Devices Meeting, Digest of Technical Papers, p. 992, 1992.

[3] 황현상, 박근형 공역, "플래시 메모리 기술", 지성출판사, 1995.

- [4] M. Madurah, K. Saraswat, C. Helms, and T. Kamins, "Dopant Segregation in Polycrystalline Silicon", Journal of Applied Physics, 51(11), p. 5755, 1980.

저 자 소 개

李 在 浩(正會員)

1975년생. 1997년 2월 충북대학교 반도체과학과 졸업(학사). 1999년 2월 충북대학교 반도체공학과 졸업(석사)

朴 根 亨(正會員)

1954년생. 1984년 한양대학교 전기공학과 졸업(학사). 1987년 University of Michigan(Ann Arbor) 전기공학과 졸업(석사). 1992년 University of Texas at Austin 전기공학과 졸업(박사). 1992~1993년 미국 Cypress Semiconductor에서 Senior Technology Engineer. 1993년~1994년 LG 반도체의 중앙연구소에서 책임연구원으로서 Flash EEPROM개발. 현재 충북대학교 공과대학 전기전자공학부 조교수, 약 20여편의 기술논문 발표. 주 관심분야는 Flash EEPROM과 FRAM의 공정 및 셀 개발과 초박막 유전체의 신뢰성 향상 등임

申 奉 祚(正會員)

현재, 현대반도체 책임 연구원. 충북대학교 전자공학과 박사 과정

李 載 鳳(正會員)

1945년생. 1968년 동국대학교 물리학과 졸업(학사). 1971년 부산대학교 물리학과 졸업(석사). 1982년 2월 부산대학교 물리학과 졸업(박사). 1968년~1971년 유공 연구원. 1971년~1979년 부산대학교 교수. 1979년~현재 충북대학교 공과대학 전기전자공학부 교수. 주 관심 분야는 양자전자학 및 반도체 물리학 등임