

論文99-36D-10-4

전자선 석판 기술에서 디지털링과 노광후굽기 최적화를 통한 40 nm 급 패턴 제작에 관한 연구

(Study on 40 nm Electron Beam Patterning by Optimization of Digitizing Method and Post Exposure Bake)

韓 相 然 , 申 炯 澈 , 李 貴 魯

(Sang-Yeon Han, Hyung-Cheol Shin, and Kwy-Ro Lee)

요 약

본 논문에서는 전자선 직접 묘화 시스템을 이용하여 50 nm 이하의 패턴 폭을 가지는 패턴링 결과를 얻기 위한 실험을 수행하였다. SAL601 negative E-beam PR(Photo Resist)를 이용하여 실험을 진행하였고, E-beam 장비의 특성을 최대한으로 이용하기 위해서 PR의 두께를 100 nm로 줄이고, field 크기를 200 μm 로 줄여 실험하였으며, 또한 SAL601 PR의 경우 작은 선폭을 얻기 위해 중요한 요인 중에 하나인 PEB (Post Expose Bake) 온도와 시간을 줄이면서 실험을 진행하였다. 여기에 디지털링 방식의 최적화를 통하여 50 nm 이하의 패턴 폭을 가지는 단선 패턴링 결과를 얻었다. 이 공정을 이용하여 단전자 메모리 소자에 응용 가능한 50 nm 급의 silicon 양자선과 silicon 양자점을 제작하였다. 이는 현재 많이 연구되고 있는 단전자 기억 소자 및 극소 채널 MOS소자 제작에 유용할 것이다.

Abstract

We experimented on the sub 50 nm patterning using E beam lithography system. SAL601 negative E-beam resist was used for this experiment. In order to utilize the maximum ability of E-beam system, firstly, we reduced the PR thickness to 100 nm, and the field size to 200 μm . Then PEB(Post Expose Bake) time/temperature, which is one of the very important factors when SAL601 is used, were reduced for minimum line width. In addition, digitizing is optimized for better results. Quantum wire and quantum dot which can be used for nano-scale memory device, such as single electron memory device, are fabricated using these developed lithography techniques.

Keywords : E-beam, SAL601, Field 크기, PEB, digitizing 최적화, 양자선, 양자점

* 正會員, 韓國科學技術院 電氣 및 電子工學科

(Dept. of Electrical Engineering, Korea Advanced Institute of Science and Technology)

※ 본 연구는 과학 재단 목적 기초 연구(과제번호 95-0100-0201-3)의 지원하에 수행되었다. 본 연구를 진행하는데 있어 많은 도움을 준 박 태준씨와 김 본기씨에게 감사를 드립니다.

接受日字:1999年3月15日, 수정완료일:1999年9月27日

I. 서 론

집적회로 기술의 발달로 소자의 크기가 점점 작아지고 있다. 특히, 초 고집적도를 요구하는 메모리 분야를 중심으로 최소 선폭의 크기가 더욱 작아지고 있는데, 최근 SIA(Semiconductor Industry Association) road map에 의하면 2012년에는 0.05 μm 의 설계 규칙을 가지는 메모리가 개발될 것으로 예상되고 있다.^[1] 따라서, 미세 패턴의 형성 기술은 반도체 고집적화에 반드시

실행되어야 할 기술인 것이다.

기존의 광학 리소그래피는 0.1~0.2 μm 정도가 그 한계라고 생각되어지며, 이 보다 더 작은 패턴을 형성할 수 있는 기술로는 현재 X-ray 리소그래피 기술과 전자선 리소그래피 기술이 있으나 X-ray 기술은 마스크 제작이 너무 어렵기 때문에 아직 실용화 단계에 이르지 못한 상태이다. 이에 반하여 전자선 리소그래피 기술은 특히 R&D를 중심으로 널리 쓰여져 왔으나 생산성이 작아서 양산에 적용하기 어려운 문제가 있다.^[2] 그럼에도 불구하고, 전자선 리소그래피 기술은 포토 마스크의 제작과 차세대 소자의 연구라는 두 가지 측면에서 매우 큰 의미를 가진다.

현재 상업적으로 유용한 negative type 전자선 레지스트 중에서, SAL601은 전자 선에 대한 민감도가 좋고 해상도가 좋아서 많이 사용되어 왔다.^[3] 지금까지 이 전자선 레지스트는 0.1 μm 이하급의 CMOS소자를 만들거나 나노 구조의 메모리 소자 제작 및 단전자 터널링 특성을 관찰하기 위한 SOI 양자 소자 제작 등에 활용되어 왔다.^[4-7] 차세대 소자의 연구라는 측면에서 E-beam patterning의 중요성을 살펴보았을 때, 이 레지스트는 0.1 μm 급의 pattern fabrication에 유망한 레지스트인 것이다.

SAL601 negative E-beam resist를 이용하여 20 nm 급의 단선 패턴을 수행한 것이 발표된 바 있으나, 이의 경우는 PR의 두께가 매우 얇아서 실제 소자 제작공정에 응용하기 어려운 수준이다.^[8]

이 논문에서는 SAL601 PR을 이용하여 응용 가능한 50 nm이하급의 패턴링 결과를 얻는데 주력하였다. 일본 Elionix사의 ELS-3300 모델을 이용하여 50 nm 이하급의 패턴링 실험에 대하여 언급할 것이다. 이를 위해 field 크기 조절, PEB(Post Expose Bake)시간및 온도 조절, 디지털링 방식 최적화, 그리고 PR 두께 최적화 방법 등을 적용하였다.

II. 전자선 직접 묘화 시스템

전자선 직접 묘화 시스템(E-beam direct writing system)은 전자선을 이용하여 원하는 형상을 기판위에 전이하는 시스템이다. 이전까지는 포토 마스크를 만드는 데 주로 사용이 되어 왔지만, 집속된 전자선(focused electron beam)을 스스로 사용하기 때문에 0.1 μm 이하

의 선폭을 그리는 것이 가능하게 된다. 이는 기존의 광학 리소그래피 기술의 한계점을 훨씬 뛰어 넘는 기술이 된다. 그림 1은 본 실험에 사용된 장비의 사진으로, 일본의 Elionix사 제품으로서 가속전압이 최대 30 kV까지 가능한 장비이다.



그림 1. 본 연구에 사용된 전자선 직접 묘화 시스템
Fig. 1. Elionix E-beam lithography system. (ELS-3300).

일반적으로, 0.1 μm 이하의 선폭을 얻기 위해서는 가능한 한 높은 가속 전압을 가지는 장비를 사용하는 것이 바람직하다. 가속 전압이 높을 수록 2차 산란현상이 줄게 되어서 좀더 작은 선폭의 패턴링 결과를 얻을 수 있게 되는 것이다. 본 실험에 사용된 장비를 살펴보면, 최대 가속 전압이 30 kV이기 때문에 원하는 50 nm 이하급의 선폭을 얻기 위해서는 장비가 가지고 있는 최대 능력을 이용해야만 가능하리라 생각된다. 이를 위해서는 장비의 사양을 잘 살펴볼 필요가 있다.

표 1. ELS-3300 전자선 직접 묘화 시스템의 주요 사양

Table 2. Main specifications of ELS-3300.

항 목	사 양
Acceleration voltage	1 to 30 kV(1 kV step)
Drawing method	Step & Repeat Vector Scanning
Minimum line width	0.1 μm (200 μm) 0.25 μm (500 μm)
Beam diameter	6 nm to 1 μm
Scanning Steps	20,000×20,000
Beam positioning	20,000×20,000 60,000×60,000

표 1은 본 장비가 가지는 주된 사양을 정리한 것이다.

가속전압은 1 kV에서 30 kV 까지 1 kV 간격으로 바꿀 수 있고, 2차원적으로 전자선을 움직일 수 있는 벡터 스캔방식을 사용할 수 있다. 대부분의 벡터 스캔 방식을 사용하는 장비가 그러하듯이 step & repeat방식으로 패턴을 주사하게 된다. 빔의 크기(Beam diameter)는 작게는 6 nm부터 크게는 1 μm 까지 조절이 가능하다. 이는 빔 전류(Beam current)를 바꿔 줌으로서 조절이 가능하게 된다. 즉, 빔 전류를 줄이면 빔 크기(diameter)가 줄게 되는 것이다. 이 장비를 이용해서 10 pA의 빔 전류를 흘리는 경우에는 8.3 nm의 빔 크기를 가지게 된다.^{[9][10]}

또 하나의 중요한 사양이 field 크기에 따른 최소 선폭의 사양이다. 500 μm field 시스템을 사용하는 경우와 200 μm field 시스템을 사용하는 두 가지 경우가 있을 수 있으며, 주어진 최소 선폭 사양이 각각 0.25 μm , 0.1 μm 이다. 이 사양의 의미는 최소로 패터닝할 수 있는 선폭이 앞과 같다는 의미로 받아들이기 보다는 같은 실험 상황에서 200 μm field 시스템을 사용하는 경우가 2.5배 작은 패턴을 얻을 수 있다는 뜻으로 받아들일 수 있다. 빔의 위치를 정하는 방식(Beam positioning)은 두 가지 시스템 중 한가지를 선택할 수 있도록 되어 있다. 즉, 하나의 field를 20,000 \times 20,000 개의 픽셀(pixel)로 나누는 20,000도트 시스템과 60,000 \times 60,000 개의 픽셀(pixel)로 나누는 60,000도트 시스템이 있어 이 중 한가지를 선택할 수 있는 것이다. 예를 들어, field 크기가 500 μm 이고 60,000도트 시스템을 선택한 경우에는 하나의 픽셀의 크기가 8.3 nm가 되고, 8.3 nm 해상도로 빔의 위치를 정교하게 정하게 되는 것이다. 유심히 봐야 할 또 하나의 사양이 스캔 간격(Scanning steps)이다. 이는 항상 20,000 \times 20,000스텝으로 정해져 있기 때문에, 60,000 \times 60,000 도트 시스템을 선택할 경우에는 빔 스캔 방향으로 3개의 픽셀마다 한번씩 주사(Expose) 하게 된다. 이를 3-도트 해상도(3-dot resolution)라 부른다.^[10]

살펴본 바와 같이 0.1 μm 보다 작은 패터닝 결과를 얻기 위해서는 여러 가지 사양들을 잘 이용하여야 할 것이다. 2차 산란 현상을 최소화 하기 위해서 최대 가속 전압을 사용했고, 좀더 나은 최소 선폭을 얻을 수 있기 위해서 200 μm field크기를 이용하였으며, 빔 크기도 가능한 한 작게 하였다. 또한 미세하고 정교한 빔 위치 조절이 미세 패턴을 얻는데 도움이 될 것이므로, 가능한 60,000도트 시스템을 사용하였다.^[9]

III. 실험

모든 실험에서 정교한 빔 위치 조정(Beam positioning)을 위해 60,000도트 시스템을 적용하였다. 먼저, 500 μm field 크기를 사용하는 경우와 200 μm field크기를 사용하는 경우에 대해 확실한 이해를 하기 위해서 그림 2를 그려 놓았다. 빔 전류가 10 pA로 정해져 있을 때의 빔 크기는 8.3 nm이고, 500 μm field의 경우는 픽셀의 크기가 8.3 nm 정도이므로 3-도트 해상도에 의해 그림 2(a)처럼 스캔하게 된다. 여기서, 빗금 친 부분은 빔이 주사되는 픽셀을 나타낸다. 단순화를 위해 빔을 네모로 표현하였다. 200 μm field를 사용하는 경우에는 픽셀의 크기가 3.3 nm 정도가 되는데, 3 도트 해상도에 의거하여 스캔 방식을 그림으로 표현해 본 것이 그림 2(b)이다. 500 μm field를 이용하는 경우보다 200 μm field를 이용하는 경우가 훨씬 더 밀도있게 빔을 주사하게 된다. 이는 SAL601을 이용하여 미세 패턴을 형성하는데 큰 도움을 주게 된다.

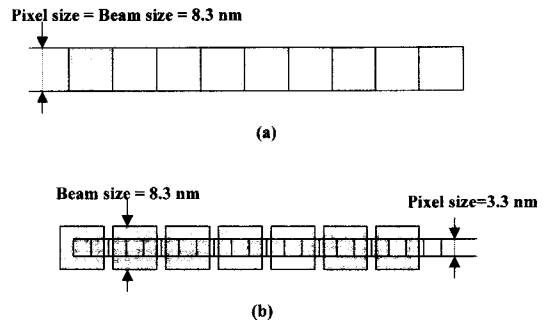


그림 2. 전자선 직접 묘화 시스템에서의 빔 주사 방식 (a) Field 크기가 500 μm \times 500 μm 일 경우의 주사 방식 (b) Field 크기가 200 μm \times 200 μm 일 경우의 주사 방식

Fig. 2. Scanning strategy in Elionix E-Beam lithography system. (a) Scanning strategy in case of 500 μm field size is used. (b) Scanning strategy in case of 200 μm field size is used.

3-도트 해상도를 이용하기 위해서는 digitizing 방식도 최적화가 되어야 한다. 즉, 그림 3에 나와 있는 바와 같이 기존의 방식대로 digitizing을 할 경우에는 그림 3(a)처럼 일정한 위치에 정렬되어 빔을 주사하게 된다. 그러나, 한 픽셀크기의 너비를 가지는 선을 그림 3(b)나 그림 3(c)에서처럼 스캔 방향으로 한 픽셀씩 평행이

동 시켜 늘어 놓는 경우에는 콜고루 빔이 주사되기 때문에 좀더 낮은 주사 시간에 대해서도 기존에 얻었던 결과를 얻을 수 있을 것으로 예상할 수 있다. 이러한 방식으로 digitizing된 패턴을 이용하여 500 μm field에서 실험을 해 본 결과가 그림 4에 나타나 있다. 0.1 μm 크기의 패턴을 얻기 위한 주사 시간이 새로운 digitizing 방식을 이용하여 패턴닝을 한 경우가 기존의 digitizing 방식을 이용하여 패턴닝한 경우보다 훨씬 적게 나타나는 것을 확인하였다. 새로운 digitizing의 경우는 1.5 Msec/pixel에서 그 결과를 얻었고, 기존의 digitizing의 경우는 3.0 Msec/pixel에서 그 결과를 얻었다. 즉, 새로운 digitizing 방식을 사용한다는 것은 같은 주사 시간에 대해서 PEB 시간 및 온도를 줄일 수 있는 가능성이 생긴다는 것을 의미한다. PR의 두께를 줄이고 이 digitizing 방식을 사용하면 0.1 μm 이하의 패턴을 얻을 수 있다는 결론을 내릴 수 있다.

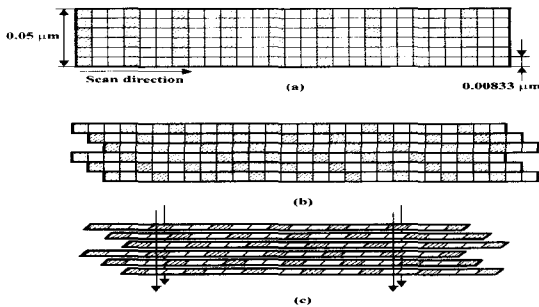


그림 3. 전자선 직접 묘화 방식을 이용하여 패턴닝을 하고자 할 때 사용하는 digitizing 방식. 빔급을 친 부분은 전자빔을 맞는 부분을 표시한 것이다. (a) 0.1 μm 넓이를 가지는 digitizing을 그리는 경우(기존의 0.1 μm 패턴닝을 위해 사용하던 방식) (b) 1 pixel 넓이를 가지는 line을 1 pixel 만큼 scan 방향으로 평행이동 시켜 늘어놓는 경우 (c) (b)와 같이 하되 6개의 층으로 쌓아놓은 경우

Fig. 3. Digitizing method for E-Beam direct writing. Dashed area indicates the E-beam exposed area. (a) Conventional digitizing for 0.1 mm E-beam patterning. This digitizing has a width of 0.1 μm . (b) New digitizing method for 0.1 μm patterning. 6 lines which has one-pixel width located side by side but each line is shifted by one pixel to the scan direction. (c) New digitizing method that each one-pixel layers are piled up.

그림 5는 MICROPOSIT Thinner를 이용하여 SAL601-

SR7 E-beam PR을 1:1의 비율로 희석한 후, spinner의 회전속도에 따른 발려진 PR의 두께를 측정할 결과이다. 2차 산란의 양을 줄일 수 있어야 패턴닝의 결과도 작아질 수 있기 때문에 PR의 두께를 줄이는 것이 바람직하다. Cl2를 이용하여 실리콘을 RIE(Reactive Ion Etching)하는 경우, PR과 실리콘 사이의 식각 선택비가 1:1정도이므로, 그림 5에서 보는 바와 같이 0.15 μm 정도의 두께를 가지면 0.15 μm 정도의 실리콘을 식각할 수 있다. 그러므로, 0.15 μm 두께의 PR을 이용하여 조건을 잡으면 충분히 소자 제작등에 응용할 수 있을 것으로 생각된다.



그림 4. 그림 3의 디지털링 방법을 사용하여 500 nm 두께의 PR을 사용하여 500 μm field 크기에서 실험해 본 결과. 실험조건은 dose =1.5 Msec/pixel, soft bake = 85 $^{\circ}\text{C}$, 150 sec. PEB=100 $^{\circ}\text{C}$, 150 sec. (a) 그림 3의 (a) 방식을 사용한 결과 patterning이 되지 않았다. (b) 그림 3의 (b)방식을 사용한 결과 (c) 그림 3의 (c)방식을 사용한 결과. (b),(c)의 경우는 0.1 μm 의 결과가 나왔으나 (a)의 경우는 전혀 패턴닝이 되지 않았다

Fig. 4. Experimental results when digitizing methods described in Fig.3 were applied to 500 nm-thick PR in 500 μm field size. The conditions were as follows : dose =1.5 Msec/pixel, soft bake = 85 $^{\circ}\text{C}$, 150 sec. PEB=100 $^{\circ}\text{C}$, 150 sec. (a) experimental result when digitizing method (a) in Fig.3 was used. (b) experimental result when digitizing method (b) in Fig.3 was used. (c) experimental result when digitizing method (c) in Fig.3 was used. The method (a) didn't result in a reasonable patterning result, but (b) and (c) showed a 0.1 μm result.

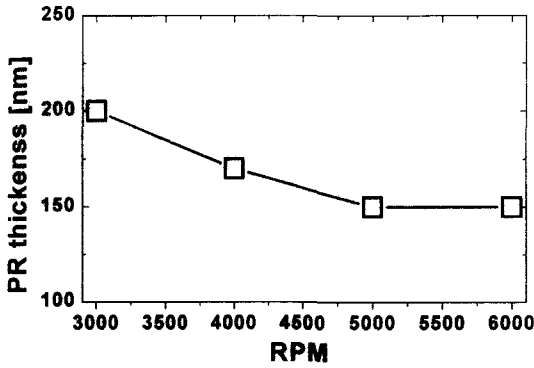


그림 5. SAL601 negative EBR을 MICROPOSIT thinner를 이용하여 1:1로 thinning 한 후 spin coating 속도에 따른 PR의 두께

Fig. 5. Spin coating RPM vs. SAL601 PR thickness thinned by the MIROPOSIT thinner to the ratio of 1 by 1.

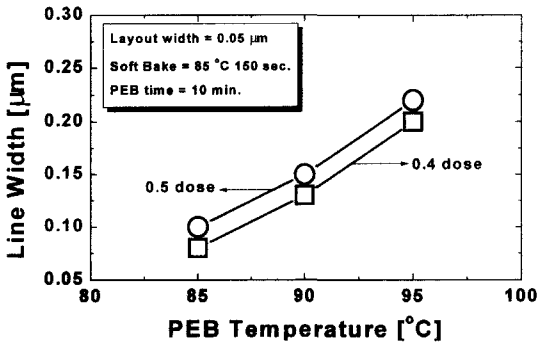


그림 6. PEB 온도에 따른 패터닝 결과 사이의 관계 그래프. 감광 시간과 PEB시간이 정해진 상태에서 PEB온도가 떨어지면 패터닝 결과의 선 폭도 줄어든다

Fig. 6. Patterned line width dependency on the PEB temperature when the expose time and PEB time are fixed. As PEB temperature is reduced, the patterned line width becomes small.

SAL601을 이용하여 전자선 패터닝을 하는 경우, 공정 순서는 다음과 같다. 실리콘 웨이퍼를 170°C 오븐에서 HMDS(Hexa-Methyl-Di-Silazane)로 10분동안 처리하고 회석된 PR을 6000rpm으로 입힌다. 이때, PR의 두께는 0.15 μm가 된다. Hot plate를 이용하여 85°C 에서 2분 30초 동안 soft bake를 한 뒤, 전자선 직접 묘화 장비를 이용하여 전자선을 주사한다. Soft bake는 잔류 용매(residual solvent)가 남지 않을 정도로 조건을 잡는데, 이는 잔류 용매가 많을 수록 최종 선폭이

커지게 되기 때문이다.^{[11][12]} Soft bake 온도를 바꾸어 가면서 실험을 해본 결과 soft bake온도가 선폭에 크게 영향을 주지 않는다는 사실을 확인하고, soft bake 온도는 85°C로 고정하였다. 전자선 주사가 완료되면 PEB 과정을 거치게 되는데, 이 과정이 선폭을 결정하는데 중요한 역할을 하게 된다.^[8] 그림 6은 PEB 온도와 선 폭 사이의 관계를 그린 그림이다. PEB시간은 일정하게 하고 PEB온도를 줄이면 선폭이 줄다는 사실을 알 수 있다. 현상액(developer)는 SAL660과 DI water를 2:3으로 섞은 용액을 사용하였고, 온도가 일정하게 유지될 수 있도록 보관하였다.

IV. 실험 결과 및 토의

장비의 사양을 자세히 살펴봄으로써 해서 최적화된 조건을 찾아내기 위한 요인들은 많이 알아 내었다. 그림 7은 이러한 요인들을 그림으로 정리해 본 것이다. 2차 산란의 효과를 줄이기 위한 방법으로 PR두께를 0.6 μm에서 0.15 μm로 thinner를 이용하여 줄였고, PEB 온도를 120°C(0.1 mm 패터닝 조건)에서 85°C로 낮추었으며, 전자 빔이 밀도 높게 주사되도록 하기 위해서 200 μm field를 사용하였고, 또 새로운 digitizing방식을 사용하여 실험하였다. 200 μm field를 사용하여 주사하는 경우에는 좀더 밀도 있게 전자빔이 주사되어서 500 μm field의 경우보다 PEB 온도를 좀 더 낮출 수 있는 가능성이 생기게 되고 여기에 글로부 전자빔이 주사되도록 하는 새로운 digitizing방식을 더하면 더욱 더 PEB 온

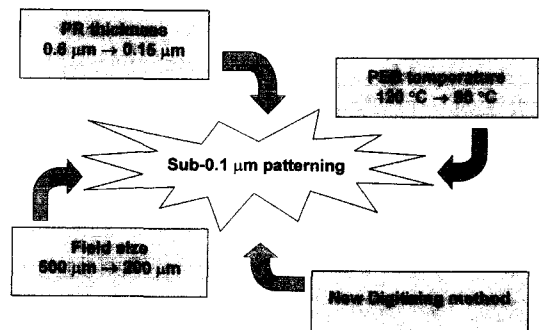


그림 7. 0.1 μm 이하의 패턴을 얻기 위한 여러 가지 요인들. 실험에 적용된 모든 요인들이 이 결과를 얻는데 도움을 주었다

Fig. 7. The various factors for sub-0.1 μm E-beam patterning. All of these play a important role for sub-0.1 μm patterning.

도를 줄일 수 있는 상황이 되므로, 패터닝 선폭을 줄일 수 있는 가능성이 많이 생기게 된다.

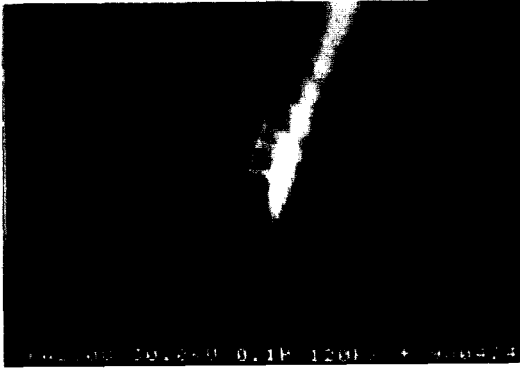


그림 8. 0.15 μm 두께의 PR을 사용하고 PEB temperature를 조정하여 얻은 70 nm 급 패터닝 결과. (조건 : soft bake = 85 $^{\circ}\text{C}$ 150초, PEB = 90 $^{\circ}\text{C}$ 150초, Develop time = 10분 30초, 감광 시간 = 0.7 Msec /1pixel , IB =10 pA)

Fig. 8. The 70-nm patterning result by using 0.15 μm -thick PR and tuning the PEB temperature and time. (Conditions : soft bake = 85 $^{\circ}\text{C}$ 150 sec, PEB = 90 $^{\circ}\text{C}$ 150 sec, Develop time = 10 min. 30sec., expose time = 0.7 Msec /1 pixel

0.15 μm 두께의 SAL601 Negative EBR을 사용하여 PEB 온도를 낮추는 방향으로 실험을 진행하였고, 90 $^{\circ}\text{C}$ 에서 2분 30초 동안 PEB를 하였을 때 70 μm 의 선폭을 가지는 단선(Isolated line)패터닝 결과를 얻었다. 그림 8은 70 μm 선폭을 가지는 단선 패터닝의 결과이다. 빔 전류를 10 pA로 고정하고, soft bake는 85 $^{\circ}\text{C}$ 에서 2분 30초 동안 실시하였고, 주사 시간은 단위 픽셀당 0.7 Msec이며, 현상은 10분 30초 동안 SAL660과 D.I. water를 2:3으로 섞은 용액에서 수행하였다.

빔 크기를 더 줄여서 실험을 한 결과, 40 μm 의 선폭을 가지는 단선 패터닝 결과를 얻을 수 있었다. 그림 9의 결과는 빔 전류를 더 줄이고 빔 크기를 작게 하여 실험한 결과이며, 그때의 PEB 온도는 80 $^{\circ}\text{C}$ 였다. 이 실험에서 2차 산란의 효과를 더욱 줄이기 위해 PR의 두께를 0.1 μm 로 줄였으며, 현상 시간은 5분이었다. 기관 위에 잔여PR들이 군데 군데 남아있는 것이 보이나 이는 현상시간을 조절하여 없앨 수 있을 만큼의 양으로 판단된다.

ELS 3300 E-beam system을 이용하여 개발된 공정은 가속전압이 본 장비보다 더 높은 새로운 장비에 적용될 경우 2차 산란 현상의 감소하므로, 더 작은 패터

닝 결과를 얻을 수 있게 해 줄 것으로 생각된다.



그림 9. 모든 조건이 최적화 된 40 μm 급의 패터닝 결과. 0.1 μm 두께의 PR을 사용하였으며, 실험 조건은 다음과 같다. soft bake = 80 $^{\circ}\text{C}$ 120초, PEB = 80 $^{\circ}\text{C}$ 90초, Develop time = 5분 , 감광 시간 = 1.7 Msec /1 pixel , IB = 7 pA)

Fig. 9. 40 μm -wide patterning results, which is obtained by using the fully optimized conditions. 0.1 μm -thick PR is used for this result, the conditions are as follows : soft bake = 80 $^{\circ}\text{C}$ 120 sec., PEB = 80 $^{\circ}\text{C}$ 90 sec, Develop time = 5 min. , Expose time = 1.7 Msec /1 pixel , IB = 7 pA.



그림 10. 개발된 전자선 직접 묘화 방식을 이용하여 패터닝 한 후, RIE를 이용하여 다결정 실리콘 층을 패턴 전이한 결과. 이 결과는 나노 구조의 소자 제작 및 극소 채널 소자의 게이트 영역 패터닝에 응용될 수 있다.

Fig. 10. After the E-beam patterning using the developed patterning technique, RIE is used for pattern transfer. Poly silicon quantum wire is obtained. This result can be used for fabrication of nano-structure devices and gate region lithography for ultra short channel MOS transistor.

이렇게 개발된 전자선 직접묘화 방식을 이용하여 패터닝을 한 후, RIE(Reactive Ion Etching)를 하여 양자선(Quantum wire)을 제작하고 SEM(Scanning Electron Microscope) 사진을 찍은 결과가 그림 10에 나타나 있다. 약 60 nm 정도의 폭을 지님을 알 수 있다. 이 결과에 양자선의 방향에 수직인 방향으로 전자선 직접 묘화를 한번 더 하게 되면 그림 11과 같은 양자점(Quantum dot)을 얻을 수 있다. 약 60 nm 정도 크기의 양자점을 제작하였다.



그림 11. 개발된 전자선 직접 묘화 방식을 이용해 제작된 양자 점. 두 번의 전자선 직접 묘화를 수행하여 얻을 수 있다.

Fig. 11. 50 nm-size silicon quantum dot which was obtained by using the developed E-beam patterning technique. 50 nm E-beam direct writing is applied twice to the SOI substrate.

V. 결 론

전자선 직접 묘화 방식을 이용하여 40 nm 급의 전자선 패터닝 기술을 개발하였다. 장비의 최대 능력을 사용하기 위해서 PR의 두께를 줄이고, field 크기를 200 mm로 줄였으며, 새로운 digitizing 방식을 적용하여 40 nm 급의 단선 패터닝 결과를 얻었다. 장비의 사양을 완전하게 이해하고 얻은 결과이므로 재현성 있는 결과를 얻었으며, 이를 이용하여 60 nm 급의 양자 선과 양자 점의 제작에도 성공하였다. 이러한 실험 방식은 좀더 높은 가속 전압을 가지는 E-beam 장비에 적용가능하며, 그 경우 이차산란의 효과가 감소하여 좀더 작은 패터닝 결과를 얻을 수 있을 것으로 판단된다.

이 결과는 나노 구조의 기억소자를 제작하는데 응용할 수 있으며, 특히 단전자 기억 소자를 제작하는데 큰 도움을 줄 수 있는 결과로 생각이 된다. 또한, 극소 채널을 가지는 MOS소자의 제작에도 응용될 수 있다.

참 고 문 헌

- [1] <http://www.cmc.ca/Events/Conferences/MRD98SIA/index.htm>, 1997 SIA road map.
- [2] James R. Sheats and Bruce W. Smith, "Microlithography science and technology", chapter 6, Marcel Dekker Inc., 1998.
- [3] H. Liu, M. P. deGrandore, and W. E. Feely, J. Vac. Sci. Technol. B&, 379 (1988).
- [4] T. Yoshimura, M. Aoki, T. Ishii, and S. Okazaki, Jpn J. Appl. Phys., 30, 3277 (1991).
- [5] Geunsook Park, Sangyeon Han, Taekeun Hwang, and Hyungcheol Shin, Japanese Journal of Applied Physics, Vol. 37, Part 1, No. 12B, pp. 7190-7192, Dec. 1998.
- [6] Taekeun Hwang, Sangyeon Han, Hyun-ju Lee, and Hyungcheol Shin, International workshop on Advanced LSI's and Devices, pp. 12-15, Jul. 1999.
- [7] 이병탁 외18명, "SOI 양자소자 제작과 단전자터널링 특성," 한국물리학회지, Vol. 11, No. 3, pp. 310-314, 1998
- [8] T. Yoshimura, Y. Nakayama, and S. Okazaki, "Acid-Diffusion Effect on nanofabrication in chemical amplification resist", J. Vac. Sci. Technol. B 10(6), pp. 2615-2619, 1992.
- [9] C. Y. Chang and S. M. Sze, "ULSI Technology", McGraw-Hill companies, Inc., 1996.
- [10] Elionix, ELS-3300 instruction manual. 1992.
- [11] L. Schlegel, T. Ueno, N. Hayashi, and T. Iwayanagi, "Determination of acid diffusion in chemical amplification positive deep ultraviolet resists", J. Vac. Sci. Technol. B 9, 278, 1991.
- [12] T. Azuma, K. Masui, Y. Takigami, H. Sasaki,

K. Sakai, T. Nomaki, Y. Kato, and I. Mori,
"Prebake Effects in Chemical Amplification

Electron-Beam Resist", Jpn. J. Appl. Phys. 30,
3138, 1991.

저 자 소 개



韓相然(正會員)

1993년 8월 한국과학기술원 과학기술대학 전기및전자공학과 학사 취득. 1997년 2월 한국과학기술원 전기 및 전자공학과 석사취득. 1997년 3월~현재 한국과학기술원 전기및전자공학과 박사과정 재학중. 주관심분야:

E-Beam lithography, 나노구조 소자



李貴魯(正會員)

1976년 8월 서울대학교 전자공학과 전자공학 학사 취득. 1981년 3월 Univ. of Minnesota, Duluth 전기공학 석사학위 취득. 1983년 8월 Univ. of Minnesota, Duluth 전기공학 박사학위 취득. 1983년~1986

년 금성반도체 (주) 기술 부장. 1986년~1989년 한국과학기술원 전기 및 전자공학과 조교수. 1989년~1994년 한국과학기술원 전기 및 전자공학과 부교수 1994년~현재 한국과학기술원 전기및전자공학과 교수로 재임중이며, 1997년부터 현재 까지 MICROS 센터의 센터장. 2권의 저서와 약 140여편의 기술 논문 발표. 주 관심 분야는 CMOS RF modeling, silicon/compound 반도체 기술기반을 둔 RF 및 digital 저전력 소자 및 회로

申 洞 澈(正會員) 第 35卷 D編 第 12號 參照

1985년 2월 서울대학교 전자공학과 전자공학 학사 취득. 1987년 2월 서울대학교 전자공학과 반도체 전공 석사 취득. 1993년 Univ. of California Berkeley 전기공학과 반도체 전공 박사 취득. 1992년~1994년 미국 Applied Materials 공정 엔지니어. 1994년~1996년 Motorola Advanced Custom Tech. 소자 엔지니어. 1996년~1998까지 한국과학기술원 전기 및 전자공학과 조교수. 1999년~현재 부교수로 재임중. 1권의 저서와 약 80여편의 기술논문 발표. American Vacuum Society 우수논문상 수상. 관심 분야는 나노 구조 소자, CMOS RF modeling, RF 회로, 저전력 회로.