

論文99-36D-10-1

# 초박막의 N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 Flash Memory Cell의 SILC 특성 및 성능

(Performance and SILC Characteristics of Flash Memory Cell With Ultra thin N<sub>2</sub>O Annealed Tunneling Oxide)

孫鍾亨\*, 鄭正和\*\*

(Jong-Hyoung Son and Jong-Wha Chong)

## 요 약

본 논문은 두께가 각각 다른 습식 산화막의 정전류 스트레스에 따른 SILC를 측정하여 SILC의 전도 mechanism 및 발생원인을 조사하였다. N<sub>2</sub>O 어닐링한 산화막의 SILC 특성도 조사하였다. 또한, 60Å 두께의 N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 flash memory cell을 0.25 $\mu$ m 설계규칙에 따라 제작하여 그 특성을 측정하였다. 그 결과, SILC의 발생 원인은 전기적 스트레스 인가에 따른 산화막내에 생성된 트랩 때문이며, SILC의 전도 mechanism은 전기장 세기가 8MV/cm 이하일 때 산화막 트랩을 경유한 modified F-N터널링이, 8MV/cm 이상일 때 전형적인 F-N터널링이 주도적임을 알 수 있었다. 60Å의 N<sub>2</sub>O 어닐링한 산화막은 SILC에 대한 내성 측면에서 큰 개선 효과가 있음을 알 수 있었다. 또한, 이 막을 flash memory cell의 터널링 산화막으로 이용할 경우, 10<sup>6</sup>회의 endurance와 10년 이상의 드레인 disturb가 보장되고 8V-프로그램밍이 가능한 특성을 얻을 수 있었다

## Abstract

In this paper, we have studied the transport mechanism and origin of SILC for the various thickness of wet oxide. Also, SILC characteristics of N<sub>2</sub>O annealed oxide was included in this study. We made the flash memory cell with N<sub>2</sub>O annealed oxide of 60Å thick under 0.25 $\mu$ m design rule, and measured the characteristics of the cell. As a result, we have found that the origin of SILC is due to the trap formed inside of the oxide layer by electrical stress. And we reached the conclusion that the transport mechanism of SILC is ruled by the modified F-N tunneling if the electric field is lower than 8MV/cm, or typical F-N tunneling if the electric field is higher than 8MV/cm. We could also confirm the fact that N<sub>2</sub>O annealed oxide of 60Å thick have an improved resistance effect against SILC. In case that we apply N<sub>2</sub>O annealed oxide of 60Å thick to the flash memory, we could confirm 10<sup>6</sup> times endurance and more than 10 years drain disturb, and could get 8V programmable flash memory characteristics. Z

## I. 서 론

\* 正會員, 데이터퀘스트(주)

\*\* 正會員, 漢陽大學校 電子工學科

(Electronics Section, Engineering Dept. of Hanyang Univ.)

接受日字:1999年5月17日, 수정완료일:1999年9月21日

Flash memory cell을 scaling-down함에 있어서 가장 중요한 제약은 프로그램/소거 반복 및 Fowler-Nordheim 터널링 전류 등의 스트레스에 의해 터널링(tunneling) 산화막에 유기된 low-level leakage 전류(즉, Stress Induced Leakage Current ; SILC) 문제이다.<sup>[1]</sup>

이러한 SILC는 드레인 및 게이트 disturb 특성 및 기억 유지 특성 저하와 같은 신뢰성 문제와 직접 관계한다.<sup>[2]</sup>

특히, 고집적화와 cell 크기 및 구동전압의 감소에 따른 소자 scale-down을 위해서 터널링 산화막 두께의 감소는 필연적이다. 그러나, 터널링 산화막의 두께 감소는 SILC를 증가 시킨다.<sup>[3]</sup> 이러한 점에서 SILC에 대한 내성이 강한 터널링 산화막의 개발은 고집적, 고성능, 고신뢰성의 flash memory cell 실현을 위해서 상당히 큰 의미를 갖을 것으로 생각된다.

본 논문은 SILC의 발생원인 및 전도기구를 규명하고, SILC 특성을 기본으로 flash memory cell의 터널링 산화막의 최소 두께를 결정하였다. N<sub>2</sub>O 어닐링(annealing)이 SILC 특성에 미치는 영향을 조사하였다. 또한, 두께가 60Å인 N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 scaled flash memory cell를 0.25 $\mu$ m 설계규칙(design rule)에 따라 제작한 다음, 성능을 평가하였다.

## II. 실험

본 연구를 위해서 n<sup>+</sup> 폴리실리콘 게이트를 갖는 MOS 캐패시터를 비저항이 9~12 $\Omega$ -cm인 (100), p-형 웨이퍼를 이용하여 제작하였다. 산화막은 850 $^{\circ}$ C에서 습식 산화(wet oxidation)법에 의해 성장시켰으며, 성장시간을 달리하여 60~100Å 범위에서 두께를 변화 시켰다. 이와 동일한 성장 조건 및 두께의 산화막을 갖는 channel 길이 및 폭이 각각 L=2.0 $\mu$ m, W=20 $\mu$ m인 NMOS 트랜지스터도 제작하였다.

또한, 850 $^{\circ}$ C에서 습식 방법으로 산화막을 성장시킨 후, 950 $^{\circ}$ C의 furnace에서 순수한 N<sub>2</sub>O 가스를 5 slm으로 흘리며 어닐링한 N<sub>2</sub>O 산화막을 갖는 캐패시터도 제작하였다. 이때, 습식 산화막의 두께는 40Å이고, N<sub>2</sub>O 어닐링한 후의 최종 두께는 SiO<sub>2</sub>로 환산한 유효두께로 표시하여 X<sub>eff</sub>=60Å이었다. 이와 동일한 N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 flash memory cell을 0.25 $\mu$ m 설계규칙에 따라 제작하였다. 이상과 같이 제작한 시편을 요약하면 표1과 같다.

산화막에 인가한 스트레스는 +10 $\mu$ A의 정 전류(constant current)를 폴리실리콘 게이트에 인가하였으며, 스트레스 인가시간을 달리하여 산화막으로 주입되는 전하량 Q<sub>inj</sub>를 변화 시켰다. SILC를 평가하기 위해서 HP 4156B Semiconductor Analyzer를 사용하여 Vg-Ig 특성곡선을 측정하였다. 이 장비의 최소 전류

검출 범위는 10<sup>-15</sup>A이다. 따라서, 기생 누설전류(parasitic leakage current)는 5 $\times$ 10<sup>-15</sup>A이하로 제한하였다. 또한, Vg-Ig 특성곡선의 측정시 측정으로 인한 부가적인 스트레스를 최소화하기 위해서 측정시 Vg의 값을 가능한 작게 하였다. NMOS 트랜지스터에서 Vg-Id 특성곡선은 드레인 전압을 Vd=1.0V로 하여 측정하였다.

표 1. 본 연구에서 제작한 시편  
Table 1. Samples used in this study.

	CAPACITOR		NMOS TRANSISTOR	
	X <sub>ox</sub> (Å)	AREA	X <sub>ox</sub> (Å)	AREA
wet oxidation	60	1.48 $\times$ 10 <sup>-4</sup> cm <sup>2</sup>	60	2.0 $\mu$ m $\times$ 20 $\mu$ m
	70		70	
	80		80	
	90		90	
	100		100	
wet oxidation(40 Å) + N <sub>2</sub> O anneal	60	1.0 $\times$ 10 <sup>-4</sup> cm <sup>2</sup>		

## III. 결과 및 고찰

### 1. SILC의 전도기구 및 발생원인

850 $^{\circ}$ C에서 습식방법으로 성장시킨 두께가 60Å인 산화막을 갖는 캐패시터의 폴리실리콘 게이트에 (+)10 $\mu$ A인 정전류 스트레스를 인가시간을 달리하여 가한 후, 산화막 전기장 세기에 따른 단위 면적당 게이트 전류 관계인 EOX-Jg 특성 곡선을 각각 측정하였으며, 그 결과는 그림1과 같다. 이때, EOX-Jg 특성 곡선은 먼저 게이트 인가전압에 따른 게이트 전류 관계인 Vg-Ig 특성 곡선을 측정한 후에 게이트 면적과 산화막 두께를 이용하여 구하였다.

그림 1에서 보는 바와 같이 스트레스 인가시간이 증가함에 따라 산화막의 전기장 세기가 4.5MV/cm~8.5MV/cm인 범위에서 전류는 증가하다가 10sec에서 포화하고, 각 곡선에서 전류가 급격히 증가하기 시작하는 전기장 세기는 감소함을 알 수 있다. 이로부터 산화막은 정전류 스트레스를 받음에 따라 점차 wear-out되며, 이러한 wear-out은 스트레스를 전혀 받지 않은 경우와 비교하여 산화막 전기장 세기가 4.5MV/cm~8.5MV/cm 일 때 산화막을 통하여 흐르는 전류를 급격히 증가시키고, 이로부터 SILC가 발생할을 알 수 있다.

산화막에서의 F-N 터널링 전류는 다음식과 같이 표현된다.<sup>[4]</sup>

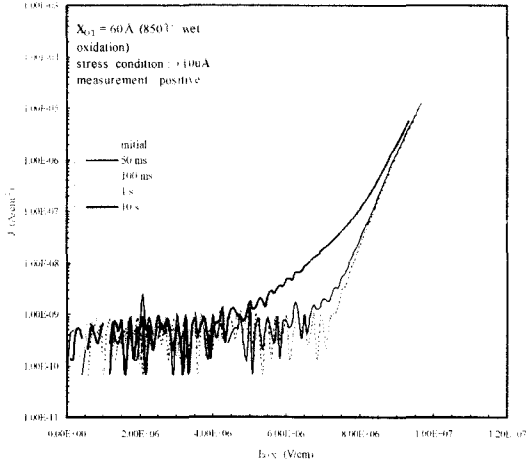


그림 1. (+)10 $\mu$ A의 정전류 스트레스의 인가시간을 달리할 경우, 산화막 전기장 세기에 따른 전류 밀도  
 Fig. 1. Current density with oxide electric field for different constant current stress (10 $\mu$ A).

$$J_{FN} = C_1 E_{ox}^2 \exp(-C_2 / E_{ox}) \quad (1)$$

여기서, 상수  $C_1$ ,  $C_2$ 는 각각 산화막에서의 캐리어의 유효 질량  $m^*$  및 산화막의 전위 장벽  $B$ 에 관계하는 상수이며, 특히 상수  $C_2$ 는  $\Phi^{3/2}$ 에 비례하고,  $C_1$ 는  $\Phi_B^{-1}$ 에 비례한다. 또한 F-N plot상에서  $C_1$  및  $C_2$ 는 각각 종축 절편 및 기울기로부터 결정된다.

따라서, 식(1)로부터 그림 1의 스트레스를 전혀 가하지 않은 초기상태와 (+)10 $\mu$ A의 정전류 스트레스를 10sec 동안 가한 후에 측정된  $E_{ox}$ - $J_g$  특성 곡선을  $J_g/E_{ox}^2 - 1/E_{ox}$  관계로 바꾸면 Fowler-Nordheim(F-N) Plot을 얻을 수 있으며, 그 결과는 그림 2와 같다. 그림 2에서 "○" 및 "■"는 각각 초기상태 및 스트레스 인가 후에 측정된 값이고, 가는 점선과 가는 일점 쇄선으로 표시한 curve1, curve2는 최소자승법에 의거하여 측정값으로부터 구한 직선이다. 이때, curve1은 스트레스를 전혀 가하지 않은 초기상태의 측정값을 모두 이용하여 구하였고, curve2는 스트레스 인가후의 측정값 중 산화막 전기장 세기가 5.5MV/cm~7.5MV/cm 범위의 측정값만을 이용하여 구하였다. 또한, curve1과 curve2를 더하면 굵은 선으로 나타낸 곡선을 얻을 수 있고 이는 스트레스 인가 후의 모든 측정값과 잘 일치함을 알 수 있다.

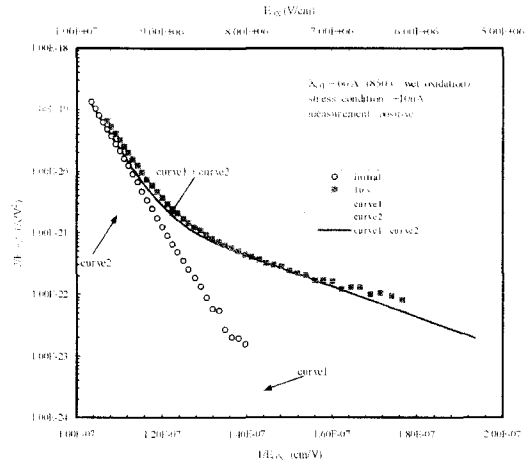


그림 2. SILC의 전도mechanism : Fowler-Nordheim Plot (60A인 850°C 습식 산화막)  
 Fig. 2. Transport mechanism for SILC : Fowler-Nordheim Plot(Wet oxide of 60 Å thick grown at 850°C).

그림 2에서 보는 바와 같이 curve 2에 해당하는 SILC의 기울기가 curve 1에 해당하는 SILC 발생전의 초기상태의 기울기 보다 작다. 이는 스트레스로 인해 산화막 내에 트랩이 생성되어, 산화막으로 주입된 캐리어가 이들 트랩을 점유하여 터널링하게 되고, 결국 터널링 전위 장벽은 산화막 전위 장벽  $\Phi_B$ 보다 작은 산화막 내의 트랩 준위  $\Phi_T$ 가 되어 식(1)의  $C_2$ 가 감소하기 때문이라 생각된다. 따라서 curve2에 상응하는 SILC에 대한 전류  $J_{SILC}$ 는 다음과 같이 표현 할 수 있다.

$$J_{SILC} = C_1 E_{ox}^2 \exp(-C_2' / E_{ox}) \quad (2)$$

여기서  $C_1'$  및  $C_2'$ 는 산화막에서 캐리어의 유효 질량  $m^*$  및 산화막내에 생성된 트랩 준위  $\Phi_T^*$ 에 관계하는 상수이며,  $C_1$ 는  $(\Phi_T)^{-1}$ 에 비례하고,  $C_2'$ 는  $(\Phi_T)^{3/2}$ 에 비례한다.

스트레스(+10 $\mu$ A, 10sec) 후에 산화막 전류  $J_{g,STRESS}$ 는 그림 2에서 보는 바와 같이 curve1과 curve2의 합이고, 다음과 같이 표현 할 수 있다.

$$\begin{aligned} J_{g,STRESS} &= \text{curve 1} + \text{curve 2} \\ &= J_{FN} + J_{SILC} \\ &= C_1 E_{ox}^2 \exp(-C_2 / E_{ox}) + C_1' E_{ox}^2 \exp(-C_2' / E_{ox}) \end{aligned} \quad (3)$$

이상의 결과로부터 두께가 60Å인 습식 산화막이 스트레스를 받으면 산화막 내에는 트랩이 생성되어 산화막 전도 기구는 전기장 세기가 작은 경우( $E_{ox} < 7.5MV/cm$ )는 산화막 트랩을 경유하는 modified F-N 터널링이, 전기장 세기가 큰 경우( $E_{ox} > 7.5MV/cm$ )는 전형적인 direct band-to-band F-N터널링이 주도적임을 알 수 있다. 이로부터 SILC의 전도기구는 산화막내에 생성된 트랩을 경유하는 modified F-N 터널링이 주도적임을 알 수 있다.

그림 1에서 사용한 캐패시터의 산화막과 동일한 두께가 60Å인 850°C 습식 게이트 산화막을 갖는, 채널 길이 및 폭이  $L \times W = 2.0\mu m \times 20\mu m$ 인 NMOS 트랜지스터에 (+)10 $\mu A$ 인 정전류 스트레스를 인가시간을 달리하여 가한 후에 게이트 전압에 따른 드레인 전류를 측정하면  $V_g$ - $I_d$  특성 곡선을 구할 수 있고, 그 결과는 그림3과 같다.  $V_g$ - $I_d$ 특성 곡선 측정시 드레인 전압은 1.0V로 하였다.

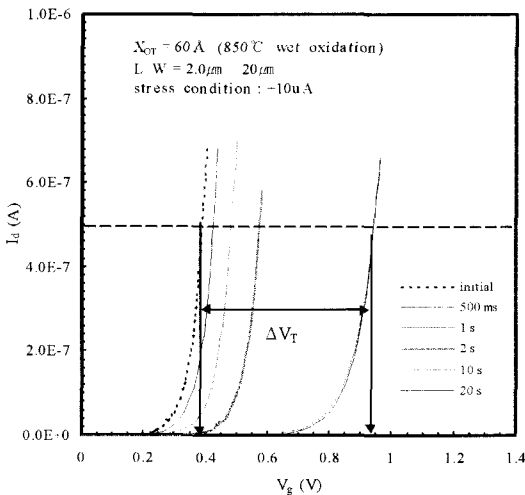


그림 3. 산화막 두께가 60Å인 850°C 습식 산화막을 갖는 NMOS트랜지스터에서 스트레스 인가시간에 따른  $I_d - V_g$ 특성 (스트레스: +10A 정전류, 측정시 드레인 전압: 1.0V)

Fig. 3.  $I_d - V_g$  characteristics with stress time for NMOS transistor having wet oxide of 60 Å thick grown at 850°C (Stress : +10 $\mu A$  constant current, Drain voltage at measuring: 1.0V).

그림 3에서 보는 바와 같이 스트레스 인가시간이 증가함에 따라  $V_g$ - $I_d$  특성 곡선은 양(+)의 방향으로 평행이동 하고, 스트레스 시간이 10sec 일 때 포화하기

시작하였다. 이로부터 스트레스 인가시간이 증가함에 따라 산화막에 트랩 되는 전자의 양이 증가하다가 포화함을 알 수 있다. 이로부터 스트레스로 인해 산화막 내에는 전자트랩이 생성되고, 특히 스트레스 인가시간에 따라 산화막내에 생성되는 전자트랩의 수는 증가하다가 포화함을 알 수 있다. 이는 이로부터 그림2에서 제시한 스트레스로 인해 산화막내에는 트랩이 생성되고, 이들 트랩을 경유함으로써 전자의 터널링이 효율이 증가하여 SILC를 발생시킨다는 모델이 타당함을 알 수 있다.

일반적인 습식 산화막을 flash memory cell의 터널링 산화막으로 이용할 경우에 최소 두께를 결정하기 위해서 850°C에서 습식 방법으로 모든 성장 조건은 동일하고, 단지 성장 시간만을 달리하여 두께가 각각 60Å, 70Å, 80Å, 90Å, 100Å인 산화막을 갖는 캐패시터의 폴리실리콘 게이트에 (+)10A의 정전류를 20sec 인가한 후,  $E_{ox} - J_g$  특성을 측정하여 SILC 특성을 조사하였으며, 그 결과는 그림4와 같다. 그림에는 구분을 위해 70Å, 90Å은 생략하였다. 이와 같은 스트레스 조건으로 산화막 내에는 1.5C/cm<sup>2</sup>의 전하가 주입되며, 이는 실제 flash EEPROM에 있어서 10<sup>6</sup> 회 프로그램/소거할 경우에 산화막에 가해지는 스트레스와 동일하다.

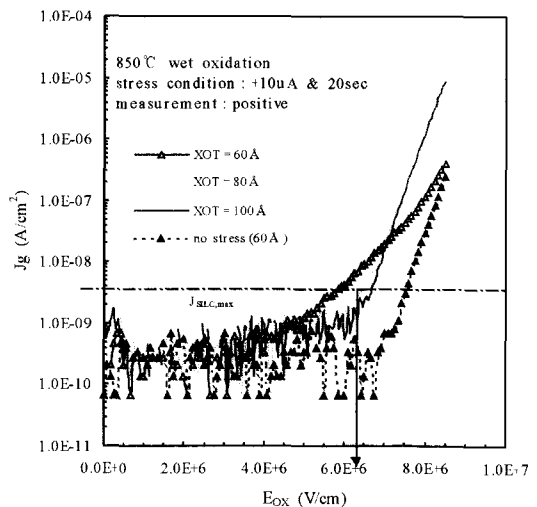


그림 4. 850°C 습식 산화막에서 +10A, 20sec(1.35C/cm<sup>2</sup>) 스트레스 후, 산화막 두께에 따른  $E_{ox} - J_g$ 특성

Fig. 4.  $E_{ox} - J_g$  characteristics with oxide thickness after stress of +10 $\mu A$ , 20sec(1.35C/cm<sup>2</sup>) in the wet oxide grown at 850°C.

그림 4에서 보는 바와 같이 각각 두께가 다른 산화막에 동일한 스트레스를 가하면, 산화막 두께가 70Å ~ 100Å인 경우에 특정 곡선들은 서로 거의 일치하나, 60Å인 경우에는 전류가 산화막 전기장 세기가 5MV/cm ~ 7MV/cm인 범위에서는 다른 경우보다 현저하게 증가함을 알 수 있다. 특히, 스트레스 인가 전의 초기 상태인 가는 점선으로 나타낸 곡선과 비교하여 4.5MV/cm 이상에서는 스트레스 인가후의 전류 값이 현저하게 증가함을 알 수 있다.

실제 flash memory cell에 있어서, 최대 허용 memory window의 변화량  $\Delta V_{T,limit}$  및 이를 야기시킨 플로팅 게이트(floating gate)의 단위 면적 당 전하 변화량  $\Delta Q_{FG}$ 의 관계를 이용하면, 아래 식으로부터 d.c 최대 허용 SILC( JSILC,MAX )와 read disturb lifetime (  $\tau_{disturb}$  )의 관계를 얻을 수 있다.<sup>16)</sup>

$$J_{SILC,MAX} = (\Delta V_{T,limit} \times CPP) / \tau_{disturb} = \Delta Q_{FG} / \tau_{disturb} \quad (4)$$

여기서,  $C_{PP} (= \epsilon_{ip0} / X_{ip0})$ 는 단위 면적 당 콘트롤 게이트(control gate)와 플로팅 게이트(floating gate) 사이의 유전막 캐패시턴스이고,  $\epsilon_{ip0}$ 는 유전막의 유전상수,  $X_{ip0}$ 는 유전막의 두께이다.

유효두께가  $X_{ip0,eff} = 150\text{\AA}$ 인 ONO를 플로팅 게이트와 콘트롤 게이트 사이의 유전막으로 사용한 flash memory cell에 대해서, 100nsec의 read pulse가 duty cycle  $10^{-6}$ 으로 10년 동안 연속적으로 인가 될 때, 최대 허용 memory window의 변화량을  $\Delta V_{T,limit} = 0.3V$ 라 가정하면, d.c 최대 허용 SILC는 식(4)로부터  $J_{SILC,max} = 7 \times 10^{-9} \text{ A/cm}^2$ 이다. 그림4에는  $J_{SILC,MAX}$ 을 횡축과 평행한 일점 채선으로 나타내었다.

Flash EEPROM에 있어서 read disturb 바이어스 조건은 콘트롤 게이트에는 3.3V가 인가 되고, 소오스, 드레인 및 기판은 0V이다. 그러므로, read disturb가 가장 극심한 경우는 셀이 프로그램 되었을 때 보다는 소거 되었을 경우이다. 이 경우 터널링 산화막의 전기장 세기  $E_{OX}$ 는 플로팅 게이트에 저장된 양(+)전하로 인해  $E_{OX} \geq 6\text{MV/cm}$ 가 된다.

그림 4로부터 산화막 두께가 각각 다른 경우에 대해  $E_{OX} = 6.5\text{MV/cm}$  일 때의 전류 값을 비교하면,  $X_{OT} = 60\text{\AA}$ 인 경우가 스트레스 후에 계산한 최대 허용 SILC보다 커짐을 알 수 있다. 이로부터 통상적인 습식 산화막

을 flash EEPROM의 터널링 산화막으로 이용할 경우에 터널링 산화막 두께는  $X_{OT} = 60\text{\AA}$  보다는 두꺼워야 하며, 이는 소자 scale down을 위해 반드시 개선되어야 할 사항이다.

2. N<sub>2</sub>O 어닐링한 산화막의 특성

850°C에서 습식 방법에 의해 40Å 두께로 성장시킨 산화막을 950°C, RTP furnace에서 30분 동안 순수한 N<sub>2</sub>O 가스를 흘리며 어닐링하여 산화막으로 환산한 유효두께가  $X_{eff} = 60\text{\AA}$ 인 N<sub>2</sub>O 어닐링한 산화막을 갖는 캐패시터를 제작하여 캐패시터의 폴리실리콘 게이트에 (+)10 μA의 정전류 스트레스를 인가시간을 달리하여 가한 후에  $E_{OX} - J_g$  특성 곡선을 측정하였으며, 그 결과는 그림 5와 같다.

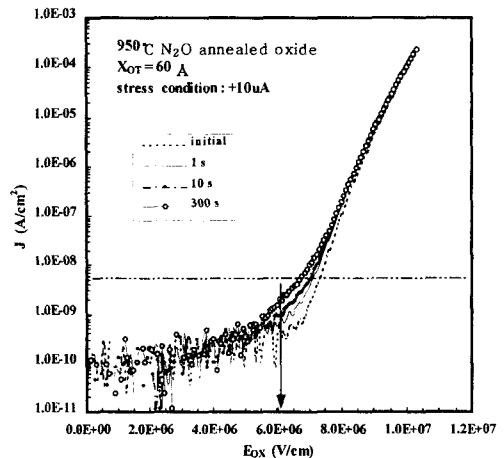


그림 5. 950°C에서 30분간 N<sub>2</sub>O 어닐링한 산화막의 스트레스 인가 시간에 따른  $E_{OX} - J_g$  특성. (스트레스 : +10μA 정전류)

Fig. 5.  $E_{OX} - J_g$  characteristics with stress for 30min. N<sub>2</sub>O annealed oxide grown at 950°C (Stress : +10μA constant current).

그림 5에서 스트레스 인가시간이 증가함에 따라 SILC의 발생 정도는 증가하지만 그 증가 폭은 크지 않다. 즉, 두께가  $X_{OT} = 60\text{\AA}$ 인 N<sub>2</sub>O 어닐링한 산화막이 5C/cm<sup>2</sup>의 스트레스를 받은 경우와 그림4에서 보는 바와 같이 두께가  $X_{OT} = 100\text{\AA}$ 인 850°C 습식 산화막이 1.5C/cm<sup>2</sup>의 스트레스를 받은 경우와 동일함을 알 수 있다.

습식법, 건식법, N<sub>2</sub>O 어닐링한 각각의 산화막에 대해 고주파 C-V 곡선 및 Quasi-Static C-V 곡선을 측정할 결과는 그림 6, 7과 같다. 그림 6, 7로부터 고주파 및

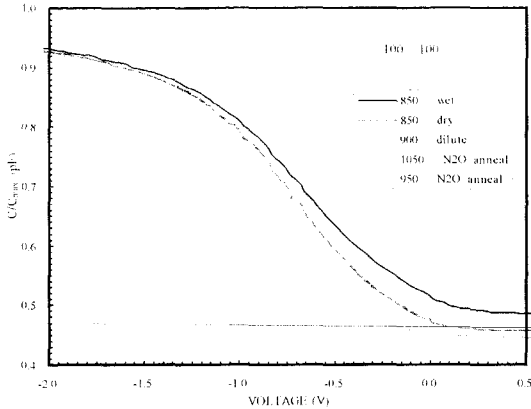


그림 6. 성장법에 따른 산화막의 고주파 C-V 곡선  
Fig. 6. High-frequency C-V curves for different oxidation method.

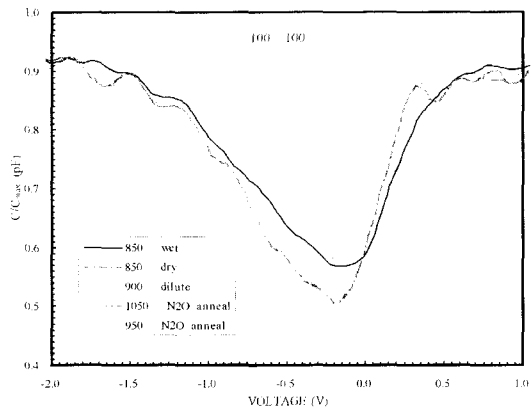


그림 7. 성장법에 따른 산화막의 Quasi-Static C-V 곡선  
Fig. 7. Quasi-Static C-V curves for different oxidation method.

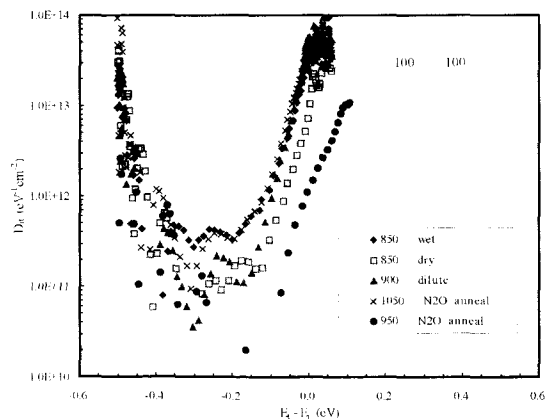


그림 8. 성장법에 따른 Si-SiO<sub>2</sub> 계면 트랩 밀도의 에너지적 분포  
Fig. 8. Energy distribution of Si-SiO<sub>2</sub> interface states for different oxidation method.

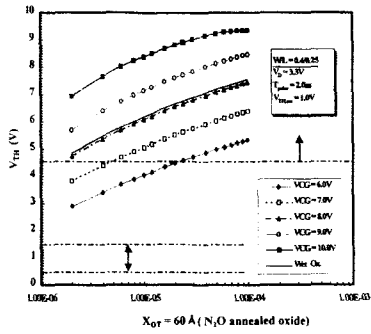
Quasi-Static C-V 곡선 비교법에 의해 Si-SiO<sub>2</sub> 계면 트랩 밀도의 에너지 분포를 구하면, 그 결과는 그림8과 같다. 그림 6, 7, 8로부터 알 수 있는 바와 같이 950°C N<sub>2</sub>O 어닐링한 산화막의 경우, fixed charge 및 surface charge에 있어서 습식이나 건식 혹은 N<sub>2</sub> 회석 건식법에 의해 성장시킨 산화막과 큰 차이가 없음을 알 수 있다.

3. 터널링 산화막으로 N<sub>2</sub>O 어닐링한 산화막을 갖는 flash memory cell의 특성

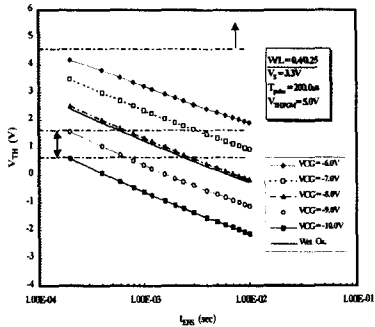
터널링 산화막은 그림 5의 두께가 60Å인 N<sub>2</sub>O 어닐링한 산화막을 이용하고, 프로팅 게이트와 콘트롤 게이트 사이의 유전막은 두께가 각각 50Å, 70Å, 30Å인 산화막, 질화막, 산화막이 차례로 적층된 O-N-O 구조이며, 채널길이 및 폭이 각각 0.25μm, 0.30μm인 flash memory cell을 제작하였다. 이렇게 제작한 flash memory cell에서 소오스 및 기판은 0V, 드레인에는 3.3V를 인가하고, 콘트롤 게이트에 (+)극성의 크기가 각각 다른 전압을 인가시간을 달리하여 인가한 후, 문턱전압을 측정하면, 그림 9(a)와 같은 프로그래밍 전압 VCG에 따른 프로그래밍 특성을 얻을 수 있다.

이번에는 소오스에 V<sub>S</sub>=3.3V, 기판은 0V, 드레인은 프로팅(floating)한 채로 콘트롤 게이트에 (-)극성의 크기가 각각 다른 전압을 인가시간을 달리하여 인가한 후, 문턱전압을 측정하여 소거전압에 따른 소거특성을 조사하였으며, 그 결과는 그림9(b)와 같다. 이때, 프로그램 및 소거 시 초기조건은 각각 V<sub>TH</sub>=1.0V, V<sub>TH</sub>=5.0V이다.

그림 9에서 일점 쇄선으로 표시한 두 영역은 각각 프로그램 및 소거 준위이다. 읽기전압이 V<sub>CC</sub>=3.3V인 경우에 프로그램 준위는 문턱전압이 4.5V이상, 소거 준위는 문턱전압이 0.5V~1.5V 범위에서 정의되는 것이 보편적이다. 그림9에서 보는 바와 같이 프로그램 조건은 전압 크기 및 시간이 각각 V<sub>CG</sub>=8V, t<sub>PGM</sub>=2μs이고, 소거 조건은 V<sub>CG</sub>=-8V, t<sub>ERS</sub>=1ms가 최적임을 알 수 있다. 또한, 두께가 X<sub>OT</sub>=60Å으로 동일한 습식 산화막을 터널링 산화막으로 이용한 flash memory cell의 V<sub>CG</sub>=8V, t<sub>PGM</sub>=2μs일때의 프로그램 특성과 V<sub>CG</sub>=-8V, t<sub>ERS</sub>=1ms일때의 소거 특성도 측정하였으며, 이는 그림9에 굵은 실선으로 나타내었다. 그림에서 보는 바와 같이 이 cell의 프로그램 및 소거 특성은 N<sub>2</sub>O 어닐링한 산화막과 동일함을 알 수 있다.



(a)



(b)

그림 9. 950°C N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 Flash memory cell의 (a) 프로그램전압 크기에 따른 프로그램 특성 및 (b) 소거전압 크기에 따른 소거 특성

Fig. 9. (a) Program characteristics with programming voltage and (b) Erase characteristics with erasing voltage in a Flash memory cell with N<sub>2</sub>O annealed tunneling oxide grown at 950°C.

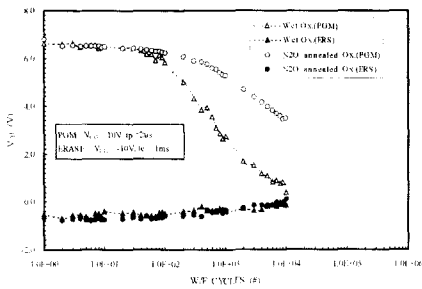


그림 10. 950°C N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 경우와 습식 터널링 산화막을 갖는 경우의 각 Flash memory cell의 endurance 특성

Fig. 10. Endurance of Flash memory cell with 950°C N<sub>2</sub>O annealed tunneling oxide and wet tunneling oxide, respectively.

터널링 산화막으로 습식 산화막과 N<sub>2</sub>O 어닐링한 산화막을 갖는 각각의 flash memory cell에서 프로그램 전압의 크기 및 시간은 각각 V<sub>CG</sub>=10V, t<sub>PGM</sub>=2μs이고

소거 전압의 크기 및 시간은 각각 V<sub>CG</sub> = -10V, t<sub>ERS</sub> = 1 ms로 하여 프로그램/소거의 반복횟수에 따른 프로그램 시의 문턱전압과 소거시의 문턱전압을 측정하면, 그림 10과 같은 프로그램/소거 반복에 대한 endurance 특성을 얻을 수 있다. 그림에서 보는 바와 같이 습식 산화막인 경우에는 100회, N<sub>2</sub>O annealing한 산화막인 경우에는 1000회의 프로그램/소거의 반복이 가능하고, 이로부터 두께가 60Å로 동일할 경우에 N<sub>2</sub>O 어닐링한 산화막이 습식 산화막보다 endurance 특성이 우수함을 알 수 있다. 이상의 프로그램 및 소거 전압의 크기는 가속요인을 고려할 때, ±8V의 전압으로 10<sup>6</sup>회 프로그램/소거를 반복하는 경우와 동일하다.

습식 산화막 및 N<sub>2</sub>O 어닐링한 산화막을 터널링 산화막으로 갖는 각각의 flash memory cell을 그림 10에서와 동일한 조건으로 1000회 프로그램/소거 반복한 후, 문턱전압을 V<sub>TH</sub>=5V로 하여 프로그래밍한 다음에 콘트롤 게이트, 소오스, 기판은 0V로 하고, 드레인에 각각 5.0V, 5.5V, 6.0V, 6.5V의 전압을 인가하여 인가시간에 따라 문턱전압을 측정한다. 그런 다음, 문턱전압의 변화량이 ΔV<sub>TH</sub>=0.3V가 되는 시간을 구하여 각 드레인 전압의 역수에 따라 도식화하면 그림 11과 같은 드레인 disturb 특성 곡선을 얻을 수 있다.

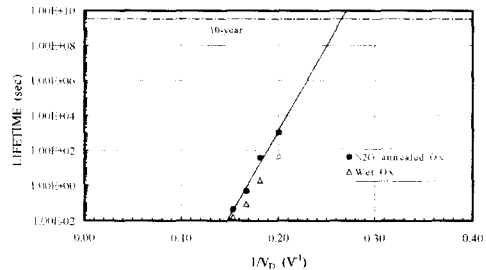


그림 11. 950°C N<sub>2</sub>O 어닐링한 터널링 산화막 및 습식 터널링 산화막을 갖는 각각의 Flash memory cell에서 10<sup>6</sup>회 프로그램/소거 반복후의 드레인 disturb 특성

Fig. 11. Drain disturb after 10<sup>6</sup> cycles in flash memory cell with 950°C N<sub>2</sub>O annealed tunneling oxide and wet tunneling oxide, respectively.

그림 11에서 알 수 있는 바와 같이 10년 동안 드레인 disturb 특성을 보장할 수 있는 드레인 전압은 습식 산화막인 경우에 3.3V 이하이고 N<sub>2</sub>O 어닐링한 산화막의 경우에는 4.0V 이하이다. 이로부터 N<sub>2</sub>O 어닐링한 산화막이 습식 산화막 보다 드레인 disturb 특성도 우수함을 알 수 있다.

그림 9, 10, 11로부터 60Å 두께의 N<sub>2</sub>O 어닐링한 산화막을 터널링 산화막으로 이용할 경우, 10<sup>6</sup>회의 endu-

rance와 10년 이상의 드레인 disturb가 보장되는 낮은 프로그래밍 전압과 고속의 flash memory cell이 실현 가능함을 알 수 있다.

#### IV. 결 론

두께가 각각 다른 습식 산화막 및 N<sub>2</sub>O 어닐링한 산화막의 정전류 스트레스에 따른 SILC특성을 조사하였다. 또한, 60Å 두께의 N<sub>2</sub>O 어닐링한 터널링 산화막을 갖는 flash memory cell을 0.25 $\mu$ m 설계규칙에 따라 제작한 다음, 그 성능을 평가하였다.

그 결과, SILC의 발생 원인은 전기적 스트레스 인가에 따른 산화막내에 생성된 트랩 때문이며, SILC의 전도기구는 산화막 트랩을 경유한 band-to-band modified F-N터널링이 주도적임을 알 수 있었다. 60Å의 N<sub>2</sub>O 어닐링한 산화막은 SILC에 대한 내성 측면에서 큰 개선 효과가 있었다. 또한, 이 막을 flash memory cell의 터널링 산화막으로 이용할 경우, 10<sup>6</sup>회의 endurance와 10년 이상의 드레인 disturb가 보장되고 8V-프로그래밍이 가능한 성능을 얻을 수 있었다.

#### 참 고 문 헌

[1] R. Moazzami and C. Hu, "Stress-Induced

Current in Thin Silicon Dioxide Films," Int. Electron Devices Meeting Tech. Dig., pp.139~142, 1992.

[2] S. Shuto, S. Aritome, T. Watanabe and K. Hashimoto, "Read Disturb Degradation Mechanism for Source Erase Flash Memories," Symp. On VLSI Tech. Dig. of Tech. Papers, pp.242~243, 1996.

[3] E. F. Rinnion, S. M. Gladstone, R. S. Scott, D. J. Dumin, L. Lie and J. C. Mitros, "Thickness Dependence of Stress-Induced Leakage Currents in Silicon Dioxide," IEEE Trans. Electron Devices, Vol.44, No.6, pp.993~1001, 1997.

[4] M. Lenzlinger and E. H. Snow, "Flower-Nordheim Tunneling into Thermally Grown SiO<sub>2</sub>," J. Appl. Phys., Vol.40, No.1, pp.278~282, 1969.

[5] G. Barbottin and A. Vapaille, "Instabilities in Silicon Devices," Elsevier Science Publishing Company, New York, Chapter 5, 1991.

[6] 이상배, 하용안, 허윤준, 이성철, 서광열, "Flash EEPROM 터널링 산화막의 Stress Induced Leakage Current(SILC) 특성," 응용물리, Vol.11, No.2, pp.176~182, 1998

#### 저 자 소 개

##### 孫 鍾 亨(正會員)

1949년 4월 8일생. 1973. 2. 한양대학교 전자공학과 졸업(학사). 1983. 3. 한양대학교 대학원 전자공학과 졸업(석사). 1987. 3. 한양대학교 대학원 전자공학과(박사과정 수료). 1975~1987 LG 그룹 근무. 1987~1996 데이터케스트 한국지사장. 1997~1999 가트너그룹 부사장 겸 한국지사장. 한국전자공업진흥회 자문위원. SEMI Korea 자문위원. 대한 전자공학회 정회원.



##### 鄭 正 和(正會員)

1975년 한양대학교 전자공학과(학사). 1977년 한양대학교 전자공학과(석사). 1981년 일본 와세다대학교 전자통신 공학과(박사). 1979년~1980년 일본 NEC 중앙연구소 위촉연구원. 1983년~1984년 KIET(Korea Institute of Electronics & Technology) 위촉연구원. 1986년~1987년 미국 Berkeley대학 초빙교수. 1993년~1994년 대한전자공학회 CAD 및 VLSI 분과 위원장. 1995년~1996년 대한전자공학회 교육이사. 1996년~1997년 영국 Newcastle대학 초빙교수. 1997년~1998년 대한전자공학회 편집이사. 1997년~1999년 한양대학교 정보통신원 원장. 1999년~현재 대한전자공학회 학술이사. 1981년~현재 한양대학교 전자전기공학부 교수. 관심분야는 VLSI의 CAD, ASIC 에뮬레이션 시스템 개발, MPEG 디코더/인코더 설계, 통신 회로 설계, 특히 무선 모뎀 칩 개발