

論文99-36D-9-4

포켓 이온주입으로 비균질 채널도핑을 갖는 MOSFET소자의 드레인 전류 해석

(Analysis of the Drain Current in Nonuniformly Doped Channel(NUDC) MOSFET's due to Pocket Ion Implantation)

具 會 佑 *, 朴 柱 碩 **, 李 奇 榮 *

(Hoe-Woo Koo, Joo-Seog Park, and Kie-Young Lee)

요 약

MOSFET소자의 펀치스루 현상 및 문턱전압의 roll-off를 방지하는 효율적 방법으로 알려져 있는 halo 포켓 이온주입방법은 MOSFET드레인 전류의 감소를 가져온다. Halo구조 MOSFET의 드레인 전류 감소는 보통 문턱전압의 증가로 설명되고 있으나, 실험적으로 드레인 전류의 감소는 문턱전압의 증가로 예상된 드레인 전류 감소 보다 크게 관찰되고 있다. 본 연구에서는 halo도핑분포에 의해서 채널방향으로 생성되는 전계분포의 효과에 의한 드레인 전류의 감소를 분석하였다. 포켓 이온주입에 의한 halo MOSFET소자의 유효 이동도 모델을 제시하였고, 유효 이동도의 감소가 드레인 전류의 추가적인 감소에 기여함을 보였다. 제시된 모델에 따른 소자의 특성이 실험결과와 일치함을 보였다.

Abstract

Halo pocket implantation in MOSFETs, which is known to be an efficient method to prevent the punchthrough and threshold voltage roll-off phenomena, decreases the drain current of MOSFET devices. Although the decrease of the drain current in halo structure MOSFET is usually explained in terms of the increase of the threshold voltage, more decrease in the drain current than is predicted by the increased threshold voltage has experimentally been observed. In this work, the effect of halo doping profile on the drain current degradation is investigated in terms of the field distribution along the channel. Effective mobility model of the halo MOSFET's due to pocket implantation is presented and the degradation of the mobility is shown to be effective in the further decrease of the drain current. Present model is shown to be in good agreement with experimental results.

I. 서 론

최근의 집적회로는 동작속도, 저전력 및 집적도 측면

에서 유리한 미세 규격 MOSFET소자로 구현되고 있으며, 게이트 길이가 0.1 μ m이하인 소자의 제작이 실현되고 있다^[1]. 그러나 미세 규격 소자로 회로를 구현하기 위해서는 드레인, 소스 공핍 전하에 의한 전하분배(charge sharing) 및 드레인 전압에 의한 소스 전위장 벽강하(DIBL)로 인한 누설전류의 증가를 가져오는 문턱전압의 감소에 대한 극복이 필요한 실정이다. 특히 메모리 셀의 경우에 있어, 이러한 누설전류의 증가는 저장된 전하(storage charge)가 빠져나가는 원인중의

* 正會員, 忠北大學校 電子工學科

(Dept. of Electronic Eng., Chungbuk National Univ.)

** 正會員, 現代半導體 256M

(Hyundai Electronics, 256M)

接受日字 : 1999年4月9日, 수정완료일 : 1999年8月6日

하나이며^[1], 이를 일정한 크기로 제한하기 위해서는 채널길이의 감소에 따른 문턱전압의 감소를 억제해야하는 문제로 직결된다. 짧은 채널효과 중에서 특히 문턱전압 roll-off특성 및 펀치스루(punchthrough) 문제를 완화시키는 방법으로 halo 이온주입방식의 구조가 인정받고 있다[1]. 이 방식은 낮은 가격과 용이한 공정조건으로 인해 앞으로의 Gb DRAM급 및 주문형 반도체인 ASIC의 경우에 소자특성개선을 위해 반드시 필요하다. Halo이온주입에 의해 문턱전압의 특성이 개선되기 때문에 문턱전압에 대해서는 많은 연구 결과들이 제시되어 있고 그 외 여러 전기적 특성 및 해석적인 결과들이 보고되어 있다^[3-7]. 그러나 포켓(pocket) 이온주입에 의한 문턱전압의 roll-off특성은 상당한 개선을 가져왔으나 반대로 드레인 전류의 감소를 수반한다. 이러한 드레인 전류의 감소에 대해서는 그 연구가 미진하며, 해석적인 결과보다 실험적 특성만이 제시되어 있고^[8] 문턱전압과 기생파라미터의 변화로써 그 특성을 설명하고 있는 실정이지만, 채널길이가 짧아질수록 드레인 전류 특성 감소를 설명하기 어렵다.

Halo소자에 대해서 국내외적으로 연구가 꾸준히 진행되어 왔음에도 불구하고^[3-7] 실험적인 소자의 특성소개 및 문턱전압의 변화등 기본적인 연구에 한정되어 이루어져 왔다. 최근까지도 드레인 전류 특성에 대해서는 이론적 모델제시가 없는 실정이다.

Halo소자에서 드레인 전류가 기존의 모델식으로 설명되지 못하므로 본 논문에서는 halo이온주입된 MOSFET소자의 드레인 전류 특성을 이동도가 정의되는 선형영역에서 채널영역별로 컨덕턴스 파라미터들이 서로 다른 경우를 가정하여 문턱전압과 halo소자의 이동도로 표시되는 모델식을 제안하여 해석하였고, 2차원 시뮬레이터를 사용하여 확인하였다. 또한 소자제작 및 측정을 통해 제안된 모델식이 실험결과와 매우 잘 일치하는 결과를 얻었다.

II. 모델

Halo 이온주입에 의해 채널방향으로 도핑농도가 서로 다른 영역이 발생되므로 그림 1과 같이 각 영역별로 서로 다른 컨덕턴스 파라미터들을 정의할 수 있는 경우를 가정하고, 각각의 영역별로 서로 다른 문턱전압이 정의된다면 i 번째 영역에 대해서 평형상태의 표현

전하밀도 Q_i 는 다음과 같이 쓸 수 있다.

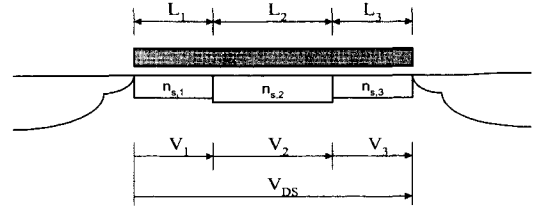


그림 1. 영역별 접근방법에 의한 캐리어 농도 및 전위

Fig. 1. Schematic of a carrier concentration and potential by the regional approach in equilibrium.

$$Q_i = qn_{s,i} = C_{ox}(V_{GS} - V_{T,i}) \quad (1)$$

여기서 q 는 전자전하의크기 $n_{s,i}$ 는 i 번째 영역의 전송자 전하밀도이고, C_{ox} 는 단위면적 당 산화막 정전용량 $V_{T,i}$ 는 i 번째 영역의 문턱전압을 표시한다.

확산전류가 무시되고 드리프트전류만 채널전류에 기여하는 강 반전(strong inversion)상태에서 드레인 전류는 잘 알려진 드레인 전류 계산 방법에 따라 다음과 같이 쓸 수 있다.

$$I_{DS} dy = Q_i(y) W \mu_{ni} dV \quad (2)$$

$$I_{DS} = \frac{W}{L} \left[\mu_{n1} \int_0^{V_1} Q_1(y) dV + \mu_{n2} \int_{V_1}^{V_1+V_2} Q_2(y) dV + \mu_{n3} \int_{V_1+V_2}^{V_1+V_2+V_3} Q_3(y) dV \right] \quad (3)$$

여기서 W 는 폭, L 은 채널길이, μ_{ni} 는 i 번째 영역의 유효이동도이다

선형영역에서 동작하는 경우 Q_i 는 다음과 같이 쓸 수 있다.

$$Q_i = C_{ox} [V_{GS} - V_{T,i} - a_i V(y)] \quad (4)$$

여기서 a_i 는 i 번째 영역의 bulk charge 효과를 고려한 인자이다, (4)식을 (3)식에 대입하면 드레인 전류 식에 대한 식(3)의 결과는

$$I_{DS} = \frac{W}{L} C_{ox} \left[\mu_{n1} \left\{ (V_{GS} - V_{T1}) V_1 - \frac{a_1}{2} V_1^2 \right\} + \mu_{n2} \left\{ (V_{GS} - V_{T2}) V_2 - a_2 V_1 V_2 - \frac{a_2}{2} V_2^2 \right\} \right]$$

$$+ \mu_{n3} \left\{ (V_{GS} - V_{T3})V_3 - a_3(V_1 + V_2) - \frac{a_3}{2} V_3^2 \right\} \quad (5)$$

각각의 영역에서 전류의 연속성과 halo소자의 대칭성으로부터 다음과 같은 관계식이 구해진다.

$$\begin{aligned} & \frac{\mu_{n1}}{L_1} \left\{ (V_{GS} - V_{T1})V_1 - \frac{a_1}{2} V_1^2 \right\} \\ &= \frac{\mu_{n2}}{L_2} \left[(V_{GS} - V_{T2})V_2 - a_2 V_1 V_2 - \frac{a_2}{2} V_2^2 \right] \\ &= \frac{\mu_{n1}}{L_1} \left[(V_{GS} - V_{T3})V_3 - a_1(V_1 + V_2)V_3 \right. \\ & \quad \left. - \frac{a_1}{2} V_3^2 \right] \quad (6a) \end{aligned}$$

$$\begin{aligned} V_2 = \frac{1}{a_2} \left[(V_{GT2} - a_2 V_1) - \left\{ (V_{GT2} - a_2 V_1)^2 \right. \right. \\ \left. \left. - 2a_2 \frac{L_2}{L_1} \frac{\mu_{n1}}{\mu_{n2}} \left(V_{GT1} - \frac{a_1}{2} V_1 \right) V_1 \right\}^{1/2} \right] \quad (6b) \end{aligned}$$

$$\begin{aligned} V_3 = \frac{1}{a_1} \left[\{ V_{GT3} - a_1(V_1 + V_2) \right. \\ \left. - \left\{ (V_{GT3} - a_1(V_1 + V_2))^2 - 2a_1(V_{GT1} - \frac{a_1}{2} V_1)V_1 \right\}^{1/2} \right] \quad (6c) \end{aligned}$$

$$V_1 + V_2 + V_3 = V_{DS} \quad (6d)$$

여기서 $V_{GTi} = V_{GS} - V_{Ti}$ ($i=1, 2, 3$). 드레인 전압 V_{DS} 가 매우 작은 선형영역에서는 다음과 같이 간단한 관계식들이 정리된다.

$$V_3 \approx V_1 \quad (7a)$$

$$V_1 \approx \frac{1}{2 + r_v} V_{DS} \quad (7b)$$

$$V_2 \approx r_v V_1 = \frac{r_v}{2 + r_v} V_{DS} \quad (7c)$$

$$r_v = \frac{\mu_{n1}}{\mu_{n2}} \frac{L_2}{L_1} \frac{V_{GS} - V_{T1}}{V_{GS} - V_{T2}} \quad (7d)$$

이러한 관계식을 이용하면 선형영역에서 드레인 전류 I_{DS} 는 다음과 같이 정리된다.

$$\begin{aligned} I_{DS} &= \frac{W}{L} C_{ox} \left[\mu_{n1}(V_{GS} - V_{T1})V_1 \right. \\ & \quad \left. + \mu_{n2}(V_{GS} - V_{T2})V_2 + \mu_{n3}(V_{GS} - V_{T3})V_3 \right] \\ &= \tilde{\beta}_H [V_{GS} - \tilde{V}_{T,H}] V_{DS} \quad (8) \end{aligned}$$

$$\begin{aligned} \tilde{\beta}_H &= \frac{W}{L} C_{ox} \mu_{n2} \left[1 - \frac{2}{2 + r_v} \frac{\Delta\mu_n}{\mu_{n2}} \right] \\ &= \beta_{n2} \left[1 - \frac{2}{2 + r_v} \frac{\Delta\mu_n}{\mu_{n2}} \right] \quad (9a) \end{aligned}$$

$$\Delta\mu_n = \mu_{n2} - \mu_{n1} \quad (9b)$$

$$\tilde{V}_{T,H} = \frac{2L_1 V_{GT2} V_{T1} + L_2 V_{GT1} V_{T2}}{2L_1 V_{GT2} + L_2 V_{GT1}} \quad (9c)$$

비록 유효문턱전압 $\tilde{V}_{T,H}$ 는 게이트전압의 함수로 표현됐으나 드레인 전압이 가해지지 않은 경우에서 게이트전압 증가에 의한 표면전위가 $2\phi_f$ 가 될 때의 값으로 정의되면 그 오차는 크지 않으며, 다음과 같은 접근값을 갖게된다.

$$\tilde{V}_{T,H} \rightarrow \begin{cases} V_{T1} & \text{as } V_{GS} \rightarrow V_{T1} \\ \frac{2L_1 V_{T1} + L_2 V_{T2}}{2L_1 + L_2} & \text{as } V_{GS} \rightarrow \infty \end{cases} \quad (10)$$

halo이온주입이 없는 경우에는 식(9c)식은 표준공정 MOSFET의 문턱전압 V_{T2} 의 값을 갖는다.

III. 시뮬레이션

드레인 전류 특성 모델식의 적용이 비교적 용이한 긴 채널 소자와 채널길이 $0.3\mu\text{m}$ 소자에 대하여 소자 시뮬레이터(ATLAS)를 이용한 결과와 모델식을 비교하였다. 시뮬레이션에 사용된 도핑 프로파일 및 소자 구조는 표 1과 같다. 표 1에서 I, III영역은 포켓 이온주입된 영역이다. 각 소자의 문턱전압은 시뮬레이션된 $I_{DS} - V_{GS}$ 특성곡선으로부터 외삽법(linear extrapolation)을 이용하였다. 그림 2-(a)(b)에서는 채널 표면의 전자농도 분포 $n_s(x)$ 및 전자의 유사페르미준위(Quasi-Fermi Level)를 채널 위치에 따라 각각 보였다. (a)의 전자농도 분포는 각 영역에서 서로 다른 문턱전압이 정의될 수 있음을 보여주며, (b)에서는 전자의 유사페르미준위의 기울기가 영역별로 서로 다르면 V_{DS} 가 작을 때 각 영역에서의 기울기는 선형성이 유지되고 있음을 알 수 있다. 그림 2(c)에서는 채널길이에 따른 포텐셜을 표시한 것으로 최소 포텐셜의 위치가 포켓 이온주입 영역 내에 있는 것을 알 수 있다. 이러한 이유로 전체 채널의 문턱전압은 L_p 영역의 도핑농도에 의해 크게 좌우됨을 알 수 있다. 그림 2(d)의 캐리어속도는 각각의 영역별로 그 크기가 다르며, 전류가 위치에 관계없는 상수임을 고려하면 각 영역의 캐리어 농도 및 이동도가 서로 다른 값을 갖고 있음을 보여 준다. 드레인 전류에 기여하는 이러한 물리량들의 분포도는

기존의 전류 계산 방법의 적용이 타당하지 않으며, II장에서 제시한 본 연구의 영역별 계산 방법이 적용될 수 있음을 시사한다.

표 1. 시뮬레이션에 사용된 파라미터 값
Table 1. Device parameter values used in the simulation.

channel region	NUDC MOSFET			conventional MOSFET
	I	II	III	
length(μm)	0.4	0.8	0.4	1.5
	0.07	0.16	0.07	0.3
$N_{\text{sub}}(/\text{cm}^2)$	2.75×10^{17}	7.5×10^{19}	2.75×10^{17}	7.5×10^{19}
Tox(\AA)	150			

그림 3-(a)(b)는 표 1에서 기술된 halo소자와 표준공정의 소자를 시뮬레이션 한 $I_{DS} - V_{GS}$ 특성곡선이다 (lines). 심볼(●)은 BSIM모델식과 시뮬레이션에 사용한 파라미터를 이용하여, 시뮬레이션으로 구해진 표준공정소자의 $I_{DS} - V_{GS}$ 특성을 예측한 것으로 매우 잘 일치하고 있다. Halo소자의 드레인 전류 감소가 문턱전압의 증가만으로 설명된다면 심볼(●)로 표시된 수식에서 문턱전압을 halo소자의 값으로 대입하였을 때 halo소자의 드레인 전류(dotted line)를 설명할 수 있어야 하지만 그림에서 보듯이 그렇지 못하며 채널길이 $0.3\mu\text{m}$ 소자인 그림 3(b)에서는 그 차이가 더욱 크다. 심볼(○)은 본 연구에서 제안한 식(8)으로 halo소자의 문턱전압과 이동도의 변화로써 드레인 전류 감소를 예측한 것으로, 채널길이 $0.3\mu\text{m}$ 에서도 매우 잘 설명되고 있다.

표준공정의 소자에 비해 halo소자의 이동도는 (9a)식으로 표현되었으며, 각각의 영역에서 이동도는 일반적으로 적용되는 다음의 관계식을 사용하였다.

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)}$$

여기서 μ_0 , θ 는 각각 저전계에서의 이동도 값 및 이동도 감쇄계수이다.

드레인 전압이 매우 작은 경우에는 채널방향 전계는 무시할 수 있으므로 앞으로의 논의에서는 제외하고자

한다. 채널 방향의 전계를 무시하게 되므로 위의 이동도 모델식은 채널길이에 독립적인 함수로 가정할 수 있다. 그러므로 표준공정의 소자에서 이동도는 채널길이에 따라 이동도 파라미터 μ_0 , θ 는 변하지 않는다고 보는 것이 타당하다. 표준공정의 소자에서 벌크 농도가 작은 경우에는 이동도 파라미터는 보편곡선(universal curve)을 따라가며, halo소자에서도 표면에서의 수직전계는 포켓 영역과 비 포켓 영역이 모두 같으므로 이동도는 두 영역 모두에서 같은 파라미터를 사용할 수 있으나 현재의 저전력화 추세에 MOSFET공정은 채널농도 및 수직전계의 범위가 쿨롱스캐터링의 영향을 고려해야 하는 범위에 있으며, 이러한 경우 보편곡선(universal curve)을 따라가는 이동도 파라미터를 그대로 적용하기 어렵다. 본 연구에서는 위의 이동도 모델식을 적용하면서 쿨롱 스캐터링의 영향을 고려하여 이동도를 논의 하고자 한다. 쿨롱 스캐터링을 고려하게 되면, 저전계에서는 유효전계의 증가에 따라 이동도값도 증가하지만 어느 임계 전계를 지나서부터 다시 감소하게 된다. 따라서 저전계 이동도 파라미터 μ_0 는 채널의 유효 전계에 따라 이동도 값이 최대인 값을 지나가게 하는 fitting 파라미터로 정의하게되면 μ_0 값은 채널 농도가 증가 할 수록 쿨롱 스캐터링의 증가로 인해 그 값이 작아 진다. 채널의 수직전계가 커지면 이동도는 포논스캐터링(phonon scattering) 및 표면 거칠기 스캐터링(surface roughness scattering)이 지배적이므로 이 두 가지 메커니즘으로 결합된 이동도를 따라가게 된다. 이러한 이유로 이동도 감쇄계수 θ 는 채널농도의 증가에 따라 감소함을 예상할 수 있으며 이에 대한 실증적 결과는 참고문헌[10]에서 논의 되어져있다.

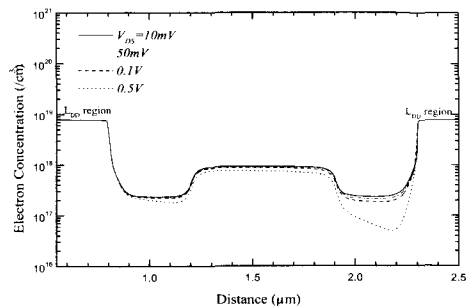


그림 2(a). 채널에서의 캐리어 농도
Fig. 2(a). Electron Concentration along the channel.

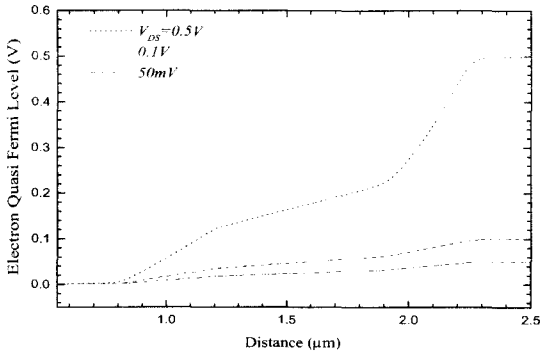


그림 2(b). 채널에서의 유사페르미준위
Fig. 2(b). Electron Quasi Fermi Levels along the channel.

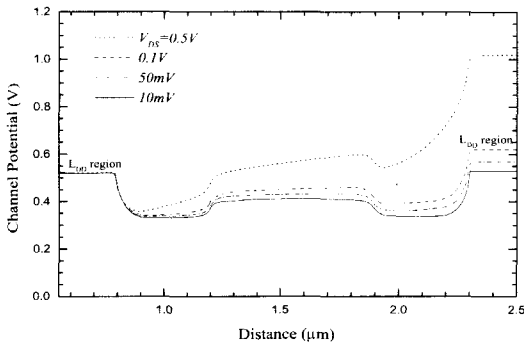


그림 2(c). 채널에서의 표면준위
Fig. 2(c). Channel Potential along the channel.

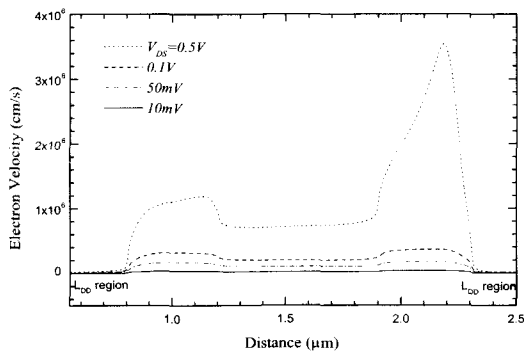


그림 2(d). 채널에서의 캐리어속도
Fig. 2(d). Electron velocity along the channel.

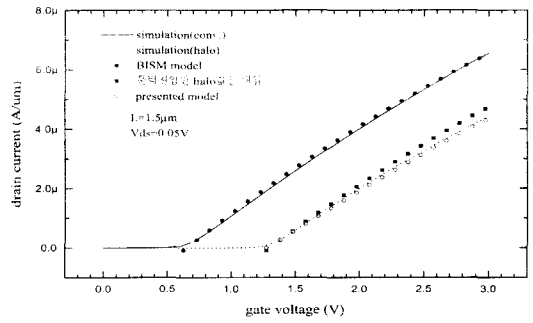


그림 3(a). 1.5 μm 게이트길이를 갖는 halo소자의 2-D 시뮬레이션 및 계산된 I_D-V_{DS} 특성
Fig. 3(a). 2-D simulation (lines) and calculated (symbols) I_D-V_{DS} characteristics for a long channel halo device with gate length 1.5 μm .

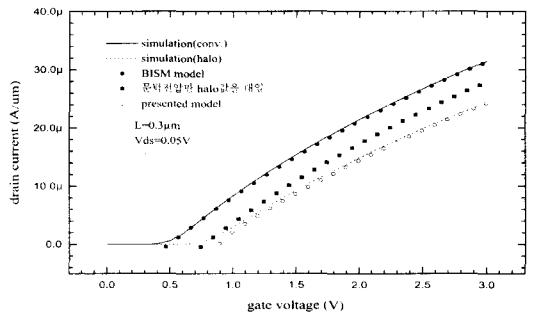


그림 3(b). 0.3 μm 게이트길이를 갖는 halo소자의 2-D 시뮬레이션 및 계산된 I_D-V_{DS} 특성
Fig. 3(b). 2-D simulation (lines) and calculated (symbols) I_D-V_{DS} characteristics for a long channel halo device with gate length 0.3 μm .

IV. 실험결과

본 연구에 사용된 시료는 (100) 방향을 갖는 9-12 [Ω -cm]의 p-type 기판에 p-well을 형성한 후 여기에 NMOS를 형성하였다. p-well은 $450\Omega/\square$ 의 저항을 갖도록 제작을 하였다. 우선 p-well용 이온주입을 BF₂, 60KeV, 2E13의 조건으로 진행한 후 1200°C에서 100분간 질소분위기의 일부로에서 열처리를 진행하였다. Halo소자의 경우 채널영역에 BF₂, 40KeV, 1.5E12의 이온주입을 진행하였고 기존소자의 경우 1.2E12으로 이온주입을 하여 채널의 도핑을 조절하였다. 이때, 이온주입을 진행하기 전에 웨이퍼 표면에 10nm의 열 산화막을

형성하여 이온 주입시의 오염을 막도록 하였다. 게이트 산화막으로는 8nm의 열 산화막을 사용하였다. 연속 진행된 게이트는 phosphorous로 도핑이 된 다결정 실리콘을 사용하였다. 다결정 실리콘은 저압기상 증착법을 사용하여 로내에서 SiH₄와 PH₃를 반응시켜 phosphorous가 다결정 실리콘의 형성 시 in-situ로 포함되도록 하여 200nm의 두께로 형성하였다. 게이트를 형성한 후 7nm의 열 산화막을 형성하고 n- 및 halo이온 주입을 진행하였다. 이때의 이온 주입조건은 표 2와 같다. 본 실험은 표준공정의 소자(split #1)와 halo공정의 소자(split #2)에 대하여 모델식과 비교하였으며, halo소자 #3, #4에 대하여서는 이온주입 조건의 변화로 인한 드레인 전류의 경향을 모델식으로 충분히 설명할 수 있음을 보이고자 실시하였다. 이온 주입이 끝난 후 sidewall을 형성하였다. sidewall은 저압기상증착 된 산화막을 이용하여 형성하였으며 최종적으로 70nm 두께가 남도록 공정을 조정하였다. Sidewall이 형성된 후 다시 7nm의 열 산화막을 형성한 후 n+이온 주입을 실시하였다. 이상과 같이 만들어진 소자의 위에 보호막으로 산화막을 입혀준 후 850°C에서 60분간 열처리하고 알루미늄 배선을 형성하여 소자를 제작하였다.

표 2. 공정조건
Table 2. Process Splits.

split #	PTS I/I	V _t I/I	Halo I/I
1	B, 60KeV, 1.5E12	BF ₂ , 40KeV, 1.2E12	-
2	-	BF ₂ , 40KeV, 1.5E12	BF ₂ , 80KeV, 6E12
3	-	BF ₂ , 40KeV, 1.5E12	BF ₂ , 100KeV, 6E12
4	-	BF ₂ , 40KeV, 1.5E12	BF ₂ , 120KeV, 6E12

PTS I/I : Punchthrough Stopper Ion Implant.

드레인 전류 특성을 결정하기 위해서, 특히 짧은 채널로 갈수록 유효채널길이 L_{eff} 와 유효채널 폭 W_{eff} , 이동도 μ_{eff} , 소스-드레인 기생저항 r_T , 문턱전압 V_T 를 결정하여야 한다. 채널 확산 길이 ΔL 과 소스-드레인 기생저항 r_T 의 추출방법은 기존에 많은 보고가 제시되어 있다^{[11][12]}. 본 연구에서는 참고문헌[12]에서 제시된 방법을 적용하였다. 이동도가 채널길이에 따라 변화가 없다고 가정했을 때에는 기존의 방법으로 제시된

소자 파라미터 값을 사용할 수 있으나, halo소자의 경우 이동도는 소자의 특성상 포켓 이온 주입된 영역이 전 채널에서 차지하는 비율에 따라 달라지고 있으므로 (식(9a)) 기존의 방법을 그대로 적용하는 것은 무리가 있다고 보여진다. 특히 ΔL 의 경우 이동도의 채널길이에 대한 영향을 고려하지 않을 때에는 구동전류의 감소가 확산채널길이 ΔL 의 변화에 의한 결과로 해석될 수 있으므로 이에 대한 논의가 앞으로 이뤄져야 할 것이다. 그러나 소스-드레인 기생저항 r_T 는 기존소자에서 추출하는 방법을 적용하여도 무리가 없다고 보여진다. 이러한 이유로 본 연구에서는 halo소자의 채널확산길이 ΔL 은 표준공정의 소자에서 추출된 값을 사용하였다. 즉 halo I/I에 의해서 ΔL 값은 변하지 않는다고 가정하였다. 실제로 표준공정의 소자에서 측정한 파라미터를 그대로 halo소자에 적용한 결과와 halo소자에서도 기존의 방법을 사용하여 추출한 파라미터를 그대로 적용한 결과를 그림 7에서 비교한다.

그림 4-(a)(b)(c)에서는 긴 채널과 짧은 채널에서 표준공정의 소자와 halo소자의 게이트전압에 따른 드레인 전류 특성과 문턱전압을 제작된 시료로부터 $V_{DS}=0.1V$ 조건에서 측정한 것이다. Halo소자와 표준 공정 소자의 드레인 전류를 선형영역에서 비교한 결과, 짧은 채널로 갈수록 구동전류의 차이가 크게 나타나고 있다. 그림 4-(c)에서는 기존 공정의 소자가 채널 길이 $0.35\mu m$ 이하에서는 문턱전압이 급격한 감소현상을 보이고 있으나, halo소자의 경우에서는 이온주입조건에 따라 문턱전압 roll-off특성이 개선되고 있음을 알 수 있다. 문턱전압이 작아 지면 문턱전압이하 드레인 전류의 크기가 매우 커지므로 MOSFET의 turn-off특성이 좋지 않으므로 기존공정의 소자로는 대략 $0.3\mu m$ 이하의 소자에의 적용에 한계를 보이고 있다. 구동전류의 차이는 halo I/I에 의해 영향을 받는 영역의 전체 채널에서 차지하는 비율이 증가함을 의미하고 있으며, 이는 전체 평균농도가 높아지는 효과를 가져오고 더불어 표준공정의 소자에 대한 halo소자의 전단 컨덕턴스의 감소, 이동도 감소, 짧은 채널에서의 드레인 전류의 감소와 같은 결과로 나타나는 것으로 보인다. 즉 짧은 채널로 갈수록 halo소자는 문턱전압 및 펀치스루문제를 개선하지만 드레인 전류의 감소를 가져온다.

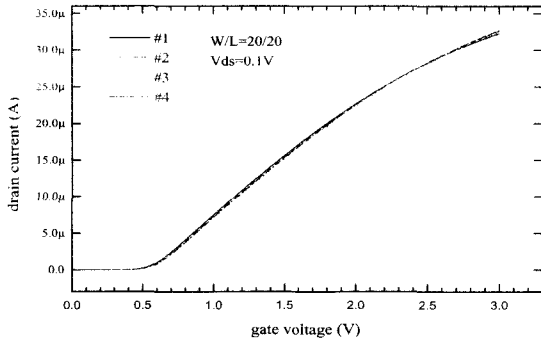


그림 4(a). 게이트 전압에 따른 드레인 전류 특성 및 채널길이에 따른 문턱전압의 측정값.
Fig. 4(a). Experimental I_D - V_{DS} characteristics and V_T vs. channel length.

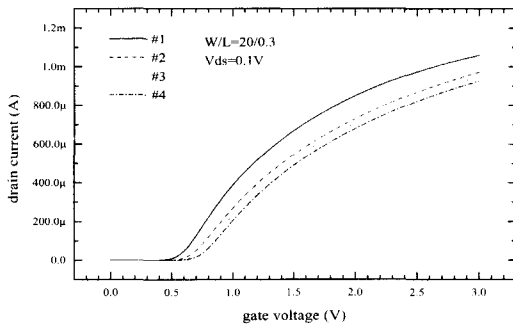


그림 4(b)

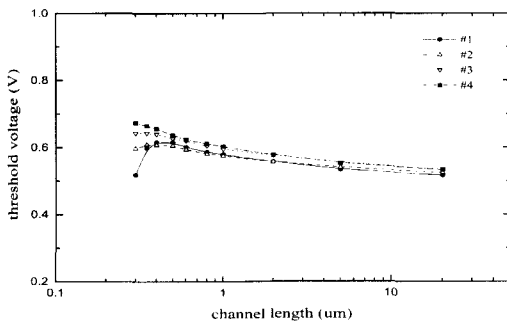


그림 4(c)

표준공정 MOSFET의 선형영역에서 드레인 전류는 일반적으로 다음 식과 같이 쓸 수 있다.

$$I_{DS} = \mu_{eff} C_{ox} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_T - \frac{a}{2} V_{DS}) V_{DS} \quad (11)$$

여기서 $V_{DS} = V_{DS} - I_d r_T$, $V_{GS} = V_{GS} - I_d r_s$, r_s 는 소

스기생저항 r_T 는 드레인-소스기생저항, V_{GS} , V_{DS} 는 각각 intrinsic 영역의 게이트-소스, 드레인-소스 전압이며, V_{GS} , V_{DS} 는 소자 외부에 가해진 전압이다. 제작된 소자의 게이트전압에 따른 드레인 전류 특성을 기존의 모델식(11)과 제시된 모델식(8)으로 각각 비교하였다. 모든 그림에서 소자로부터 측정된 실험 값들은 라인으로 표시하였고 심볼로 표시된 것은 수치계산 한 값들이다.

그림 5는 표준공정 MOSFET소자에 식(11)을 적용한 것으로(symbols) 선형영역에서 드레인 전류 특성을 채널길이 $0.3\mu m$ 에서도 매우 잘 설명되고 있음을 알 수 있다.

그림 6는 halo소자 (split #2)에 대해서 기존의 수식 (11)을 수정하지 않고 문턱전압만 halo소자로부터 측정된 값을 넣었을 때 수치계산 된 값과(●) 소자로부터 직접 측정된 값(lines)을 비교한 것으로, 수치 계산된 값이 측정값 보다 크고 채널길이 $0.8\mu m$ 인 소자에서도 잘 맞지 않고 있다.

그림 7은 채널길이 $0.5\mu m$ 소자에 대해서 식(11)에 문턱전압만 halo소자 값을 적용하여 수치계산 된 값(○)과 측정값을 비교한 것이다. 2번 halo소자(split #2)의 경우 채널길이가 $20\mu m \sim 0.35\mu m$ 까지는 문턱전압이 표준공정의 소자와 halo소자간에 거의 차이가 없다. 이러한 경우 문턱전압의 변화에 의한 드레인 전류 변화는 없을 것으로 예상되었으나 수치계산 값은 실험 값을 제대로 설명하지 못하고 있다. 이러한 차이는 halo소자의 구동전류 감소는 문턱전압 뿐만 아니고, 다른 파라미터 즉, 소스-드레인 기생저항, 유효채널길이와 같은 값의 변화에 기인된다고 볼 수 있다. 드레인-소스 기생저항은 기존의 (11)식으로 유도된 방법으로 값을 적용할 수 있으나, 유효채널길이는 이동도가 채널길이의 함수로 표현된다고 가정하면, 기존의 방법[12]으로 추출된 채널확산길이는 문제가 될 수 있다. 그러나 드레인 전류 감소의 지배적인 원인을 알아보기 위해 halo소자의 ΔL , r_T 를 표준공정의 소자에서와 같은 방법으로 추출하고, (11)식을 적용한 것이 심볼(■)이다. 그러나 이 값은 실제 측정값보다 작다. 심볼(●)은 본 논문에서 제시한 (8)식으로 수치계산 된 값으로 드레인 전류 특성을 가장 잘 설명하고 있다. 그러므로 기존의 수식을 적용하여 halo소자의 드레인 전류를 설명하는 것은 그림 6, 7에서 보듯이 채널길이가 짧아질수록 실험 값에

서 벗어나며 제대로 설명되지 못하고 있다. 이러한 실험적 사실은 halo소자의 드레인 구동전류의 감소는 문턱전압 V_T , 채널확산길이 ΔL , 소스-드레인 기생저항 r_T 의 변화보다도 본 연구에서 제시된 이동도의 변화에 의해 지배적으로 나타나는 것으로 추정할 수 있다.

그림 8에서는 본 논문에서 제시한 (8)식을 $V_{DS}=30mV$ 조건에서 각각의 채널길이에서 수치 계산된 값과 실제 측정값을 비교한 것으로 측정된 값과 매우 잘 일치하고 있다.

그림 9에서는 halo I/I의 도즈량을 $6E12cm^{-2}$ 로 일정하게 하고 이온주입에너지만 증가시켜 제작된 소자 (split #3, #4)의 게이트전압에 따른 드레인 전류 특성이 다. Halo 소자 #3, #4의 경우에는 포켓 이온 주입된 영역이 halo이온주입의 에너지 증가에 따라 확장되며, 도핑농도의 피크(peak) 또한 변하게 된다. 이때 도핑농도의 피크가 크게 변하지 않으면, 포켓 이온주입 영역의 변화에 따라 드레인 전류의 변화가 나타난다. 그러나 halo소자의 유효채널길이와 드레인 소스의 기생저항이 포켓 이온주입에너지 변화에 따라 기존방법에 의해 ΔL , r_T 를 구하면 본 연구에서 시행한 이온주입 및 도핑농도 범위 안에서는 포켓 이온주입 된 소자간에는 그 차이가 매우 작으며, 단지 문턱전압의 차이만 보인다. 그러나 이러한 문턱전압만의 차이로 이온주입 에너지에 따른 halo소자의 드레인 전류의 감소를 설명하기 어렵고 영역 I의 변화에 의한 이동도의 변화로 드레인 전류를 설명하는 것이 타당하다. Halo I/I의 에너지 크기에 따라 L_1 값이 변화됨을 충분히 예상할 수 있으므로 L_1 을 fitting 파라미터로 사용하여 halo소자(#3, 4) 각각에 대해서 드레인 전류 변화가 충분히 설명될 수 있음을 그림 9에서 보였다. 그러나 채널길이가 매우 짧아질수록 기존의 수식으로도 표준공정소자의 드레인 전류를 일관되게 설명하기가 어려울 뿐만 아니라 halo 소자에서는 이동도 모델 식에서 영역 1을 정확하게 정의하기가 어렵다. 그 이유로는 채널이 작아 질수록 포켓 이온주입에 의해 L_2 영역전체의 도핑농도와 길이가 영향을 받을 수 있기 때문에 모두 충분한 독립적인 길이 갖고 있다고 가정하고 영역별 컨덕턴스를 정의할 수 있었으나 매우 짧은 채널의 경우에는 제시된 모델 식에서 벗어날 수 있다.

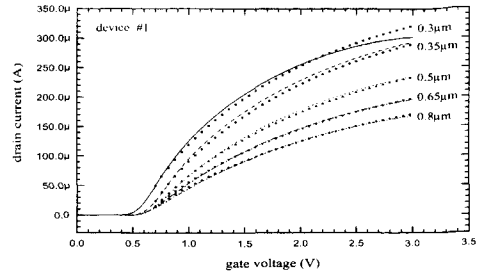


그림 5. 식(11)으로부터 $V_{DS}=30mV$ 에서 계산된 I_D - V_{GS} 특성(symbols) 및 실험값(lines)
 Fig. 5. Experimental(lines) and calculated (symbols) I_D vs. V_{GS} characteristics for $V_{DS}=30mV$. Calculated results are based on model Eq. (11).

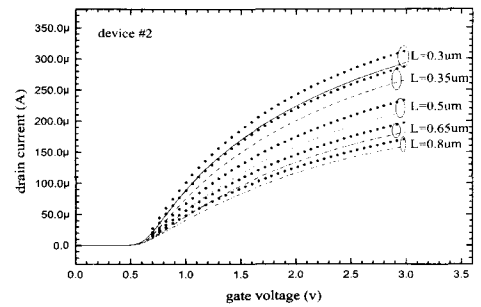


그림 6. $V_{DS} = 30mV$ 에서 계산된 I_D - V_{GS} 특성 (symbols) 및 실험값(lines)
 Fig. 6. Experimental(lines) and calculated(symbols) I_D vs. V_{GS} characteristics for $V_{DS} = 30mV$.

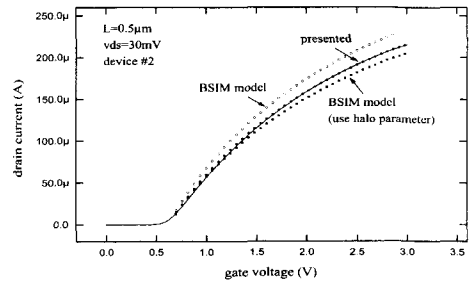


그림 7. BSIM모델식, 본 연구에서 제시된 모델식과 측정값의 비교
 Fig. 7. Measured(line) and calculated(symbols) I_D vs. V_{GS} characteristics.

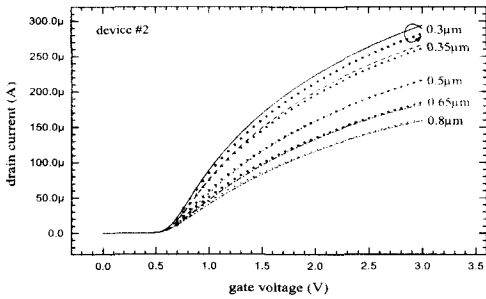


그림 8. 식(8)로부터 계산된 I_D - V_{GS} 특성(symbols) 및 실험값(lines)

Fig. 8. Experimental(lines) and calculated(symbols) I_D vs. V_{GS} characteristics. Calculated by the model based on Eq. (8).

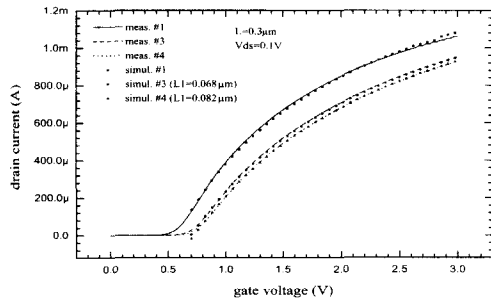


그림 9. 서로 다른 halo 이온주입에너지를 갖는 halo소자의 계산된 드레인 전류 특성 및 실험값

Fig. 9. Experimental(lines) and calculated (symbols) I_D vs. V_{GS} characteristics of the halo devices with different halo I/I energy.

V. 결론

채널방향으로의 비균질 도핑 분포를 갖는 halo소자의 선형영역에서 드레인 전류 식을 제안하였다. 본 연구에서는 포켓 이온 주입영역과 그 외의 기판영역에서 서로 다른 문턱전압에 의한 전송자 농도의 차 및 이동도의 차가 있으므로 영역별로 서로 다른 전송 파라미터들을 정의하는 영역별 해석방법을 사용하였다. 이러한 해석결과 halo소자의 문턱전압의 증가가 드레인 전류의 감소에 크게 영향을 주고 있는 것도 확인할 수 있었으나 단순히 이러한 문턱전압만으로 드레인 전류의 감소를 설명하기 어려우며 본 연구의 모델식에 의한 드레인 전류 식이 NUDC MOSFET소자의 특성과 거의 일치함을 알 수 있으며, 유효 컨덕턴스 파라미터의 변화 각각이 표준공정 소자에 비해 낮은 드레인 전

류를 갖는 halo소자의 전류 감소 성분에 기여함을 확인하였다. 현재 짧은 채널 halo소자의 드레인 전류에 대한 해석적 방법이 제시되어 있지 않으므로 본 연구의 해석방법은 짧은 채널 halo소자의 전기적 특성을 기술할 수 있을 것으로 보여진다. 하지만 매우 짧은 채널의 경우에 있어서는 각 영역별로 유효문턱전압 및 컨덕턴스 파라미터를 정확하게 정의하기가 어렵기 때문에 halo소자의 드레인 전류 해석에 문제점으로 남아 있다고 볼 수 있다.

감사의 글

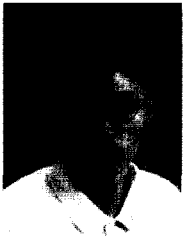
※ 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비(ISRC 96-E-1025) 및 정보통신부의 정보통신우수시범학교 지원사업에 의하여 수행되었습니다.

참고문헌

- [1] C. H. Wann, K. Noda, T. Tanaka, M. Yoshida, and C. Hu, "A Comparative Study of Advanced MOSFET Concepts," *IEEE Trans. on Elec. Dev.*, vol. *TED-43*, pp. 1742-1753, 1996.
- [2] A. Bellaouar, M. I. Elmasry, "Low-Power Digital VLSI Design, Kluwer Academic Publishers," 1995. pp. 381-386.
- [3] B. Yu, C. H. Wann, E. D. Nowak, K. Noda, and C. Hu, "Short Channel Effect Improved by Lateral Channel Engineering in Deep-Submicrometer MOSFETs," *IEEE Trans. on Elec. Dev.*, vol. *TED-44*, pp.627-633, 1997.
- [4] Y. Okumura, M. Shirahata, A. Hachisuka, T. Okudaira, H. Arima, and T. Matsukawa, "Source-to-Drain Nonuniformly Doped channel (NUDC) MOSFET Structure for High Current Drivability and Threshold Voltage Controllability," *IEEE Trans. on Elec. Dev.*, vol. *TED-39*, pp. 2541-2552, 1992.
- [5] J. J. Maa, C. Y. Wu, "A New Simplified Threshold Voltage Model for n-MOSFET's with Nonuniformly Doped Substrate and Its

- Application to MOSFET's Miniaturization," IEEE Trans. on Elec. Dev., vol. TED-42, pp. 1487-1494, 1995.
- [6] M. Shirahata, Y. Okumura, Y. Abe, T. Kuroi, M. Inuishi, and T. Hirao, "Reliability of Non-Uniformly Doped Channel (NUDC) MOSFETs," Conf. Proc. of SSDM, pp.878- 880, 1995.
- [7] A. Chatterjee, J. Liu, S. Aur, P. K. Mozumder, M. Rodder, and I. C. Chen, "Pass Transistor Design using Pocket Implant to Improve Manufacturability for 256Mbit DRAM and Beyond," Conf. Proc. of IEDM, pp. 87-90, 1994.
- [8] D. Jung, J. Park, K. Lee, N. Kang, K. Kim, T. WShin, and J. Park, "A 0.25 μ m CMOSFET Using Halo Implantation for 1Gb DRAM," Conf. Proc. of SSDM, pp. 869-871, 1995.
- [9] H. Hwang, D. H. Lee, J. M. Hwang, "Degradation of MOSFETs Drive Current Due to Halo Ion Implantation," Conf. Proc. of IEDM, pp. 567-570, 1996.
- [10] S. Villa, A. L. Lacaita, L. M. Perron, and R. Bez, "A Physically-Based Model of the Effective Mobility in Heavily-Doped n-MOSFET's," IEEE Trans. on Elec. Dev., vol. TED-45, pp. 110-115, 1998.
- [11] J. Scarpulla and J. P. Krusius, "Improved statistical method for extraction of MOSFET Effective Channel Length and Resistance," IEEE Trans. on Elec. Dev., vol. TED-34, pp. 1354-1359, 1987.
- [12] J. Suci, R. L. Johnston, "Experimental derivation of the source and Drain Resistance of MOS Transistors," IEEE Trans. on Elec. Dev., vol. TED-27, pp. 1846-1848, 1980.

 저 자 소 개



具會佑(正會員)

1991년 서강대학교 물리학과 졸업(이학사). 1991년 현대전자 반도체 사업부 근무. 현 충북대학교 박사과정 재학. 주관심 분야는 반도체 소자 물리 및 모델링, $1/f$ 잡음

朴柱碩(正會員)

1987년 서울대학교 금속공학과졸업. 1997년 충북대학교 공학석사. 현재 현대반도체 256M 2세대 제품개발 근무

李奇榮(正會員) 第36卷 C編 第5號 參照