

論文99-36D-2-1

수동 FET 모델링과 기생저항값의 유효성 검증

(Cold FET modeling and examination of validness of parasitic resistances)

金炳成 *

(Byung-Sung Kim)

요 약

FET 소신호 모델의 직접추출법은 기생소자값을 구하기 위해 주로 순방향 수동(cold) FET 조건을 이용하고 있다. 본 논문은 수동 FET 조건에서 해석적 채널모델을 유도하고, 정상수동 소자 조건에서도 순방향 수동 FET 조건과 동일한 정보를 얻을 수 있음을 보인다. 이와 함께 수동 FET 조건에 의해 제한되는 능동 FET 소신호 모델의 오차를 추적하여 수동 FET 방법을 이용한 직접 추출 모델의 오차 한계를 살펴보고, 오차 최소점의 유무를 통해 수동 FET 기생저항값의 유효성을 검토한다.

Abstract

Direct extraction of FET's small signal model parameters needs predetermined parasitic elements usually obtained under forward cold FET condition. This paper derives analytic intrinsic model for cold FET's and shows that normal cold FET condition can replace forward cold FET condition for extracting parasitic elements. Then, we track the error of hot FET's small signal model bounded by the cold FET condition and examine the validness of cold parasitic resistances by checking the existence of the error minimum.

1. 서 론

능동소자의 고주파 소신호 모델링은 측정 S 파라미터로부터 소신호 등가회로 파라미터를 추출하는 과정으로, FET에 널리 이용되는 소신호 등가회로는 그림 1과 같이 7개 내부소자(intrinsic element)와 8개의 기생소자(parasitic element)로 구성된다. 등가회로 소자를 결정하는 방법은 초기의 모든 소자를 최적화하는 방법에서 Curtice의 부분최적화 기법^[1]을 거쳐 기생성분을 별도의 방법으로 미리 결정한 후 내부소자값을 대수적으로 결정하는 Dambrine의 직접추출법^[2]으로 발전하

였다.

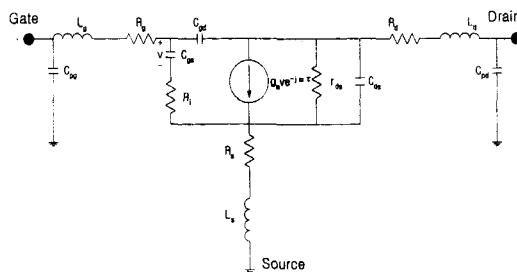


그림 1. FET의 소신호 등가회로

Fig. 1. Small signal equivalent circuit for FET.

FET의 기생소자값을 독립적으로 결정하기 위해 가장 널리 이용되고 있는 조건은 $V_{ds}=0V$ 인 상태이다. 이 바이어스 조건에서 FET는 입력신호에 대해 출력신호가 전혀 이득을 갖지 않는 수동소자로 동작하게 된다. 이 조건의 FET를 cold(이하 수동) FET라 부르며, 대

* 正會員, 成均館大學校 電氣電子 및 컴퓨터 工學部
(School of Electrical and Computer Engineering)

※ 이 논문은 성균관대학교의 1997년도 성균학술연구비에 의하여 연구되었음

接受日字: 1998年12月2日, 수정완료일: 1999年1月12日

응되는 개념으로 능동 바이어스된 FET를 hot(이하 능동) FET라 부르고 있다. 수동 바이어스 조건에서 FET 채널은 균일상태를 유지하므로, 소자의 내부모델(intrinsic model)이 매우 단순해지고 독립변수가 최소화된다. 수동 FET 조건도 게이트 바이어스 조건에 따라, 게이트 컨덕턴스가 매우 커져(즉, 쇼트키 접합이 도통되는) 게이트 캐패시턴스 효과를 무시할 수 있는 순방향 수동소자(forward cold, $V_{GS} > V_{TO}$, V_{TO} : 게이트 도통전압) 영역과 게이트 접합이 주로 캐패시턴스 특성만 보이는 정상 수동소자(normal cold, $V_P < V_{GS} \leq V_{TO}$, V_P 핀치-오프 전압) 영역, 그리고 채널의 전도성이 완전히 사라져 내부동작이 개방회로로 모델링되는 핀치오프 수동소자(pinch-off cold, $V_{GS} \leq V_P$) 영역으로 나눌 수 있다.

Dambrine은 순방향 수동소자 영역에서 기생성분을 추출하였는데, 이 방법은 여러 연구자들이 지적한 바와 같이 몇 가지 문제점을 안고 있다. 본 논문에서는 순방향 수동소자 영역에서 그 동안 연구되었던 기생성분 추출법과 문제점을 분석한 뒤, 동일한 정보를 정상 수동소자 영역에서 얻을 수 있음을 보인다. 이를 위해 수동소자 영역에서 FET의 해석적 임피던스 식을 유도하고 근사 모델의 유효영역을 제시한다. 이와 함께 직접 추출법에 수동 FET 기생저항값을 사용하는 경우 달성 가능한 소신호 모델의 오차한계를 살펴보고, 오차 최소점의 유무를 통해 수동 FET 기생저항값의 유효성을 확인한다.

II. 순방향 수동 FET 조건에서 기생소자 추출법의 검토

1. DC 및 AC 조건에서 기생저항 추출법

FET의 기생소자값을 추출하고자 하는 노력은 매우 오래되었다. 소자 개발 초기에는 트랜스컨덕턴스 및 잡음특성을 결정짓는 기생저항값을 구하기 위한 연구가 주로 수행되었다. 기생저항값을 결정하기 위해서는 FET의 내부동작을 최대한 단순화시켜야 했으므로, 기생저항 추출은 수동 FET ($V_{DS}=0V$) 조건이나 매우 작은 드레인 바이어스 조건에서 이루어졌다. 또한, DC나 저주파 측정에서 게이트 접합이 개방회로가 되지 않도록 순방향 바이어스(forward bias, $V_{GS} > V_{TO}$) 조건이 이용되었다.

이러한 연구들은 MESFET 소자에 대해 먼저 진행된

후, HEMT 소자의 특수성을 고려하여 수정된 방법들이 제안되었다. FET의 채널저항과 오믹저항값을 구하기 위해 흔히 사용했던 방법은 TLM(Transmission Line Model) 방법이다^{[3] [4] [5]}. 그러나, 이 방법들은 모든 소자가 채널길이 이외에는 특성이 같다고 가정하므로 개별 소자의 기생저항값을 구할 수 없었으며, 처음으로 개별 소자의 기생저항을 구하는 방법은 Hower와 Bechtel에 의해 제안되었다^[6]. 이 방법은 균일 도우핑의 경우에만 가능했기 때문에, K. Lee에 의해 불균일하게 도우핑된 MESFET에 대해 확장되었다^[7]. 이 두 방법을 통해 얻을 수 있는 값은 $R_d + R_s$ 값으로 개별 기생저항을 구하기 위해서는 $R_d - R_s$ 의 값이 필요하다. Fukui는 MESFET 쇼트키 접합의 다이오드 특성이 기생저항에 의해 왜곡되는 점에 착안하여 기생저항을 구하였다^[8]. 이와 별도로 '종단저항 측정법(end-resistance measurement)'이 제안되었는데, 종단저항 $R_s \approx V_{ds}/I_{gs}|_{I_d=0}$ 은 채널저항을 일부 포함하고 있으므로 정확한 관계식은 $V_{ds} = I_{gs}(R_s + \alpha \cdot R_{ch})$ 이 된다. K. W. Lee는 고정된 순방향 수동소자 바이어스 조건에서 채널저항은 균일하다고 가정하고, 쇼트키 접합을 분산된 다이오드로 모델링한 뒤 채널저항의 분포인자 α 를 구하였다^[9]. 종단저항법과 비교하여 Fukui 방법은 순방향 전류-전압 모델에서 채널저항의 영향을 고려하지 않기 때문에, 근사적인 종단저항값($R_s \approx V_{ds}/I_{gs}$)과 비슷한 값이 된다.

HEMT 소자에 대해서는 80년대 중반에 K. Lee가 $R_{end} = \partial V_{ds} / \partial I_g|_{I_d = \text{일정}}$ 로 정의된 종단저항을 드레인 전류의 함수로 측정하여 R_s 를 구하였다^[10]. 이 방법은 균일한 채널저항을 가정하고 있으므로 드레인 전류가 커지면 정확성이 감소되는 문제점이 있다. Yang은 I_g 를 고정하고 $I_d \gg I_g$ 인 조건에서 I_d 를 증가시키면서 V_{gs} 의 변화를 측정하여 R_s 를 구하였다^[11]. Yang의 방법은 균일한 채널저항과 채널전압의 선형적 변화를 가정하였기 때문에, 드레인 전류가 커지면 가정에서 위배되고 너무 작아지면 각종 변수값이 부정확해진다. 또한, 2개의 드레인 전류를 선택하는 값에 따라 저항값도 바뀌게 된다. S. Liu는 바이어스 전류원과 함께 드레인 에 저주파 교류신호를 가하고 종단저항 $R_{end} = v_{gs}/i_d = R_s + \alpha R_{ch}$ 과 $R_{ds} = v_{ds}/i_d = R_d + R_s + R_c$ 를 비교하여 드레인, 소스저항을 구하였다. 이 방법은 게이트 바이어

스 전류가 바뀌어도 α 가 불변이라고 가정하여 $\alpha = \Delta R_{end} / \Delta R_{ds}$, $I_d = nI_g$ 를 구하고, 기생저항값은 $I_d = 0$ 과 $I_d \gg I_g$ 인 두 조건에서 α , R_{ds} 와 R_{ena} 를 구해 식을 연립해 풀었다^[12]. 이 방법 역시 드레인 바이어스 전류 I_d 를 어떤 값으로 선택하는가에 따라 결과가 달라지게 된다.

중단저항 측정법을 비롯하여 지금까지 살펴본 방법들은 먼저 적절한 근사를 이용하여 소자의 임피던스 파라미터를 해석적으로 구하고 측정결과와 비교한 것이다. 실제로 'gate probe', 'drain probe'라 부르는 모든 방법은 내부소자 모델을 어떤 가정에 기초하여 풀었는가에 관계없이 실험적으로는 (Z_{11} , Z_{12})나 (Z_{21} , Z_{22})을 구하고 있다. 따라서, 고주파에서도 S 파라미터 측정을 통해 동일한 결과를 얻을 수 있다. 그러나, 제안 방법들이 공통적으로 갖고 있는 문제점은 알고리즘이 너무 예민하여 추출조건이 약간만 변해도 결과값이 매우 달라진다는데 있다. 순방향 수동소자 조건에서 최대한으로 얻을 수 있는 Z 파라미터 조건은 모두 3개인데 반해, 미지수는 3개의 기생 저항과 게이트 컨덕턴스, 채널저항을 포함하여 5개이며, 추가적으로 2개의 조건을 얻기 위해서는 어떠한 방식으로든지 균일채널 동작조건에서 벗어나야 된다. 그러나, 간단하고 정확한 해석적 모델을 사용하기 위해서는 채널 또는 게이트 접합에 흐르는 전류가 작아야 되는 반면, 기생저항의 영향을 키우기 위해서는 시험전류의 크기를 증가시켜야 되는 모순이 생긴다. 이로 인해 모든 알고리즘이 안정성의 문제를 갖고 있다. Fukui 방법만이 채널저항에 대한 정보를 필요로 하지 않으나, 이는 알고리즘에서 채널저항을 고려하지 않았기 때문이다. 따라서, Fukui 방법으로 구한 기생저항값은 채널저항의 일부를 포함하게 된다.

2. RF 조건에서 기생소자 추출 및 문제점

고주파 측정을 통한 기생소자 추출에서 순방향 바이어스 조건이 널리 사용된 이유는 K.W. Lee에 의해 DC 조건에서 유도된 해석적 임피던스 모델을 이용할 수 있다는 점과 기생인덕턴스를 구하기 위해서는 게이트 캐패시턴스 효과를 제거해야 했기 때문으로 생각된다. 순방향 바이어스 조건에서 K. W. Lee의 임피던스 모델은 다음과 같다^[9].

$$z_{11} = \frac{dV_{gs}}{dI_g} = R_{ds} + R_g + R_s + \alpha_g(i) \cdot R_c \quad (1)$$

$$z_{21} = \frac{dV_{ds}}{dI_g} = R_s + \alpha_s(i) \cdot R_c \quad (2)$$

$$z_{22} = \frac{dV_{ds}}{dI_d} = R_d + R_s + R_c \quad (3)$$

위 식에서 $\alpha_g(i)$, $\alpha_s(i)$ 는 채널저항 R_c 의 임피던스 분포인자이며 $R_{ds} = nV_t / I_g$ 는 게이트 접합저항, $i = I_g R_c / nV_t$ (n 은 쇼트키 접합의 ideality factor, V_t 는 thermal voltage)는 규격화된 게이트 전류이다. $\alpha_g(i)$, $\alpha_s(i)$ 는 채널의 전압강하 V_{ds} 이 작은 경우에 ($V_{ds} \ll nV_T$), 각각 1/3, 1/2이 된다. $V_{ds} \ll nV_T$ 조건은 쇼트키 접합의 컨덕턴스와 채널저항이 채널을 따라 발생하는 전압강하에 무관하게 균일한 값을 유지하기 위한 조건이다. Dambrine은 K.W. Lee의 DC 모델에 기생 인덕턴스와 게이트 캐패시턴스를 추가하여 식 (1)-(3)을

$$Z_{11} = R_s + R_g + R_c/3 + \frac{R_{ds}}{1 + j\omega C_g R_{ds}} + j\omega(L_g + L_s) \quad (4)$$

$\approx R_s + R_g + R_c/3 + R_{ds} + j\omega(L_g + L_s)$, 강한 순방향 조건에서

$$Z_{21} = R_s + R_c/2 + j\omega L_s \quad (5)$$

$$Z_{22} = R_s + R_d + R_c + j\omega(L_s + L_d) \quad (6)$$

으로 수정하고^[2], 수동 FET의 일반적 고주파 모델로 제안한 뒤, 게이트 캐패시턴스 효과를 무시할 수 있는 강한 순방향 조건에서 기생저항과, 인덕턴스를 구하였다. 그러나, 순방향 조건에서 기생저항과 인덕턴스를 추출하는 방법은 몇 가지 문제점을 안고 있다. 우선, 순방향 추출법은 과도한 게이트 전류를 필요로 한다. 측정 결과에 의하면 $0.7\mu m \times 300\mu m$ MESFET 소자에 대해 (4)-(6)식의 평탄한 실수부와 선형적인 허수부를 얻기 위해선 최소한 8mA의 게이트 전류를 인가해야 한다. 이 값을 전류밀도로 환산해 보면 3.8×10^7 [A/m²] 이고, 이 값은 Dambrine이 제시한 $5 \times 10^7 \sim 10^8$ [A/m²]와 대략 일치한다. 소자마다 쇼트키 접합의 이상지수 (ideality factor)에 차이가 있으므로 절대적인 기준을 제시할 수는 없으나, 순방향 조건을 이용하여 기생 임피던스를 추출하기 위해서는 FET의 정상 동작범위에서 벗어나는 큰 게이트 전류가 요구됨을 알 수 있다. 특히, 식 (4)에서 R_{ds} 효과를 제거하기 위해서는 게이트 전류를 독립변수로 하여 임피던스 실수부의 외삽이 필요하므로 실제 요구되는 게이트 전류는 더욱 커지게

된다. 과도한 게이트 전류가 소자의 특성에 미치는 영향에 대해서는 명확히 알려진 것이 없으나, 소자의 특성을 열화시킬 가능성은 항상 존재한다. 또한, 게이트 바이어스 전류가 증가하면 $V_{ds} < nV_T$ 조건에서 벗어나게 되어, 모델식 (4)~(6)의 정확성이 감소한다. KW. Lee에 의하면 채널저항 분포인자 $\alpha_g = 1/3$, $\alpha_s = 1/2$ 은 게이트 전류가 증가하면 감소하는 특성을 갖는다^[16]. 이러한 현상은 게이트 컨덕턴스가 게이트-채널 전압에 대해 지수함수적으로 증가하므로 I_G 가 채널을 통과하며 생기는 전압강하에 의해 채널 양 끝단에서 게이트 컨덕턴스가 가장 커져 게이트 전류가 게이트 전극의 양단으로 몰리는 현상 때문이다(edge crowding effect). 대략, 규격화된 게이트 전류 $i (= I_g R_c / nV_T)$ 가 0.1보다 커지면 α_g 가 감소하기 시작하므로, 게이트 바이어스 전류의 설정에 주의해야 된다.

실험적으로 구할 수 있는 식 (4)~(6)의 독립조건에 대해 임피던스 실수부의 미지수는 기생 저항과 채널저항 4개이므로 독립조건 하나가 추가되면 기생저항값의 결정이 가능하다. 추가조건으로 널리 사용되고 있는 방법은 Fukui 측정법이나, 사실상 Fukui 측정법은 채널저항의 존재를 무시한 방법이므로 채널저항을 고려한 모델식 (4)~(6)과 일치되는 방법이 아니다. 이러한 문제점에도 불구하고 순방향 추출법은 MESFET 소자에 대해서는 널리 이용되고 있다. MESFET과 달리 HEMT는 순방향 추출법에 더 많은 제약이 존재한다. Fukui 측정결과를 보면 게이트 바이어스가 증가하면서 기생저항값이 계속 감소하는 특성이 나타난다^[13]. 따라서, 순방향 조건에서 HEMT의 기생저항을 결정하기 위해서는 새로운 독립조건이 필요하다. 또한, 독립조건을 얻을 수 있다 해도 순방향 조건에서는 기생 MESFET 때문에 기생저항값이 정상동작 조건과는 다른 값이 된다^[13]. 이러한 문제점을 때문에 HEMT에 대해서는 HP에서도 Yang의 방법^[11]을 이용하여 기생저항을 구하고 있다. 따라서, 순방향 조건에서 구할 수 있는 HEMT의 기생소자는 인덕턴스로 제한된다.

III. 수동 FET의 해석적 모델

KW. Lee에 의하면 수동 FET 게이트 컨덕턴스 g_a 는 $I_G < 0.1nV_T/R_c$ 의 조건에서, 채널 위치에 무관한 일정값으로 가정할 수 있다. 이 조건에서 FET의 소신호 모델은 그림 2와 같이 균일한 RGC(Uniform Resis-

tance-Conductance-Capacitance) 전송선으로 볼 수 있으며, 이 모델의 공통 소스 2단자 어드미턴스 및 임피던스 식은 다음과 같이 유도된다.

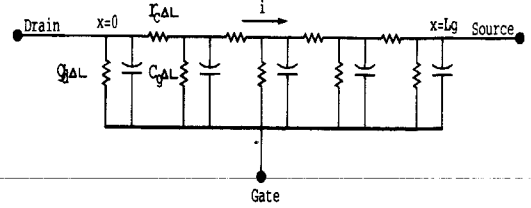


그림 2. 수동 FET의 RGC 전송선 모델

Fig. 2. RGC transmission line model for cold FET.

그림 2의 균일 전송선 FET 모델에 대한 전송방정식은 다음과 같다.

$$\frac{\partial V}{\partial x} + r_c I = 0 \quad (7)$$

$$\frac{\partial I}{\partial x} + (j\omega c_g + g_d)V = 0 \quad (8)$$

, 여기서 r_c , c_g , g_d 는 각각 단위 길이당 채널저항, 게이트 캐패시턴스, 게이트 컨덕턴스이다. 이때 V 는 게이트를 기준으로 한 채널전압, I 는 드레인에서 소스로 흐르는 채널전류이고, 경계조건은 $V(0) = -V_{gd} = -V_{gs} + V_{ds}$, $V(L_g) = -V_{gs}$ 이고 $I_d = I(0)$, $I_s = -I(L_g)$, $I_g = I(L_g) - I(0)$ 이 된다. 이 전송 방정식의 일반해는

$$V(x) = Ae^{-\gamma x} + Be^{\gamma x} \quad (9)$$

$$I(x) = \frac{1}{\zeta}(Ae^{-\gamma x} - Be^{\gamma x}) \quad (10)$$

이고, $\gamma = \sqrt{(j\omega c_g + g_d)r_c}$ 는 전파상수, $\zeta = \sqrt{r_c/(g_d + j\omega c_g)}$ 는 특성 임피던스이다. 이때, FET 소자의 공통소스 2단자 어드미턴스는 단자전압, 전류에 대해

$$y_{11} = \frac{I_{gs}}{V_{gs}} \Big|_{v_a=0} = \frac{I(L_g) - I(0)}{V_{gs}} \Big|_{v_a=0} \quad (11)$$

$$y_{21} = \frac{I_{ds}}{V_{gs}} \Big|_{v_a=0} = \frac{I(0)}{V_{gs}} \Big|_{v_a=0} \quad (12)$$

$$y_{12} = \frac{I_{gs}}{V_{ds}} \Big|_{v_a=0} = \frac{I(L_g) - I(0)}{V_{ds}} \Big|_{v_a=0} \quad (13)$$

$$y_{22} = \frac{I_{ds}}{V_{ds}} \Big|_{v_a=0} = \frac{I(L_g)}{V_{ds}} \Big|_{v_a=0} \quad (14)$$

로 주어진다. y_{11} , y_{21} 에서 경계조건은 $V(0) = -V_{gs}$, $V(l_g) = -V_{gs}$ 이므로

$$A = -V_{gs} \cdot \frac{e^{\gamma l_g} - 1}{e^{\gamma l_g} - e^{-\gamma l_g}} \quad (15)$$

$$B = -V_{gs} \cdot \frac{-e^{\gamma l_g} + 1}{e^{\gamma l_g} - e^{-\gamma l_g}} \quad (16)$$

이 되며, y_{12} , y_{22} 에 대한 경계조건은 $V(0) = V_{ds}$, $V(l_g) = 0$ 이고

$$A = V_{ds} \cdot \frac{e^{\gamma l_g}}{e^{\gamma l_g} - e^{-\gamma l_g}} \quad (17)$$

$$B = -V_{ds} \cdot \frac{e^{\gamma l_g}}{e^{\gamma l_g} - e^{-\gamma l_g}} \quad (18)$$

이 된다. 정리하면, FET의 2단자 어드미턴스식은

$$\begin{aligned} y_{11} &= 2/\zeta \cdot \tanh(\gamma l_g/2) \\ &\approx G_d + \frac{\omega^2 C_g^2 - G_d^2}{12G_c} + j\omega C_g \left(1 - \frac{G_d}{6G_c}\right) \\ &\approx \frac{\omega^2 C_g^2}{12} + j\omega C_g, \end{aligned} \quad (19)$$

$$\begin{aligned} y_{21} &= y_{12} = -1/\zeta \cdot \tanh(\gamma l_g/2) \\ &\approx -\frac{G_d}{2} - \frac{\omega^2 C_g^2 - G_d^2}{24G_c} - j\omega \frac{C_g}{2} \left(1 - \frac{G_d}{6G_c}\right) \\ &\approx -\frac{\omega^2 C_g^2}{24} - j\omega \frac{C_g}{2}, \end{aligned} \quad (20)$$

$$\begin{aligned} y_{22} &= 1/\zeta \cdot \coth(\gamma l_g) \\ &\approx G_c + \frac{G_d}{3} + \frac{\omega^2 C_g^2 - G_d^2}{45G_c} + j\omega \frac{C_g}{3} \left(1 - \frac{2G_d}{15G_c}\right) \\ &\approx G_c + \frac{\omega^2 C_g^2}{45G_c} + j\omega \frac{C_g}{3} \end{aligned} \quad (21)$$

이고, 임피던스 식은 어드미턴스의 역행렬로 구할 수 있다.

$$\begin{aligned} z_{11} &= \zeta \cdot \coth(\gamma l_g) \\ &\approx \frac{R_c}{3} - \frac{1}{45} R_c^2 (G_d + j\omega C_g) + \frac{1}{G_d + j\omega C_g} \\ &\approx \frac{R_c}{3} + \frac{1}{j\omega C_g}, \end{aligned} \quad (22)$$

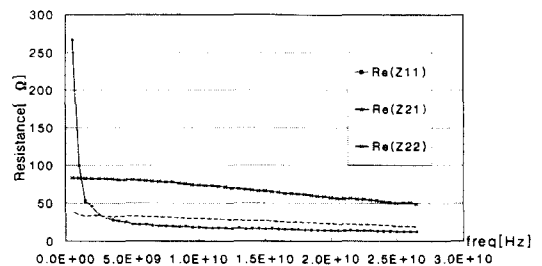
$$\begin{aligned} z_{21} &= \zeta \cdot \tanh(\gamma l_g/2) \\ &\approx \frac{R_c}{2} - \frac{1}{24} R_c^2 (G_d + j\omega C_g) \\ &\approx \frac{R_c}{2}, \end{aligned} \quad (23)$$

$$\begin{aligned} z_{22} &= 2\zeta \cdot \tanh(\gamma l_g/2) \\ &\approx R_c - \frac{1}{12} R_c^2 (G_d + j\omega C_g) \\ &\approx R_c, \end{aligned} \quad (24)$$

위 식에서 $C_g (= c_g l_g)$ 는 총 게이트 캐패시턴스, $R_c (= r_c l_g)$ 는 총 채널저항, $G_c (= 1/R_c)$ 는 총 채널 컨덕턴스, $G_d (= g_d l_g)$ 는 총 게이트 컨덕턴스이다. γl_g 와 ζ 를 R_c, C_g, G_d 의 함수로 표현하면 $\gamma l_g = \sqrt{(j\omega C_g + G_d)R_c}$, $\zeta = \sqrt{R_c/(G_d + j\omega C_g)}$ 가 된다.

채널 전송방정식의 정해는 균일한 전송선 가정이 성립하는 범위에서 유효하다. 따라서 위의 정해는 대략 정상 수동소자 영역과 약한 순방향 조건까지 의미 있는 수동 FET의 소신호 모델이다. 첫번째 근사식은 게이트 컨덕턴스와 캐패시턴스가 동시에 존재하고, R_c 가 충분히 작을 때 ω 의 1차 항까지 고려한 근사식이다. 이 식은 $V_{gs} \approx V_{TO}$ 에서 $R_c G_d/12 \ll 1$, $G_d \gg \omega C_g$ 가 되면, Dambrine이 사용한 임피던스 모델식으로 수렴한다. 두번째 근사식은 $G_d \ll \omega C_g, 1/R_c$ 인 조건에서 얻어진 식으로, 소자에 따라 차이가 있을 수 있으나 $V_g \approx 0V$ 근방에서 게이트 누설전류가 작은 경우에 성립한다. 이 영역에서는 순방향 모델의 미지수 R_{dv} 대신 C_g 라는 새로운 미지수가 나타나므로 실수부의 미지수는 줄어든 대신, 허수부의 미지수가 늘어나게 된다.

RC 전송선의 정해는 주파수에 따라 응답특성이 변화하는 분산효과를 예측하고 있다. 그림 3(a)의 측정결과를 보면 낮은 게이트 바이어스 조건에서는(즉, R_c 가 커지면서) Z_{21} , Z_{22} 의 저항값이 주파수가 증가함에 따라 감소하는 현상을 확인할 수 있다. 이러한 현상은 Dambrine의 고주파 수정식 (4)~(6)이나 정해의 근사식 또는 Tyrani가 사용한 정상 수동소자 영역의 등가회로 모델^[14]로는 설명할 수 없다. (22)~(24)의 임피던스 근사식에서 실수부를 살펴보면 잘 알려진 채널저항 R_c 의 분포인자 1/3, 1/2, 1을 확인할 수 있다. 따라서, 이 분포인자는 균일한 접합 임피던스 조건에서 나타나는 전송선 효과 때문임을 알 수 있으며 게이트 접합 임피던스가 불균일한 강한 순방향 조건에서는 R_c 의 분포인자 1/3, 1/2, 1을 사용할 수 없음을 유의해야 한다.



(a)

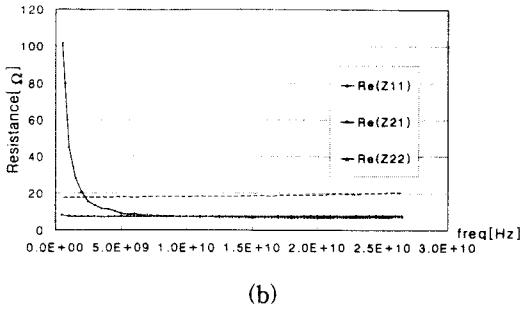


그림 3. 정상 수동소자 영역에서 임피던스 실수부의 주파수에 따른 변화($0.7\mu\text{m}\times 80\mu\text{m}$ MESFET) (a) 채널 분산효과가 나타나는 경우, $V_{GS}=-1\text{V}$ (b) 채널분산 특성이 사라진 경우, $V_{GS}=0.2\text{V}$

Fig. 3. Evolution of real parts of impedances vs. frequencies under normal cold condition. $0.7\mu\text{m}\times 80\mu\text{m}$ MESFET shows. (a) dispersive channel characteristics at $V_{GS}=-1\text{V}$, (b) non-dispersive characteristics at $V_{GS}=0.2\text{V}$.

참고로 그림 1의 능동 소신호 등가회로에서는 $\text{Im}(y_{22}) = \omega(C_{ds} + C_{gd})$, $\text{Im}(y_{12}) = -\omega C_{gs}$ 이므로 $|\text{Im}(y_{22})| > |\text{Im}(y_{12})|$ 가 만족되어야 하나, 식 (20), (21)을 비교해 보면 수동 FET 조건에서는 $|\text{Im}(y_{22})| < |\text{Im}(y_{12})|$ 이 됨을 알 수 있다. 따라서, 수동 FET에 대해 그림 1의 소신호 등가회로 파라미터를 추출하면 C_{ds} 가 음수값이 나오게 됨을 예측할 수 있다.

IV. 정상 수동소자 영역에서 기생소자값의 결정

1. 기생 인덕턴스

$0 < V_{gs} \leq V_{TO}$ 영역에서 $G_d \ll j\omega C_g$ 조건이 만족되면 (22)~(24)의 두 번째 근사식을 이용하여 다음과 같이 기생 인덕턴스와 게이트 캐패시턴스를 구할 수 있다. $\text{Im}(Z_{11})$ 의 양변에 ω 를 곱하여

$$\omega \cdot \text{Im}(Z_{11}) = -1/C_g + \omega^2(L_g + L_s) \quad (25)$$

ω^2 에 대한 일차식으로 변환하면, 기울기와 절편으로부터 $L_g + L_s$ 와 C_g 를 구할 수 있고, L_g , $L_d + L_s$ 는 $\text{Im}(Z_{21})$ 과 $\text{Im}(Z_{22})$ 의 기울기로부터 구할 수 있다. 제안방법의 타당성은 그림 4의 측정결과로 확인할 수 있다. 정상 수동소자 영역에서 인덕턴스 값을 구하는 경

우, 게이트 바이어스가 증가하면서 인덕턴스 값이 증가할 가능성이 존재한다. 이는 첫번째 근사식의 $-j\omega R_c^2 C_g$ 항의 영향이다. 이 값은 채널저항이 작아지면 임피던스의 측정오차 내에 있기 때문에 무시할 수 있으나, 소자에 따라 차이가 있을 수 있으므로 $0 \leq V_{GS} < V_{TO}$ 내의 두 바이어스 점에서 인덕턴스를 구한 후 값을 비교할 필요성이 있다. 만약 두 바이어스에서 구한 값의 차이가 무시할 수 없을 경우에는 게이트 바이어스를 좀 더 증가시키든지, R_c 값을 구한 후 인덕턴스 값에 $-j\omega R_c^2 C_g$ 효과를 보상하여야 한다.

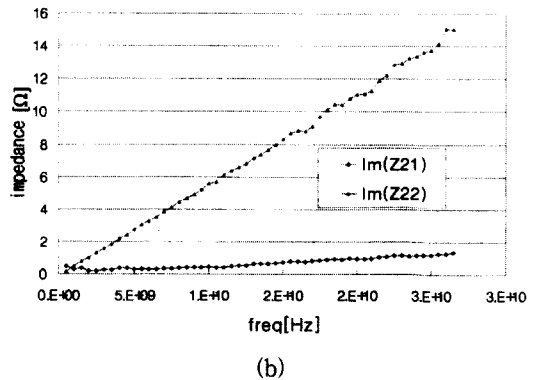
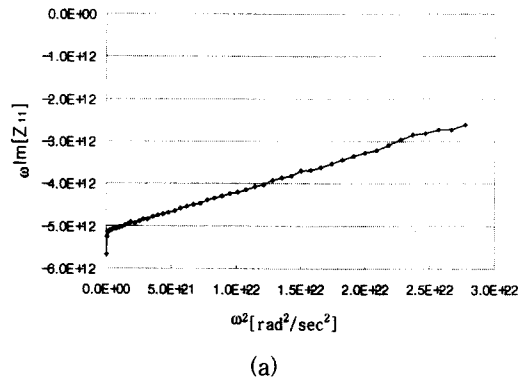


그림 4. 정상 수동소자 영역에서 기생 인덕턴스 추출 ($0.7\mu\text{m}\times 100\mu\text{m}$ MESFET, $V_{GS}=0.2\text{V}$) (a) ω^2 에 대한 $\omega \text{Im}(Z_{11})$ 의 변화, 기울기는 $L_g + L_s$ 에 대응 (b) ω 에 대한 $\text{Im}(Z_{22})$, $\text{Im}(Z_{21})$ 의 변화, 기울기는 각각 $L_d + L_s$, L_s 에 대응

Fig. 4. Extraction of parasitic inductances under normal cold condition. ($0.7\mu\text{m}\times 100\mu\text{m}$ MESFET, $V_{GS}=0.2\text{V}$) (a) ω^2 vs. $\omega \text{Im}(Z_{11})$, slope corresponds to $L_g + L_s$, (b) ω vs. $\text{Im}(Z_{22})$, $\text{Im}(Z_{21})$, slopes correspond to $L_d + L_s$, L_s respectively.

2. 기생 저항

정상 수동소자 영역에서 채널저항이 작아지면 Z_{21} , Z_{22} 의 실수부는 그림 3(b)와 같이 임피던스 실수부의 분산특성이 사라진다. 따라서, 임피던스 실수부는 $Re(Z_{21}) = R_c/2 + R_s$, $Re(Z_{22}) = R_c + R_d + R_s$ 로 근사된다. 이에 비해 Z_{11} 의 실수부는 게이트 컨덕턴스 G_d 의 영향으로 식(22)의 근사식에서 알 수 있듯이

$$Re(Z_{11}) = R_c/3 + G_d/(G_d^2 + \omega^2 C_g^2) + R_g + R_s \quad (26)$$

와 같이 주파수에 따라 변화한다. 그러나, 이 경우에도 주파수가 증가함에 따라 $Re(Z_{11})$ 이 $R_c/3 + R_g + R_s$ 로 수렴하므로, 정상 수동소자 조건에서는 순방향 측정의 문제점 없이 순방향 측정과 동일한 3개의 독립조건을 구할 수 있다. 따라서, Dambrine의 방법과 마찬가지로 한가지 추가조건이 주어지면 기생저항값을 결정할 수 있다.

V. 수동 FET 기생소자값에 기초한 능동 FET 소신호 모델의 오차 및 기생저항값의 결정

기생 인덕턴스는 거의 금속전극이나 패드에 의한 효과이므로 바이어스 독립성이 보장되고, 이 값은 수동 FET 조건에서 추가조건 없이 결정이 가능하다. 이에 비해 수동 FET에서 기생저항값의 결정은 추가조건이 필요하다. 많은 연구자들이 별도의 조건을 구하는 방법을 제안하고, 능동 바이어스에서 소신호 모델링 결과를 통해 각 방법의 타당성을 주장하고 있다. 실질적인 관점에서 본다면 기생저항값을 결정하고 이를 이용하여 직접 추출한 소신호 파라미터가 S 파라미터를 잘 맞춘다면 기생저항은 역할을 다한 것으로 볼 수 있다. 그러나, 각 연구자들이 제안한 방법에 의해 결정된 기생저항값이 모두 같은 값이라고 보기는 힘들며, 가장 최적의 값이라는 보장 또한 없다. 어쩌면 수동 FET(순방향 및 정상 수동 소자영역에 관계없이)에서 구한 3개의 독립조건이 허용하는 범위 내에서 임의로 값을 결정하여도 특별히 고안한 추가 조건과 차이가 없을 수도 있다. 이러한 의문점에 대해 본 논문에서는 수동소자 조건에서 구한 3개의 독립조건이 허용하는 기생저항값의 변화범위 내에서 능동 소신호 모델의 오차를 추적하여 오차가 최소화되는 기생저항값의 존재 유무를 확인하

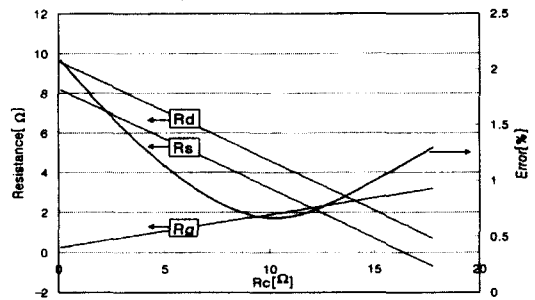
고자 한다.

수동 FET 조건에서 얻을 수 있는 3개의 독립조건을 $R_a = R_c/3 + R_g + R_s$, $R_b = R_c/2 + R_s$, $R_7 = R_c + R_d + R_s$ 라 할 때, R_a , R_b , R_7 는 측정을 통해 구할 수 있는 값이므로 기생 저항 R_g , R_d , R_s 는 다음과 같이 채널저항 R_c 의 선형함수가 된다.

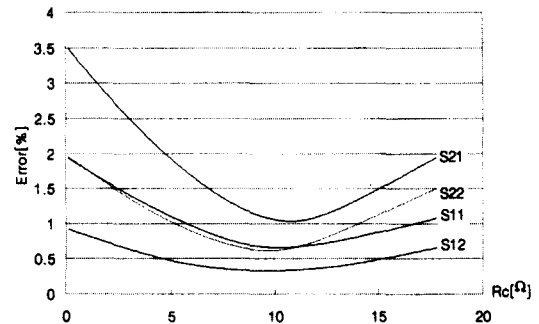
$$R_s = R_b - R_c/2 \quad (27)$$

$$R_g = R_a - R_b + R_c/6 \quad (28)$$

$$R_d = R_7 - R_b - R_c/2 \quad (29)$$



(a)



(b)

그림 5. 채널저항의 함수로 주어진 수동 FET 기생저항값과 S 파라미터의 오차변화 ($0.7\mu\text{m} \times 100\mu\text{m}$ MESFET, 수동 영역 $V_{GS}=0.2\text{V}$, 능동영역 $V_{GS}=0\text{V}$, $V_{DS}=3.6\text{V}$)

(a) 기생저항값과 S 파라미터 평균오차의 변화 (b) 4 S 파라미터의 오차변화

Fig. 5. Variations of cold FET parasitic resistances and S parameter errors as a function of channel resistance. ($0.7\mu\text{m} \times 100\mu\text{m}$ MESFET, cold bias $V_{GS}=0.2\text{V}$, hot bias $V_{GS}=0\text{V}$, $V_{DS}=3.6\text{V}$)

(a) variations of parasitic resistances and S parameter average error (b) variations of 4 S parameter errors

따라서, 어떠한 추가조건을 이용하더라도 기생저항값은 그림 5(a)와 같은 변화선상에 있고, 하나의 R_c 값에 대응하는 값들로 결정될 것이다.

그림 1의 소신호 등가회로에서 기생 리액턴스 효과를 제거하고 능동 바이어스 영역과 수동 바이어스 영역의 기생저항값이 같다고 가정하면, 기생 저항은 R_c 만 결정되면 모두 알 수 있으므로 등가회로의 미지수는 8 개로 줄고, 능동 바이어스에서 S 파라미터 측정을 통해 8개의 독립조건이 확보된다. 단, 이 관계는 전형 관계식이 아니므로 대수적 풀이가 보장되지는 않는다. 그러나, 7개 소자로 구성된 FET의 내부 등가회로 파라미터는 기생소자가 결정되면 대수적으로 유일하게 결정할 수 있다 [15]. 따라서, R_c 만 결정되면 모든 등가회로 소자값이 결정되므로 R_c 의 변화에 따르는 소신호 등가회로 모델의 S 파라미터 오차 변화를 관측할 수 있다. 기생저항의 바이어스 독립성 가정이 유효하다면, 4개의 S 파라미터가 모두 한 R_c 값에서 최소화 될 것이다. 이는 인위적으로 만든 S 파라미터에 대해 모의실험으로 확인할 수 있다. 제안 방법은 변수가 하나인 최적화 문제이므로, 별도의 알고리즘을 사용하지 않고도 R_c 를 변화시키면서 단순히 등가회로의 오차를 추적하는 방법을 통하여 오차 최소점을 구할 수 있다. 물리적으로 볼 때 R_c 의 변화에 따른 기생저항값의 변화는 FET의 내부소자(intrinsic device) 기준면의 변화를 의미하며, 제안방법은 등가회로의 오차가 최소화되는 내부소자 기준면을 찾는 것과 동일하다. 구체적인 방법은 다음 순서에 따른다. 패드 캐패시턴스는 핀치오프 전압이하에서 [16]의 방법으로 구한다.

1. $V_{DS}=0V$, $0 < V_{GS} < V_{TC}$ 인 범위 내에서 S 파라미터를 측정하고 Z_{21} , Z_{22} 실수부의 분산특성이 사라진 바이어스를 선택하여 R_a , R_b , R_c 를 구한다.

2. 능동 바이어스에서 S 파라미터를 측정하여 패드 캐패시턴스와 기생 인덕턴스의 효과를 제거한 후 Z 파라미터로 변환한다.

3. R_c 값을 0부터 R_c 까지 ΔR_c 간격으로 증가시키면서 다음과정을 반복한다.

- 주어진 R_c 값을 이용하여 R_a , R_b , R_c 부터 R_g , R_s , R_d 를 구한다.
- 2에서 구한 Z 파라미터에서 기생저항 효과를 제거한 후 Y파라미터로 변환한다.

- Berroth의 방법^[15]을 이용하여 7개의 소신호 등가회로 파라미터를 구한다.
- 기생소자를 포함한 소신호 등가회로의 S 파라미터를 구한다. 오차 척도는 다음과 같다.

$$ETOT = \frac{\sum_{1 \leq i, j \leq 2} E_{ij}}{MAG(S_{ij}^{meas} - S_{ij}^{model})} / MAG(S_{ij}^{meas})$$

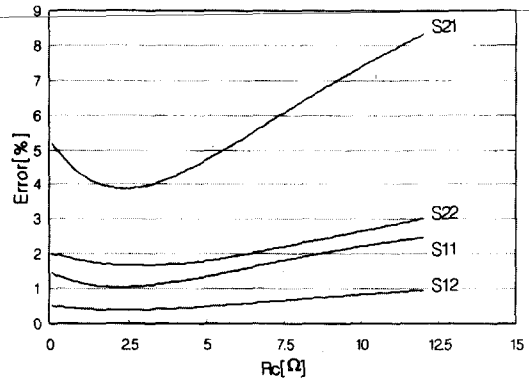


그림 6. $0.3\mu\text{m} \times 80\mu\text{m}$ PHEMT의 오차추적 결과 (수동 바이어스 $V_{GS}=0.2V$, 능동 바이어스 $V_{GS}=0.1V$, $V_{DS}=3V$)

Fig. 6. Error tracking results for $0.3\mu\text{m} \times 80\mu\text{m}$ PHEMT. (cold bias $V_{GS}=0.2V$, hot bias $V_{GS}=0.1V$, $V_{DS}=3V$)

그림 5(a), (b)는 $0.7\mu\text{m} \times 100\mu\text{m}$ MESFET에 대해 위의 방법을 적용해 구한 소신호 모델 S 파라미터의 오차이다. 4개의 S 파라미터가 $10\Omega \leq R_c \leq 11\Omega$ 값 근방에서 오차 최소점을 갖고, S_{21} 이 가장 예민한 오차변화를 보이는 것을 알 수 있다. 게이트 폭에 따르는 오차 변화를 확인하기 위해 $200\mu\text{m}$, $300\mu\text{m}$ MESFET 소자에 대해 실험해본 결과 $200\mu\text{m}$ 소자의 경우는 4 S 파라미터의 최소 오차점이 존재하나 $300\mu\text{m}$ 소자의 경우에는 S_{21} 의 오차 최소점만 존재함을 확인하였다. 이러한 결과는 게이트 폭이 늘어남에 따라 기생저항값이 감소하여 모델 S 파라미터의 오차에 미치는 영향이 줄어들기 때문인 것으로 추측된다. 그림 6은 $0.3\mu\text{m} \times 80\mu\text{m}$ PHEMT 소자에 대한 오차추적 결과이며, $0.7\mu\text{m}$ 소자의 경우와 마찬가지로 4 S 파라미터의 오차 최소점을 확인할 수 있다. $0.3\mu\text{m}$ 소자인 경우에도 게이트 폭이 증가하면 S_{21} 의 최소값만 존재하는 것을 확인하였다. 이상의 결과로 볼 때 게이트 길이 $0.3\mu\text{m}$ 소자까지는 수동 FET의 기생저항이 능동 FET

소신호 모델링에 유효한 값임을 확인할 수 있다.

V. 결 론

본 논문은 수동 FET에 대해 해석적 임피던스 모델을 유도하고 이를 통해 정상 수동소자 조건에서도 순방향 수동소자 조건과 동일한 정보를 얻을 수 있음을 보였다. 이와 함께 오차 추적을 통해 수동 FET 조건에 의해 제한되는 능동 FET 소신호 모델의 오차 한계를 제시하였다. 오차분석 결과, 게이트 길이가 짧은 $0.3\mu\text{m}$ 인 FET에 대해서도 수동 FET의 기생저항값이 능동 소신호 모델링에 알맞은 값을 확인하였다. 제안 방법은 게이트 길이가 짧아지면서 수동 FET 모델의 전제인 균일 채널 가정과 기생소자의 바이어스 독립성 가정을 검증하는 방법이 될 것이며, 오차 최소점이 확인되는 경우에는 기생저항값을 결정하는 방법으로 사용할 수 있을 것이다.

참 고 문 헌

- [1] W.R. Curtice and R.L. Camisa, "Self-Consistent GaAs FET Models for Amplifier Design and Device Diagnostics," *IEEE Trans. Microwave Theory and Technique*, vol. 32, pp. 1573-1984, 1984.
- [2] G. Dambrine et al., "A New Method for Determining the FET Small-Signal Equivalent Circuit," *IEEE Trans. Microwave Theory and Technique*, vol. 36, pp. 1151-1159, 1988.
- [3] H. H. Berger, "Models for contacts to planar devices," *Solid-State Electron.*, vol. 15, no. 2, pp. 145-158, Feb. 1972.
- [4] S.M. Baier, "FET Characterization Using Gated-TLM Structure," *IEEE Trans. Electron Devices*, vol. 32, no. 12, pp. 2824-2829, 1985.
- [5] J.A.D Alamo, "A Floating-Gate Transmission-Line Model Technique for Measuring Source Resistance in Heterostructure Field-Effect Transistors," *IEEE Trans. Electron Devices*, vol. 36, no. 11, pp. 2386-2393, 1989.
- [6] P.L. Hower and N.G. Bechtel, "Current Saturation and Small Signal Characteristics of GaAs Field Effect Transistors," *IEEE Trans. Electron Devices*, vol. 20, no. 3, pp. 213-220, 1973.
- [7] K. Lee et al., "Low Field mobility profile in GaAs ion-implanted FET's," *IEEE Trans. Electron Devices*, vol. 31, pp. 390-393, Mar, 1984.
- [8] H. Fukui, "Determination of the Basic Device Parameters of a GaAs FET," *Bell Syst. Tech. J.*, pp. 711-797, Mar, 1979.
- [9] K.W. Lee et al., "Source, Drain, and Gate Series Resistances and Electron Saturation Velocity in Ion-Implanted GaAs FET's," *IEEE Trans. Electron Devices*, vol. 32, no. 5, pp. 987-992, 1985.
- [10] K. Lee et al., "A New Technique for Characterization of the "End" Resistance in Modulation-Doped FET's," *IEEE Trans. Electron Devices*, vol. 31, pp. 1394-1398, Oct., 1984.
- [11] L.Yang and S.Long, "New Method to measure the source and drain resistance of the GaAs MESFET," *IEEE EDL*, vol. 7, no. 2, pp. 75-77, 1986.
- [12] S-M. Liu, "Determination of Source and drain Series Resistances of Ultra-Short Gate-Length MODFET's," *IEEE EDL*, vol. 10, no. 2, pp. 85-87, 1989.
- [13] J. Golio, *Microwave MESFETs and HEMTs*, Artech House, 1991.
- [14] R. Tayrani, et al, "A new and reliable direct parasitic extraction method for HESFETs and HEMTs," in *Proc. 23th European Microwave Conf.*, 1993, pp. 451-453.
- [15] M. Berroth and R. Bosch, "Broad-Band Determination of the FET Small-Signal Equivalent Circuit," *IEEE Trans. Microwave Theory and Technique*, vol. 38, no. 7, pp. 891-895, 1991.
- [16] B.S. Kim, S. Nam, "An Iterative Parasitic Extraction Technique for HEMT," in

Proc. 25th European Microwave Conf.,

pp. 558-561, 1995.

저 자 소 개



金炳成(正會員)

1989년 2월 서울대학교 전자공학과 학사. 1991년 2월 서울대학교 전자공학과 석사. 1997년 2월 서울대학교 전자공학과 박사. 1997년 8월 ~ 현재 성균관대학교 전기전자 및 컴퓨터 공학부 전임 강사. 주관심 분야는 초고주파 능동 및 수동소자 모델링