

論文99-36D-1-13

SOI 소자에서의 바디 전압 안정화를 위한 실리콘 필름 Island 구조

(Stabilization of Body Bias Control in SOI Devices by Adopting Si Film Island)

鄭人榮*, 李宗昊**, 朴榮俊*, 閔弘植*

(In Young Chung, Jong Ho Lee, Young June Park, and Hong Shick Min)

요 약

SOI MOSFET에서 바디 전압을 안정시키기 위하여 바디 저항과 콘택 소모면적을 줄이면서도 SOI 고유의 장점을 그대로 유지시키는 IBC(Island Body Contact)구조를 창안하였다. 이 구조는 여러 MOSFET들의 바디를 서로 연결하여 같이 콘택을 형성함으로써 면적의 증가 없이 훌륭한 바디 콘택효과를 갖게 된다. VLSI 소자로서의 그 가능성을 소자 시뮬레이션과 제작된 소자와 회로의 측정실험을 통하여 확인하였다.

Abstract

A new IBC (Island Body Contact) structure is introduced to SOI CMOS VLSI for stabilizing the body potential of the MOSFET without the additional area consumption. The improvement of the body contact effect is achieved by reducing the body resistance and the area is saved as the bodies of the MOSFETs are connected together. Its property as VLSI device is confirmed through the device simulations and the measurement.

I. 서 론

SOI구조는 작은 기생용량 등의 장점 때문에 저전력 고속 동작 VLSI의 차세대 기술로서 많은 관심을 끌었다. 기판 제작 기술의 향상에 의해 SOI에서 크게 문제가 되었던 기판의 결정 결함들이 거의 벌크 기판 수준으로 향상됨에 따라 SOI기술이 상용 VLSI에 적용되는 데는 SOI의 전기적 신뢰성이 가장 큰 문제가 되었다.

SOI는 구조상 MOSFET의 바디 단자를 부동(浮

動)시켰을 때, 소모되는 면적이나 절연의 측면에서 가장 유리하다. 그러나 그럴 경우 바디 단자의 전압이 충격 이온화에 의한 바디 전류의 발생등에 의하여 불안정한 값을 갖게 되며 이에 따라 누설전류가 크게 증가하거나 논리적인 동작에 있어서 오류를 발생시킬 수도 있다. 따라서 바디전압을 안정화시켜 주기 위한 많은 노력들이 진행되어져 왔다^[1-3]. SOI MOSFET에서의 통상적인 절연의 방법은 필드 영역의 실리콘필름을 모두 산화시키거나 STI를 사용하지만 이 방법들은 위에서 언급한 floating body효과에 취약한 특성을 가지고 있다. 따라서 bulk처럼 field 산화막과 소스 드레인 아랫 영역에 실리콘을 남겨두는 방법이 소개된 바가 있다^[3]. 이 경우, MOSFET의 바디제어가 비교적 쉬우나, MOSFET의 바디를 개별적으로 조절하는 것이 불가능하다.

이상에서 열거한 문제점을 개선하기 위한 노력으로 본 논문에서는 IBC(Island Body Contact)구조를 제

* 正會員, 서울大學校 電氣工學部

(School of Electrical Engineering Seoul National University)

** 正會員, 圓光大學校 電氣工學部

(School of Electrical Engineering, Wonkwang University)

接受日字:1998年9月21日, 수정완료일:1998年12月22日

안하고 SOI웨이퍼로 제작하여 그 특성을 분석하고자 한다. II장에서는 IBC구조의 형태를 제안하고 그 공정을 설명하며, III장에서는 단일소자와 간단한 회로의 특성을 측정된 결과를 보인다. 그리고, IV장에서는 이에 대한 적용과 검토를 한다.

II. IBC구조와 공정

누설전류를 크게 증가시키거나 회로의 동작에 오류를 발생시킬 수 있는 바디 전압의 변동을 없애기 위해서 가장 쉽고 널리 쓰이는 방법은 MOSFET 바디에 콘택을 형성하여 전기적으로 고정시키는 것이다. 지금까지 가장 널리 쓰이는 바디콘택의 방법은 일반적으로 T-gate나 H-gate 등으로 불리는 방법들이며 이것들은 MOSFET마다 좁고 길다란 바디의 한쪽 끝이나 양끝에서 소스전압이나 혹은 어떤 원하는 전압으로 전기적으로 고정을 시키는 것이다. 그러나, 이렇게 각각의 MOSFET마다 바디의 콘택을 만들 경우, 첫째 면적 손실이 대단히 많아지며 둘째로 MOSFET의 채널이 짧아짐에 따라 바디의 저항이 급격하게 증가하여 바디콘택의 효과가 떨어지게 된다^[4].

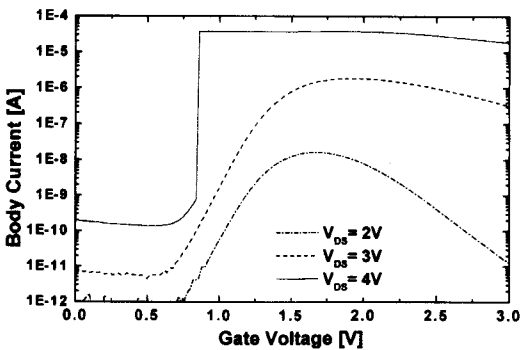


그림 1. 제작된 W/L=12/0.55 NMOSFET 소자의 바디 전류

Fig. 1. Body terminal current of the fabricated W/L=12/0.55 MOSFET device.

그림 1은 전형적인 NMOSFET의 충격이온화에 의해 발생한 바디전류를 측정된 것이다. 0.5 μ m 채널 길이의 NMOSFET의 경우 채널 너비 μ m당 바디저항이 대략 수십 k Ω 정도이며, 이 값은 Si 기판의 두께와 문턱전압이 주어지면 거의 고정된 값이 된다. 따라서 바디저항과 채널의 너비가 주어지면 너비 방향의 모든 점에서 충격이온화 전류가 고르게 발생한다고 가정하

면 식 (1)에 의해 채널의 너비가 W_0 인 MOSFET 바디 전압의 최고 상승점이 계산된다.

$$dV/dx = r_0 \cdot I(x), \text{ where } I(x) = i_0(W_0 - x) \quad (1)$$

$$V(W_0) = 1/2 r_0 i_0 W_0^2 = 1/2 r_0 I_0 W_0$$

여기서 $V(x)$ 는 콘택으로부터 x 만큼 떨어진 곳의 바디 전압, $I(x)$ 는 그 단면을 흐르는 바디전류, i_0 는 단위 너비당 발생하는 충격이온화 전류, I_0 는 발생한 총 바디 전류, 즉 $I(0)$ 이며, r_0 은 μ m당 바디저항 값이다. r_0 값은 바디전압, 즉 $V(x)$ 에 의해 조금씩 달라지지만 여기서는 개략적인 계산의 편의를 위해 일정하다고 가정하였다. 바디 저항을 50 k Ω/μ m으로 가정하면 바디 전압은 3 V 동작에서 수십 mV에 이르게 된다. 따라서 바디 저항에 의하여 넓은 채널의 MOSFET은 콘택의 효과가 반감되게 된다. 이때 콘택을 바디의 양쪽에서 만들어 주게 되면 최대 전압 상승은 식(1)에서 I_0 와 W_0 가 각각 반으로 줄어들게 되므로 전체적으로는 0.25배로 줄어들게 된다. 그러나 이렇게 양쪽에서 콘택을 만들어 줄 경우는 소요 면적이 증가하는 문제가 발생한다.

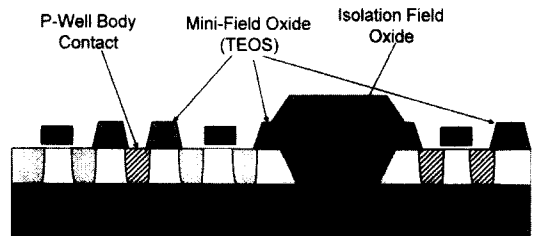


그림 2. 완성된 IBC 구조의 개략적인 단면도
Fig. 2. A schematic cross-view of the IBC structure.

본 논문에서 제안하는 IBC구조는 여러 개의 NMOSFET, 또는 PMOSFET들을 독립된 실리콘 박막 island에 형성하고 각 island에 형성되는 바디의 전압을 공통으로 잡아 줌으로써 바디전압을 잡는데 소요되는 면적을 줄이고 바디전압을 효과적으로 잡아주는 구조이다. 서로 연결된 MOSFET 바디의 한 전체를 이후로는 실리콘 island라고 명명한다. 이 실리콘 island는 설계자의 임의대로 몇 개의 MOSFET이나 혹은 전체의 NMOSFET 또는 PMOSFET을 포함할 수도 있으나, NMOSFET과 PMOSFET은 반드시

서로 다른 실리콘 island에 속해 있어야 한다. 한 실리콘 island에서의 MOSFET들은 TEOS(teraethyl ortho-silicate)를 얹어 active부분을 식각해 낸 형태로 서로 절연을 시키며, 각 island들의 격리를 위해 LOCOS를 길러서 SOI의 실리콘 막 부분이 모두 산화되어 없어지도록 한다. 여기서 TEOS에 의한 절연부분을 mini-field라 이르며, 실리콘 island끼리의 절연부분을 isolation field라고 부르도록 한다. 실리콘 island끼리의 완전 절연은 n-p well 사이의 래치업(latch-up)의 위험성을 없애고 같은 실리콘 island에 속해 있는 MOSFET들의 동작 모드를 결정해주거나 DT(dynamic threshold)^[5] 기술을 적용할 수 있는 등의 유익한 점들이 있다. 그림 2는 완성된 형태의 IBC 구조의 단면 모습을 개략적으로 나타낸 그림이다. 이상에서 제안한 IBC구조를 제작한 공정과정을 표준적인 SOI공정과 차이를 위주로 알아보면 다음과 같다. IBC구조의 제작을 위해서는 가장 먼저 실리콘 island를 정의하고 이 이외의 지역인 isolation field 산화막을 습식 산화법으로 길러 실리콘 박막이 모두 소모되도록 한다. 이후 TEOS를 2000 Å 정도 얹고 active가 될 부분을 식각해 냄으로써 MESA 형태의 mini-field를 정의한다. mini-field의 TEOS를 식각해 낼 때는 step-coverage를 좋게 하기 위해서 습식 식각과 건식 식각을 혼용하여 사용하였다. 따라서 본 논문의 방법은 LOCOS로 절연하는 일반적인 MOSFET에 비해 유효채널의 너비가 줄어드는 폭이 훨씬 작다는 것을 측정결과에서 발견하였다. 측정된 ΔW 는 $0.3\mu\text{m}$ 으로 같은 공정의 표준에서 얻어진 $0.75\mu\text{m}$ 보다 훨씬 작음을 알 수 있다. $0.3\mu\text{m}$ 의 채널 너비 축소는 field 이온 주입시 붕소이온이 채널쪽으로 확산된 영향에 의한 것이다. 또한 field MOSFET의 문턱전압을 올리기 위해 채널 이온주입 직전에 매우 높은 에너지로 붕소를 이온 주입함으로써 field영역에 이온이 주입됨과 동시에 active영역에서는 주입된 붕소 이온들이 매몰 산화막으로 들어가도록 하였다. 이온주입결과 mini-field 산화막과 실리콘 계면에서의 불순물농도는 채널의 불순물농도와 거의 비슷한 수준에 이르게 되는 것을 시뮬레이션 결과로 확인할 수 있었다. 이 때의 field MOSFET 문턱전압은 15.3V로 계산되었으므로 충분한 값을 가진다고 볼 수 있다. 그림 3은 SOI 소자에서의 중요한 실패 요소인 측면 채널의 형성 여부를 보기 위한 측정된 $V_{GS}-\text{Log}(I_D)$ 그래프이며, MESA에

의한 mini-field 절연에서 측면 채널에 의한 누설전류는 없는 것으로 확인된다. Field 격리 산화막 형성 그리고 채널이온주입 이후의 공정은 일반적인 CMOS공정과 같으며 single S/D를 채용하였다. 본 연구의 소자제작은 $1\mu\text{m}$ 설계규칙을 바탕으로 이루어졌으며 짧은 게이트를 만들기 위하여 사진공정에서의 과도노출 방법을 사용하였다. $1\mu\text{m}$ 마스크 게이트는 측정결과 $0.55\mu\text{m}$ 의 유효채널을 갖는 것으로 나타났으며, 이것은 정의된 게이트의 축소와 소스 드레인의 측면 확산에 의한 효과가 더해진 것이다. 제작된 소자의 게이트 산화막 두께는 109 Å이며 최종적인 실리콘 박막 두께는 1850 Å, 1300 Å, 1150 Å 세 가지의 split을 두었다.

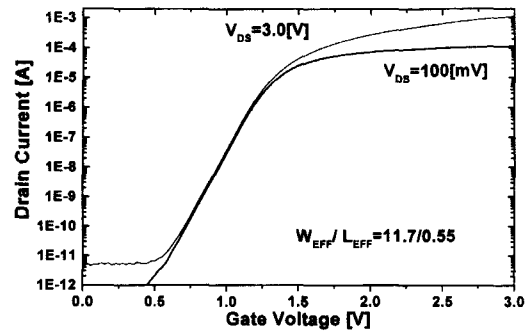


그림 3. 제작된 IBC 구조의 NMOSFET Subthreshold I-V 특성

Fig. 3. The subthreshold I-V characteristics of the fabricated IBC NMOSFET.

IBC 구조 제작 공정에 필요한 마스크 수는 일반적인 SOI CMOS공정보다 1개가 많다.

III. 측정결과 및 검토

바디 콘택의 전기적 효과는 MOSFET I-V 특성을 측정함으로써 알 수 있다. 바디 콘택의 효과가 좋을 수록 출력저항(R_o)가 크고 kink 효과가 억제되며 단일 트랜지스터 래치업에 의한 소자 항복이 발생하는 전압이 높아지게 된다. 그림 4는 IBC 구조의 MOSFET과 일반적인 T-gate 바디 콘택 MOSFET, 그리고 부동 바디 MOSFET에 대해 단위 너비의 채널에 흐르는 전류를 나타낸 그래프이다. IBC 구조, T-gate 바디콘택 MOSFET, 부동 바디 MOSFET 순으로 kink와 breakdown이 높은 드레인

전압에서 발생하고 있음을 알 수 있다. 같은 IBC구조에서도 20 μm 의 너비를 가지는 MOSFET이 12 μm 의 MOSFET보다 kink와 소자 항복이 더 낮은 전압에서 일어나고 있음을 그림 4의 (b)를 통해 알 수 있다. 이상의 결과는 양쪽에 콘택이 있어서 유효 바디 저항이 T-gate MOSFET바디에 비해 1/4로 줄어든 결과에 기인한 것이다.

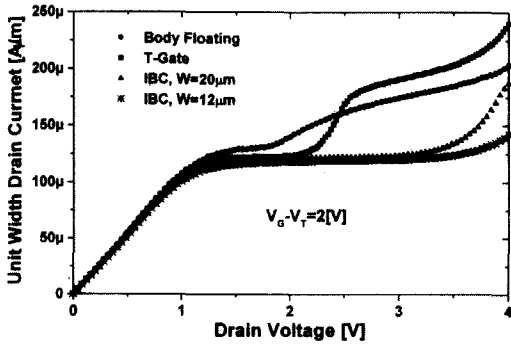


그림 4. 여러 가지 구조의 MOSFET의 단위 너비 당 드레인 전류

Fig. 4. Unit-width I-V characteristics of various devices structures.

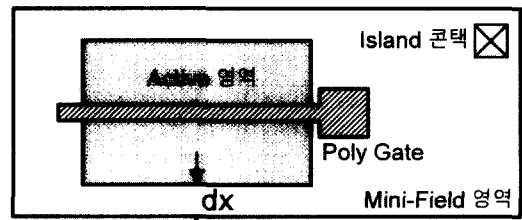
바디저항은 크게 세가지 요소로 나누어진다. 바디콘택의 콘택저항, 콘택에서 바디에 이르기까지의 외부저항, 그리고 바디내의 내부바디저항의 합이 총 바디저항 값이 된다. IBC구조에 있어서 외부 바디저항 값은 mini-field의 면저항과 바디콘택의 위치 등의 함수이며, 낮은 바디저항을 보장하기 위하여 실리콘 island에서 요구되는 콘택의 개수를 줄이기 위해서는 mini-field 영역의 면저항을 줄이는 것이 중요하다. 제작된 IBC구조의 mini-field영역의 측정된 면저항 값은 표 1과 같다.

표 1. IBC mini-field의 sheet resistance 값
Table 1.

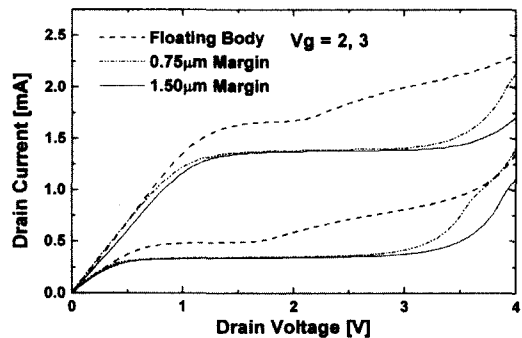
Si 박막 두께 [Å]	n-field (k Ω /□)	p-field (k Ω /□)
1850	2.84	3.02
1300	6.08	3.70
1150	6.94	4.11

n-field에서는 실리콘 박막의 두께에 따라 매우 큰 차이를 보이는 반면 p-field에서는 두께에 따른 큰 차이가 없다. 이는 p-field의 불순물인 인은 이온주입시

깊이 들어가지 못하고, 주로 TEOS 산화막과의 계면 주위에 주로 분포되어 있는 반면, n-field의 붕소이온은 깊이 주입되기 때문이며, 특히 얇은 실리콘 island의 경우에는 매물 산화막내로 들어가버리기 때문이다. Mini-field 영역의 저항은 1 μm 당 수십 k Ω 정도의 바디내부저항에 비해 아주 작은 값을 가지며, 이것은 레이아웃에서의 바디콘택 설계의 기준이 된다. 3 V 동작에서 측정된 값에서 1 μm 당 바디전류는 최대 150 nA인데, 만약 바디전압 상승을 0.2 V 내로 억제하고자 한다면 식 1에 의해 T-gate 바디콘택 MOSFET의 너비는 2.3 μm 이하이어야만 하지만, IBC의 경우에는 9.2 μm 까지 가능해진다. T-gate로 양쪽에서 바디콘택을 잡을 경우, 바디저항효과는 IBC구조와 같게 된다. 그러나 이 경우 active 소모 면적의 관점에서 볼 경우, T-gate는 1 μm 설계규칙에서 IBC구조보다 69%의 면적이 더 소요된다.



(a)

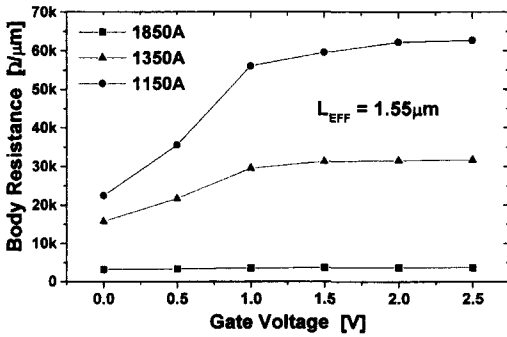


(b)

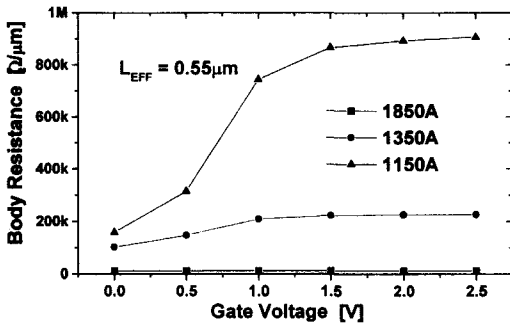
그림 5. 측정 패턴 레이아웃의 Mini-field의 폭(a)에 따른 12/0.55 NMOSFET 소자의 I-V 곡선(b)
Fig. 5. 12/0.55 MOSFET I-V curve (b) for the various mini-field widths (a)

IBC구조라 하더라도 만약 mini-field 아래 영역의 field 실리콘 island의 폭이 가늘고 긴 모양이 될 경우는 상대적으로 전체 바디 저항이 커져서 IBC 구조

에 의한 바디 콘택 개선의 효과가 감소하게 된다. 따라서 isolation field와 active 사이에 위치하는 mini-field 영역이 어느 정도 이상의 폭을 가져야 한다. 그림 5는 isolation field와 active 사이의 mini-field의 폭에 따른 I-V 곡선과 kink, VBD점을 나타낸 것이다. 그래프에서 0.75 μm 의 mini-field 폭은 그 저항 성분 때문에 1.5 μm 의 폭을 가지는 MOSFET보다 kink와 소자 항복이 빨리 일어나고 있음을 볼 수 있다. 1.5 μm 의 mini-field 폭을 가지는 소자는 매우 넓은 폭의 IBC MOSFET 소자와 거의 차이가 없는 곡선을 보여준다.



(a)



(b)

그림 6. 0.55 μm (a)와 1.55 μm (b)의 채널길이를 가지는 MOSFET의 여러 가지 Si 두께에 따른 1 μm 당 바디 저항

Fig. 6. Unit length body resistance of $L_{\text{EFF}}=0.55\mu\text{m}$ (a) and 1.55 μm (b) with various silicon film thickness

그림 6은 여러가지 채널길이와 실리콘 필름 두께에서 게이트 전압에 따른 1 μm 당의 바디저항을 나타낸 그래프들이다. 이 그래프들에서 실리콘 필름 두께가 얇아수록 실리콘 필름 두께와 게이트 전압에 따라 저항값이 크게 영향을 받는 것을 볼 수 있다. 이 그래프

의 값은 1V 이상의 문턱전압을 갖는 채널 도핑이 높은 소자를 측정된 것이므로 문턱전압을 낮추게 되면 바디저항은 더욱 늘어나게 된다. 따라서 바디 전압을 확실히 잡아주기 위해서는 두꺼운 실리콘 필름의 사용이 필수적임을 알 수 있다. IBC구조에서는 T-gate 구조에서와는 달리 n⁺와 p⁺의 완충영역을 위한 기생 게이트 용량이 필요하지 않으므로 기생용량의 측면에서도 유리하다. 그림 7은 MOSFET의 너비에 따른 두 가지 구조의 게이트 용량을 나타낸 것이다. 즉 바디 콘택을 잡기위한 기생 게이트 용량은 바디의 너비에 관계가 없으므로 게이트의 너비가 줄어들수록 기생 용량의 부담이 증가하게 된다. 바디 저항 효과 때문에 바디의 너비를 길게 할 수 없으므로 IBC구조가 T-gate와는 달리 바디 콘택에 의한 추가의 기생용량이 없는 점이 큰 장점이 된다. 부동 바디 소자와 IBC 구조의 인버터 전달특성곡선 및 이때의 누설전류를 나타낸 그래프가 그림 8이다. NMOSFET의 문턱전압이 상대적으로 높아 논리변환점이 오른쪽으로 치우쳐져 있으나, 바디의 전압을 잘 잡아주는 것이 동작 시 누설전류(short-circuit current)를 줄여 줌으로써 회로의 속도와 전력소모에 크게 영향을 미칠 수 있음을 이 그래프를 통하여 알 수 있다.

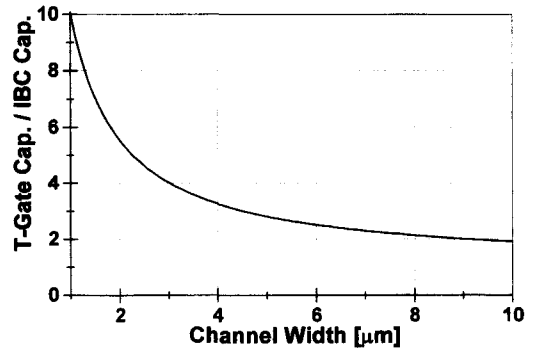
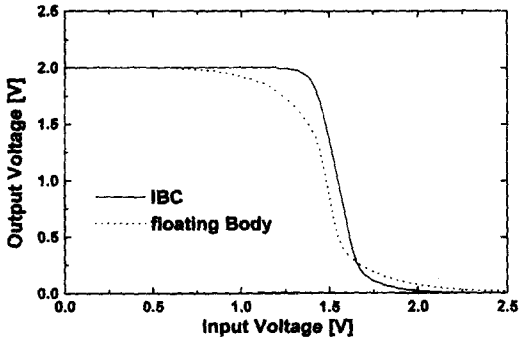


그림 7. 1.0 μm 설계 규칙으로 설계했을 때, MOSFET의 너비에 따른 T-gate 바디 콘택과 IBC 바디콘택의 게이트 기생 용량 비교

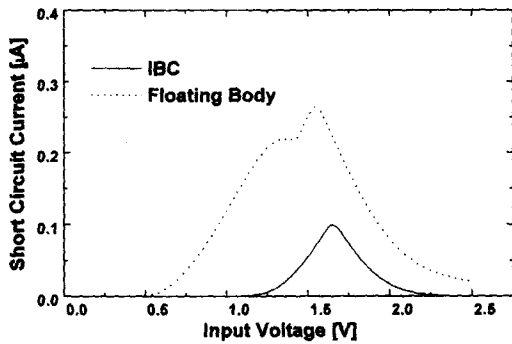
Fig. 7. The comparison of the parasitic gate capacitance of the T-gate type and the proposed IBC type with 1.0 μm design rule.

그림 9는 부동 바디 소자와 IBC 소자의 자체이득인 gm · ro 곱을 나타낸 그래프로 아날로그 소자로 쓰여졌을 때의 특성을 나타낸다. 그림에서 볼 수 있듯이 IBC구조로 바디전압을 조절하는 구조는 최대 40dB

이상의 안정된 자체이득 값을 가지게 되지만, 부동 바디의 경우는 작은 출력저항 값 때문에 매우 낮은 이득을 가지며, 바이어스 조건에 따라 변화가 매우 심하다.



(a)



(b)

그림 8. IBC 구조와 부동 바디 소자를 각각 채용한 CMOS 인버터의 전달 곡선 (a) 및 누설전류 (b)

Fig. 8. Transfer curves (a) and the short circuit leakage of the CMOS inverters using the IBC structure and the floating body

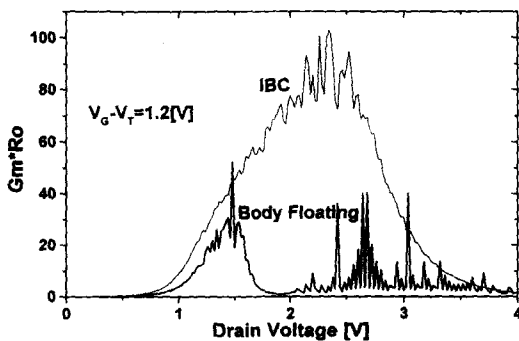


그림 9. IBC 구조와 Floating Body 구조 MOSFET에서의 $gm * r_o$

Fig. 9. $gm * r_o$ values of the IBC and the floating body MOSFET.

IBC 구조의 또 다른 유용성은 특별한 몇 가지 DT 기술 적용의 편리함에 있다. IBC 구조는 여러 MOSFET의 바디 전압을 공통으로 잡아주기 때문에 바디전압을 게이트나 드레인 전압의 논리치에 따라 바디전압을 조절하는 형태의 DT 기법보다는 여러 MOSFET의 바디전압을 공통으로 조절하는 경우에 대단히 알맞은 형태가 된다. DT 기법을 이용하여 sleep mode에서 누설전류를 줄이는 회로는 많이 발표된 바가 있다^[6]. 이런 경우의 적용에 있어서 IBC 구조는 실리콘 island에 mode에 따라 일정전압을 걸어줌으로써 MOSFET들의 문턱전압을 조절하여 여러 가지의 부가적인 회로가 없이도 직접적으로 누설전류를 줄일 수 있다. 또한 비교적 낮은 주파수의 신호를 여러 MOSFET의 바디전압으로 사용하는 경우에도 IBC구조는 매우 효율적이다^[7]. IBC구조에 DT 기법을 적용할 경우는 MOSFET마다 바디전압조절 콘택을 만드는 경우에 비해 부가적인 면적소모가 적으며 따라서 기생용량이 줄어들게 된다.

IV. 결 론

본 논문에서는 실리콘 island 위에 여러 개의 SOI MOSFET을 만들게 됨으로써 여러 MOSFET들의 바디전압을 적은 소모면적으로 효과적으로 조절할 수 있는 IBC구조와 그 제작공정 과정을 제안하였다. 그리고 실제로 SOI 기판 위에 제작하여 바디 콘택의 특성 및 여러 가지 특성을 확인하였다. 그 결과, IBC구조의 SOI MOSFET은 래치업이 없고 매우 작은 기생용량을 가지는 등의 SOI기술의 장점을 거의 다 지니고 있으면서도 전통적인 바디 콘택구조인 T-gate 바디콘택에 비하여 콘택을 위한 소모면적이 적으며, 바디콘택의 효과가 뛰어나고 또한 여러 가지 DT 기술의 적용에도 유리함을 확인할 수 있었다.

감사의 글

※ 본 연구는 교육부 반도체분야 학술연구조성비 지원 과제(ISRC 96-E-1026)에 의하여 연구되었습니다.

참 고 문 헌

[1] Vincent M. C. Chen and Jason C. S. Woo,

- "Tunneling Source-Body Contact for Partially-Depleted SOI MOSFET", *IEEE Trans. on Electron Devices*, vol. 44, pp. 1143 - 1147, Jul., 1997.
- [2] Akira Nishiyama, Osamu Arisumi and Makoto Yoshimi, "Suppression of the Floating-Body Effect in Partially-Depleted SOI MOSFETs with SiGe Source Structure and Its Mechanism", *IEEE Trans. on Electron Devices*, vol. 44, pp. 2187 2192, Dec., 1997.
- [3] Yo-Hwan Koh, Jin-Hyoek Choi, Myung-Hee Nam and Ji-Woon Yang, "Body-Contacted SOI MOSFET Structure with Fully Bulk CMOS Compatible Layout and Process", *IEEE Electron Device Letters*, vol. 18, pp. 102 104, Mar., 1997.
- [4] Christopher F. Edwards, Willicam Redman-White, Bernard M. Tenbroek Michael S. L. Lee, and Michael J. Uren, "The Effect of Body Contact Series Resistance on SOI CMOS Amplifier Stages", *IEEE Trans. on Electron Devices*, vol. 44, pp. 2290 2294, Dec., 1997.
- [5] In-Young Chung, Young June Park and Hong Shick Min, "A New SOI Inverter Using Dynamic Threshold for Low Power Application", *IEEE Electron Device Letters*, vol. 18, pp. 248 250, Jun., 1997.
- [6] Kakakuni Douseki, Satoshi Shigematsu, Yasuyaki Tanabe, Mitsuru Harada, Hiroshi Inokawa and Toshiaki Tsuchiya, "A 0.5V SIMOX-MTCMOS Circuit with 200ps Logic Gate", *ISSCC Digest of Technical Papers*, pp. 84 85, Feb., 1996.
- [7] 정인영, 이종호, 박영준, 민홍식, "Dynamic Threshold를 이용한 저전압 고속 전압조절발진기", *한국반도체학술대회 논문집*, pp. 503 504, Feb., 1998

 저 자 소 개


 鄭人榮(正會員)

1994년2월 서울대학교 전자공학과 졸업 (학사). 1996년 2월 서울대학교 대학원 전자공학과 졸업 (석사). 1996년 3월 ~ 현대 서울대학교 대학원 전기공학부 박사과정 재학. 주 관심 분야는 반도체 소자 구조 및 제작

李宗昊(正會員) 第 35 卷 D編 第 6號 參照

朴榮俊(正會員) 第 35 卷 D編 第 6號 參照

閔弘植(正會員) 第 35 卷 D編 第 10號 參照