

論文99-36D-1-9

저전력 FIR 필터를 위한 새로운 파이프라인 아키텍처

(New Pipeline Architecture for Low Power FIR Filter)

白 佑 鉉 * , 奇 勳 載 * , 劉 長 植 * , 李 祥 源 * , 金 壽 遠 *

(Woo-Hyun Paik, Hoon-Jae Ki, Jang-Sik Yoo, Sang-Won Lee,
and Soo-Won Kim)

요 약

본 논문에서는 저전력/고속 디지털 FIR 필터를 위한 새로운 파이프라인 구조를 제안한다. 제안된 파이프라인 구조는 입력 데이터와 계수간 곱셈의 일부를 입력 지연단에서 수행하도록 하는 리타이밍 기법을 사용하여 속도를 향상시켰으며 공급전압을 낮추는 방법을 병행하여 전력을 감소시켰다. 제안된 파이프라인 구조를 적용하여 PRML 디스크 드라이브용 8 탭 FIR 필터를 설계하고 0.8 μm CMOS 공정을 이용하여 제작하였다. 실험결과 설계된 FIR 필터는 3.3 V에서 최대 192 MHz까지 동작하였으며 이 때 1.22 mW/MHz의 전력을 소모하였다. 결과적으로 제안된 구조의 FIR 필터는 기존의 구조에 비해 약 16 %의 속도가 향상되었으며 같은 데이터 처리능력을 가질 때 약 23 %의 전력감소 효과를 갖는다.

Abstract

This paper presents new pipeline architecture for low power and high speed digital FIR filters. The proposed architecture based on retiming technique achieves enhancement on speed by sharing the input delay stage with multiplication of input data and on power combined with supply voltage scaling down technique. An 8-tap digital FIR filter for PRML disk-drive read channels adopting the proposed pipeline architecture has been designed and fabricated with 0.8 μm CMOS double metal process technology. Measured results show that the designed FIR filter operates to 192 MHz in average and dissipates 1.22 mW/MHz at 3.3 V power supply. As a result, the proposed architecture improves speed by about 16 % and reduces power dissipation by about 23 % when operating at the same throughput.

I. 서 론

디지털 신호처리의 여러가지 응용중에서, FIR (Finite Impulse Response) 필터는 디지털 신호처리 기능을 구현하는 가장 기본적이고 중요한 요소중의 하나로 널리 알려져 있다.

FIR 필터의 구현은 일반적으로 다이렉트 구조 (direct form)와 트랜스포즈 구조(transposed form)

를 이용하며^[1], 이와 같은 기본적인 구조를 바탕으로 연산성능을 향상시키기 위해 최근까지 디지털 FIR 필터의 여러가지 변형된 구조에 대한 연구가 많이 진행되어 오고 있다^{[2], [3], [4]}. 필터는 기본적으로 많은 연산을 수행하는 구조이기 때문에 지금까지의 연구는 연산속도를 높이는 데 주력하여 왔으나 많은 계산량으로 인한 전력소모로 인하여 디지털 필터의 응용을 제약하는 한 이유로 작용하고 있는 실정이다. 이러한 문제점을 해결하기 위해 최근의 디지털 필터에 관한 연구는 성능을 유지하며 전력소모를 줄이는데 집중되고 있다^{[5], [6]}.

* 正會員, 高麗大學校 電子工學科

(Dept. of Electronics Eng., Korea Univ.)

接受日字:1998年8月6日, 수정완료일:1998年11月27日

본 논문에서는 저전력/고속 디지털 FIR 필터를 위한 새로운 파이프라인 아키텍처를 제안한다. 이 필터는 속도를 크게 향상시킬 뿐 아니라 공급전압을 낮춘 상태에서 원하는 속도를 얻을 수 있도록 하여 공급전압의 제곱에 비례하는 전력소모를 감소시키는 것을 목표로 한다. 제안된 FIR 필터는 입력 지연단이 입력 데이터와 계수간의 곱셈과정의 일부를 공유하도록 하는 리타이밍(retiming) 기법을 적용하여 부분곱의 생성을 입력 지연단에서 수행하도록 함으로써 연산효율을 높였다. 따라서 제안된 아키텍처는 각 파이프라인 단의 최대 지연시간을 줄일 수 있게 되어 속도를 향상시킬 수 있을 뿐 아니라 공급전압을 낮추는 방법을 함께 사용하여 속도를 유지하며 전력을 크게 감소시킬 수 있다. 제안된 새로운 파이프라인 아키텍처를 PRML(Partial Response signaling Maximum Likelihood) 방식의 하드디스크 read 채널용 적응등화기(adaptive equalizer)의 주요 기능부인 8 탭 디지털 FIR 필터에 적용하였으며 0.8 μm CMOS 공정기술을 이용하여 제작하였다.

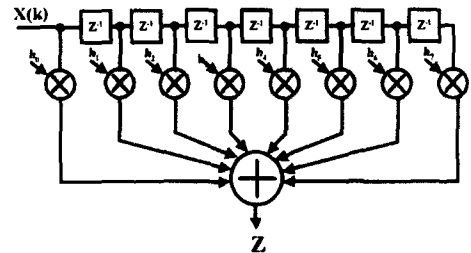
II 장에서는 제안된 파이프라인 아키텍처에 대해 설명한다. 이와 함께 제안된 아키텍처를 적용할 경우 발생할 수 있는 하드웨어의 증가를 피하기 위해 개선된 수정 부스 부호화기, 부분곱 생성기와 데이터 복원기에 관한 내용도 고찰할 것이다. III 장에서는 디지털 FIR 필터의 설계와 칩의 제작 및 실험 결과를 고찰하고 IV 장에서 결론을 맺는다.

II. 새로운 파이프라인 구조

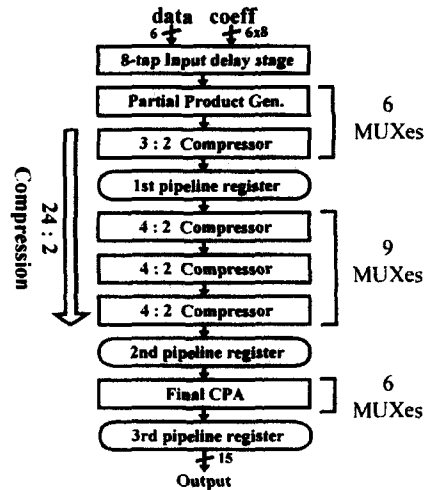
일반적으로 자기 디스크 드라이브는 주로 PRML read 채널 등화 방식을 채택하고 있으며 6 비트 신호체계를 가장 많이 사용하는데, 이러한 신호체계는 병렬처리나 파이프라인 방식을 이용하여 전력소모를 상당히 줄일 수 있는 가능성을 내포하고 있다. 현재까지 파이프라인 방식을 적용한 여러 가지 구조의 PRML 용 디지털 FIR 필터가 많이 발표되고 있으며, 이들은 대부분 필터의 연산에 필요한 곱셈과 덧셈을 최소화하여 연산속도를 높임과 동시에 silicon 면적을 감소시키는 데 초점을 맞추고 있다. 이러한 연구의 대표적인 예로 분산연산(distributed arithmetic) 방식을 이용한 구조와 시분할곱셈(time multiplexed multiplication) 방식을 이용한 구조 등을 들 수 있다^{[4]. [5]}

]. [7]

본 논문에서 설계한 PRML용 디지털 FIR 필터는 3단의 파이프라인 구조를 가지며 시분할 곱셈방식을 이용해 연산을 수행한다. 병렬구조를 이용한 PRML read 채널용 등화기의 핵심기능인 8 탭 디지털 FIR 필터의 개념도 및 블록 다이어그램을 그림 1에, 입출력 신호 구성을 표 1에 각각 나타냈다^[7]. 첫 번째 파이프라인단은 부분곱 생성과 3:2 압축을 수행하고 두 번째 파이프라인단에서 3단의 4:2 압축을 거쳐 세 번째 파이프라인단의 최종 가산기를 통해 연산 결과를 출력한다. 따라서 그림 1의 FIR 필터는 MUX 9단의 지연 경로를 갖는 두 번째 파이프라인단이 최대 지연 경로를 형성하여 전체의 동작 속도를 제한하게 되며 파이프라인단간의 지연경로가 서로 다른 단점을 갖는다.



(a) Functional Diagram



(b) Block Diagram

그림 1. 8 탭 FIR 필터

Fig. 1. 8-tap FIR filter.

1. 새로운 파이프라인의 개념 및 구조

앞서 언급한 FIR 필터가 갖는 최대 지연경로의 불균형을 없애므로 속도를 향상시키고 공급전압을 낮춘

상태에서 원하는 속도를 얻을 수 있도록 하여 공급전압의 제곱에 비례하는 전력소모를 감소시키는 새로운 파이프라인 아키텍처를 제안하고 그 특성을 고찰해 보기로 한다.

표 1. 입출력 신호 구성
Table 1. I/O data format.

	Data format
Input	6-bit
# of tap	8
Coefficient	6-bit
Output	15-bit

제안된 아키텍처는 파이프라인 구조에 리타이밍 기법을 적용하여, 필터의 탭을 구성하는 입력 지연단이 데이터를 지연시키는 동작과 함께 입력 데이터와 계수의 곱셈을 수행한다는 점에서 기존의 구조와 큰 차이가 있다. 이러한 개념을 적용한 입력 지연단의 구조를 기존의 경우와^[7] 비교하여 그림 2에 나타냈다. 그림 2(b)에서와 같이 입력 지연단에서 부분곱을 생성하여 이를 첫 번째 파이프라인단의 24:2 압축기로 전달하며 이와 동시에 3행의 부분곱 중 첫 번째 행의 부분곱은 데이터 복원기(PPG)를 통해 다시 원래의 데이터로 복원된 뒤 다음 탭으로 전달될 부분곱을 생성하게 된다.

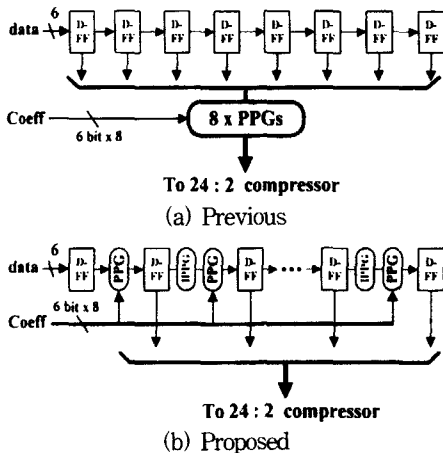


그림 2. 입력 지연단의 구조
Fig. 2. Structures of the input delay stage.

디지털 FIR 필터는 그림 3에서와 같이 부분곱 생성기를 포함하는 입력 지연단, 생성된 부분곱을 압축하는 24:2 압축기 및 최종 가산을 수행하는 15 비트 가

산기의 3 부분으로 구성된다. 또한 FIR 필터는 3단의 파이프라인 구조를 갖는데, 첫 번째와 두 번째 파이프라인단에서는 한 단의 3:2 압축기와 세 단의 4:2 압축기로 구성된 24:2 압축을, 세 번째 파이프라인단에서는 15 비트 가산을 수행하도록 설계되었다.

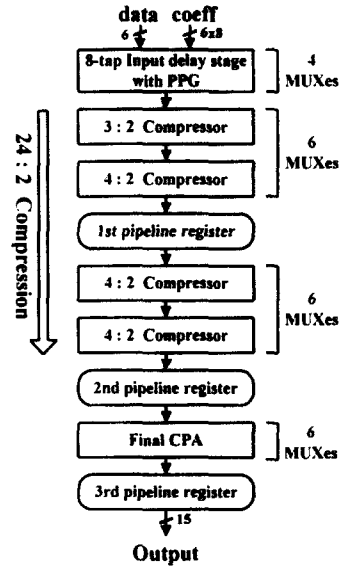


그림 3. 제안된 FIR 필터의 블록 다이어그램
Fig. 3. Block diagram of the proposed FIR filter.

제안된 구조는 수정 부스 알고리즘과 부호발생 방식을 채택하고 있으며 기존의 구조가 부분곱 생성을 첫 번째 파이프라인단에서 수행하는데 비해^[7] 이를 입력 지연단으로 흡수함으로써 표 2와 같이 지연시간을 균등히 분배하고 파이프라인단의 최대 지연경로를 감소시킴으로써 최대 동작속도를 향상시켰다. 이는 필터의 동작속도를 기존의 구조와 동일하게 유지할 경우, 공급전압의 감소를 통해 전력소모를 상당히 감소시킬 수 있음을 의미한다. 표 2에서와 같이 제안된 구조의 최대 지연경로는 MUX 6단으로, MUX 9단인 기존의 구조에 비해 33%의 속도를 향상시킬 수 있음을 예측할 수 있다.

이와 같이 리타이밍 기법을 적용하여 속도를 33% 증가시킬 수 있는 제안된 구조는 지연시간에 비례하는 공급전압을 증가된 속도와 같은 비율만큼 낮춘 상태에서 기존의 구조와 같은 성능, f를 유지할 수 있다. 기존 구조의 전력소모를 P₁, 전체 커패시턴스를 C₁이라고 하고 제안된 구조의 전력소모와 전체 커패시턴스를 각각 P₂, C₂라 할 때, 구조개선에 의한 커패시턴스 증가

가 없는($C_1=C_2$) 이상적인 경우를 가정하면, 두 구조가 똑같은 데이터 처리능력(throughput)을 가질 경우 식 (1)의 관계에 따라 제안된 구조는 기존 구조 필터의 전력소모를 약 55 % 감소시킬 수 있음을 알 수 있다.

표 2. 최대 지연 경로의 비교
Table 2. Comparison of the critical paths.

	# of MUX stages	
	Previous [7]	Proposed
Input delay stage	0	4
1st pipeline stage	6	6
2nd pipeline stage	9	6
3rd pipeline stage	6	6

$$\begin{aligned}
 \text{전력감소율} &= \left(1 - \frac{P_2}{P_1}\right) \times 100 \\
 &= \left(1 - \frac{C_2(0.67V)^2f}{C_1V^2f}\right) \times 100 = 55 \% \quad (1)
 \end{aligned}$$

그림 2에서 제안된 입력 지연단은 부분곱 생성기를 포함하고 있으므로 부분곱을 원래의 데이터로 복원하는 과정을 거쳐야 한다. 따라서, 이 과정에서 발생할 수 있는 회로의 증가를 최소화하고 입력 지연단이 전체 회로의 최대 지연경로가 되지 않도록 하기 위해 최적화된 부분곱 생성기와 데이터 복원기의 설계가 매우 중요하다.

2. 수정 부스 알고리즘의 개선 및 데이터 복원

부스 부호화기와 부분곱 생성기는 곱셈기의 속도 및 전력소모 특성에 많은 영향을 미치므로 이 부분의 성능을 개선시키기 위한 노력이 곱셈기 연구의 많은 비중을 차지하고 있다^[8]. 본 연구에서는 식 (2)와 같이 표현되는 수정 부스 알고리즘을 이용하여 곱셈을 수행하도록 하였으며 데이터의 복원을 쉽게 하기 위해 부스 부호화기와 부분곱 생성을 표 3과 같이 수정하였으며 이와 같이 변환된 값들은 피승수, X 에 대해 작용하여 표 3의 관계에 따라 부분곱을 계산하게 된다.

$$Y = \sum_{i=0}^{n-1} (Y_{2i-1} + Y_{2i} - 2Y_{2i+1}) \cdot 2^{2i}, \text{ 단 } Y_{-1}=0 \quad (2)$$

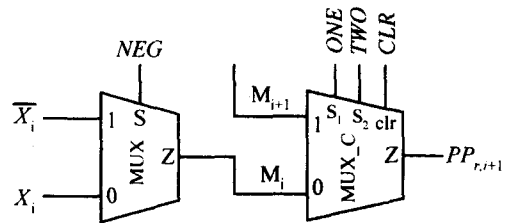
표 3에서 알 수 있는 것처럼 개선된 부스 부호화기와 부분곱 생성기는 승수, Y 의 조합이 $\{Y_{2i+1}, Y_{2i}, Y_{2i-1}\} = \{1, 1, 1\}$ 인 경우 $\{ONE, TWO, NEG\} =$

$\{0, 0, 0\}$ 의 값을 갖도록 하여 $\{Y_{2i+1}, Y_{2i}, Y_{2i-1}\} = \{0, 0, 0\}$ 인 경우와 NEG 값을 같게 통일하였다. 또한 이 값에 따른 부분곱 생성은 첫 번째 행에 대해 $\{ONE, TWO, NEG\} = \{0, 0, 0\}$ 인 경우 부분곱을 '0'이 아닌 $+1X$ 를 출력하도록 하여 데이터 복원이 가능하도록 하였으며 24:2 압축기로 입력될 때 '0'으로 변환되는데 이 과정은 회로적으로 최대 지연경로상에 위치하지 않으므로 전체적인 속도에 영향을 미치지 않는다.

표 3. 개선된 수정 부스 부호화 및 부분곱 생성

Table 3. Improvement in modified Booth encoding and partial product generation.

Y_{2i+1}	Y_{2i}	Y_{2i-1}	ONE	TWO	NEG	Operation on X	
						PP in the 1st row	PP in other rows
0	0	0	0	0	0	+1X	0X
0	0	1	1	0	0	+1X	+1X
0	1	0	1	0	0	+1X	+1X
0	1	1	0	1	0	+2X	+2X
1	0	0	0	1	1	-2X	-2X
1	0	1	1	0	1	-1X	-1X
1	1	0	1	0	1	-1X	-1X
1	1	1	0	0	0	+1X	0X



$$(2 \text{ MUXES/bit, CLR} = \overline{(ONE + TWO)})$$

그림 4. 개선된 부분곱 생성기의 회로도
Fig. 4. Circuit diagram of the improved partial product generator.

첫 번째 행과 나머지 행에 대한 개선된 부분곱 생성을 식 (3)과 식 (4)에 나타냈다. 식 (3)과 식 (4)는 그림 4와 같이 MUX 두 단만의 지연시간을 거쳐 계산될 수 있으며 비트 당 2 개의 MUX만이 소요되어

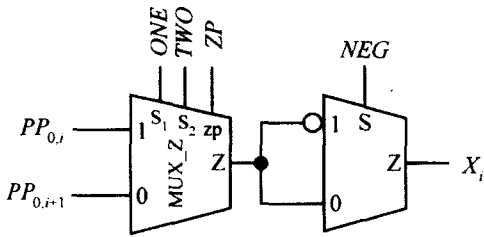
기존의 부분곱 생성기에 비해 간단하고 빠르게 구현될 수 있다.

$$\begin{aligned}
 PP_{0,i+1} &= (X_{i+1} \cdot \overline{NEG} + \overline{X_{i+1}} \cdot NEG) \cdot ONE \\
 &+ (X_i \cdot \overline{NEG} + \overline{X_i} \cdot NEG) \cdot TWO \\
 &+ X_{i+1}(\overline{ONE+TWO}) \quad (3)
 \end{aligned}$$

$$\begin{aligned}
 PP_{r,i+1} &= (X_{i+1} \cdot \overline{NEG} + \overline{X_{i+1}} \cdot NEG) \cdot ONE \\
 &+ (X_i \cdot \overline{NEG} + \overline{X_i} \cdot NEG) \cdot TWO \quad (4)
 \end{aligned}$$

단, $r=1, 2$ 이고 $(ONE, TWO) = (1, 1)$ 은 허용되지 않는다.

여기서 $PP_{r,i+1}$ 은 r 번째 행 $(i+1)$ 번째 비트 위치의 부분곱을, X_{i+1} 은 $(i+1)$ 번째 비트 위치의 입력 데이터를 각각 나타낸다.



(2 MUXES/bit, $ZP = \overline{(ONE + TWO)}$)

그림 5. 데이터 복원기의 회로도
Fig. 5. Circuit diagram of the data reconstructor.

한편, 첫 번째 행의 부분곱은 데이터 복원기를 통해서 식 (5)의 과정을 거쳐 원래의 데이터로 복원되는데 이 과정 역시 부분곱 생성과 마찬가지로 두 단의 MUX를 거쳐 이루어진다. 데이터 복원기의 회로도를 그림 5에 나타냈다. 결론적으로 제안된 아키텍처의 입력 지연단은 $(i-1)$ 번째 탭의 첫 번째 행의 부분곱이 레지스터를 통해 지연되고, 데이터 복원과정을 거쳐 다시 i 번째 탭의 부분곱을 계산하는 과정을 반복하는 동시에 각 탭에서 계산된 24 개의 부분곱을 24:2 압축기로 전달한다. 결과적으로 종래의 부분곱 생성기에 비해 한 단의 MUX 지연단이 추가된 MUX 네 단의 지연을 통해 데이터 복원과 부분곱 생성을 수행하도록 함으로써 회로의 증가를 최소화함과 동시에 입력 지연단이 최대 지연경로상에 놓이지 않도록 하였다.

$$\begin{aligned}
 X_i &= (PP_{0,i+1} \cdot TWO + PP_{0,i} \cdot ONE) \cdot \overline{NEG} \\
 &+ (\overline{PP_{0,i+1}} \cdot TWO + \overline{PP_{0,i}} \cdot ONE) \cdot NEG \\
 &+ PP_{0,i} \cdot (\overline{ONE+TWO}) \quad (5)
 \end{aligned}$$

단, $(ONE, TWO) = (1, 1)$ 은 허용되지 않는다.

III. FIR 필터의 구현

III장에서는 리타이밍 기법을 이용한 새로운 파이프 라인 아키텍처를 적용한 FIR 필터의 설계를 통해 제안된 아키텍처를 적용할 때 생길 수 있는 회로 증가로 인한 커패시턴스의 증가 등을 고려하여 실제로 얻을 수 있는 전력감소 효과를 고찰해 보기로 한다.

제안된 구조의 FIR 필터는 $0.8 \mu\text{m}$ CMOS 이중 금속 배선 공정기술을 이용하여 설계하고 모든 전기적 특성은 Hspice를 이용하여 최적화 하였으며 $0.8 \mu\text{m}$ 설계규칙에 따라 완전주문형 방식으로 설계 및 제작되었다.

1. FIR 필터의 설계

회로 구현을 위한 디지털 FIR 필터의 상세 블럭 다이어그램을 그림 6에 나타냈다. 그림에서와 같이 입력된 6 비트의 데이터는 각 탭에서 6 비트의 계수와 곱해져 전체적으로 7 비트의 부분곱 24행을 첫 번째 파이프라인단에 전달하며 여기서 3:2 압축과 한 단의 4:2 압축을 수행하여 각각 4 개씩의 13 비트 sum과 캐리를 발생시켜 두 번째 파이프라인단에 전달한다. 두 번째 파이프라인단에서는 다시 두 단의 4:2 압축을 통해 15 비트의 sum과 캐리를 세 번째 파이프라인단에 전달하고 마지막으로 세 번째 파이프라인단에서 15 비트 가산기를 통해 필터의 최종 값을 출력한다.

입력 지연단은 II 장에서 설명한 바와 같이 입력된 데이터를 지연시키는 탭을 구성함과 동시에 데이터와 계수간의 곱셈과정중 부분곱 생성을 수행한다. 이를 위해 개선된 부분곱 생성기와 데이터 복원기를 설계하였으며 푸쉬-풀 패스 트랜지스터 로직을^[9] 사용한 트랜지스터 수준의 회로도를 그림 7에 나타냈다.

제안된 디지털 FIR 필터는 6 비트의 데이터와 계수를 입력으로 하는 8 탭 구조를 가지고 있으므로 24행의 부분곱을 출력하는데, 출력된 24행의 부분곱은 3:2 압축기와 4:2 압축기로 구성된 24:2 압축기를 통해 2행으로 압축된다.

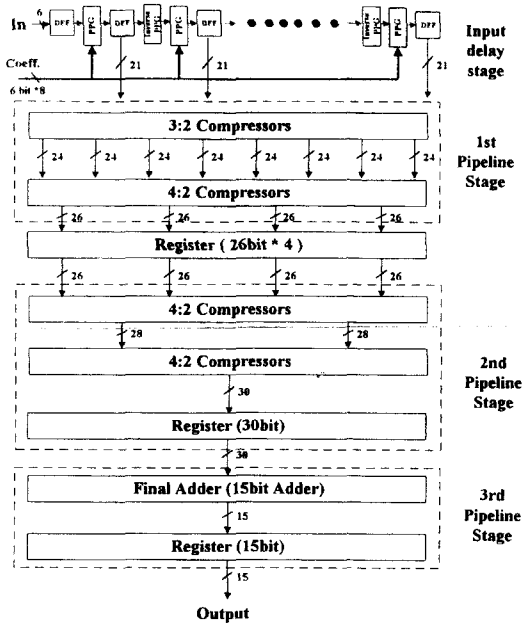


그림 6. 디지털 FIR 필터의 상세 블록 다이어그램
Fig. 6. Detailed block diagram of the digital FIR filter.

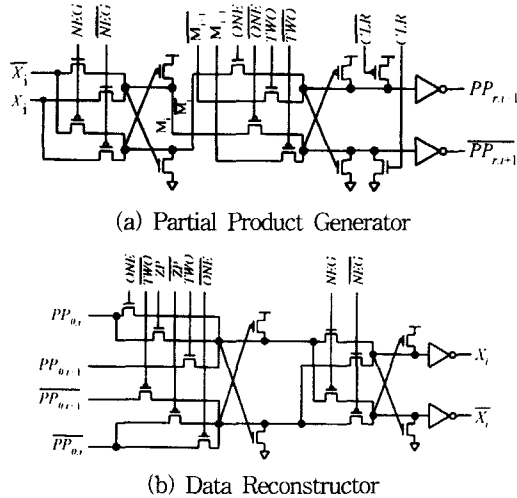


그림 7. 부분곱 생성기 및 데이터 복원기의 회로도
Fig. 7. Circuit diagram of the PPG and data reconstructor.

일반적으로 필터의 출력은 곱셈과 이의 누적 (Multiply and Accumulate, MAC) 과정을 거쳐 계산된다. 제안된 디지털 FIR 필터에 적용된 3:2 압축기와 4:2 압축기를 이용한 행 압축방식은 PPG, 3:2 압축기와 3단의 4:2 압축기, 그리고 15 비트 가산기를 거쳐 최종값을 출력하므로 최대 지연경로가 단축될 뿐

아니라 모든 신호경로에서 fan-out이 일정한 장점도 갖는다.

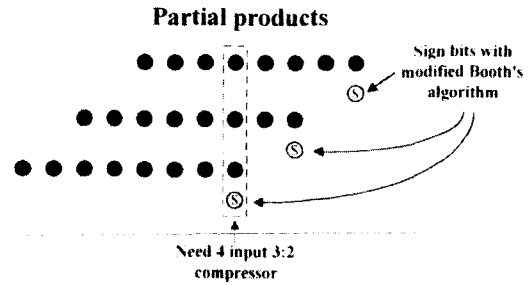
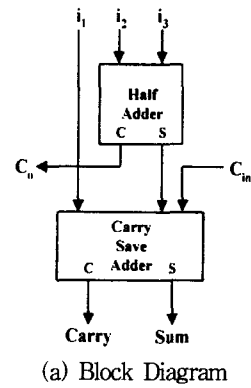
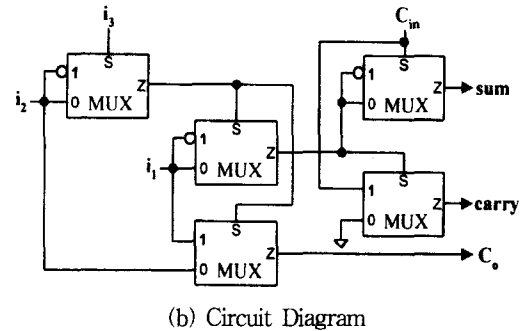


그림 8. 부호 비트를 포함한 부분곱
Fig. 8. Partial products with sign bit.



(a) Block Diagram



(b) Circuit Diagram

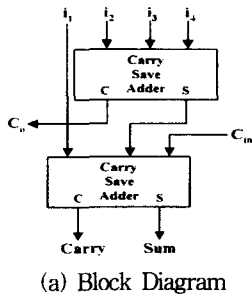
그림 9. 3:2 압축기
Fig. 9. 3:2 compressor.

수정 부스 알고리즘을 이용하여 생성된 부분곱은 그림 8과 같이 부호 비트를 함께 발생시킨다^{[10], [11]}. 따라서 24:2 압축기의 첫 번째 단인 3:2 압축기의 입력은 4 비트가 되어 전가산기를 3:2 압축기로 사용할 수 없게 된다. 이러한 문제를 해결하기 위해 4 개의 입력을 가지는 3:2 압축기를 설계하였으며 블럭도 및 회로도를 그림 9에, 진리표를 표 4에 각각 나타냈다. 표 4의 n은 3:2 압축기의 입력중 값이 '1'인 입력의

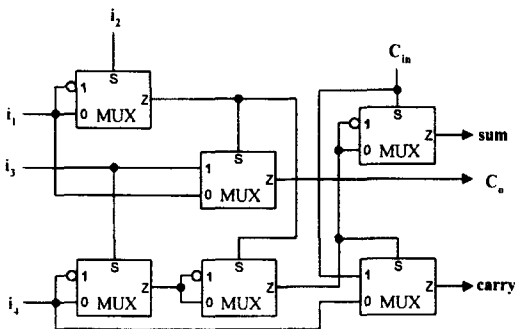
수를 나타내며, *는 C_0 와 캐리 둘중 어느 하나가 반드시 '1'인 경우를 나타낸다. 제안된 3:2 압축기는 전단의 캐리, C_{in} 이 현재 단의 캐리출력에 영향을 미치지 않으므로 고속동작이 가능하다.

표 4. 3:2 압축기의 진리표
Table 4. Truth table of the 3:2 compressor.

n	C_{in}	C_o	Carry	Sum
0	0	0	0	0
1	0	0	0	1
2	0	*	*	0
3	0	1	1	0
0	1	0	0	1
1	1	0	1	0
2	1	*	*	1
3	1	1	1	1



(a) Block Diagram



(b) Circuit Diagram

그림 10. 4:2 압축기
Fig. 10. 4:2 compressor.

24:2 압축기의 또 다른 중요 기능블럭인 4:2 압축기의 블럭도와 이를 구현한 회로도들을 그림 10에 나타냈다. 그림 10에서 알 수 있는 것처럼 4:2 압축기는 MUX를 기반으로 하여 구현되었으며 3:2 압축기와 마찬가지로 3단의 MUX 지연경로를 가지므로 고속동작이 가능하다. 결과적으로 제안된 24:2 압축기는 한

단의 3:2 압축기와 3단의 4:2 압축기로 구성된다. 이 중 3:2 압축기와 첫 번째 단의 4:2 압축기가 첫 번째 파이프라인단을 구성하고 마지막 2단의 4:2 압축기가 두 번째 파이프라인단을 형성하여 모두 6 개의 MUX 게이트 지연시간을 갖게 되는데 이는 부분곱 생성을 입력 지연단에서 처리했기 때문이다.

2. 성능 분석

트랜지스터 수준의 설계는 푸쉬-풀 패스 트랜지스터 로직을 이용하여 Hspice로 최적화된 뒤 모의실험을 통해 성능을 분석하였다. 제안된 아키텍처를 적용한 FIR 필터는 [7]에 비해 레지스터의 갯수가 약 11.5 % 증가하였으며 그림 11에 전력소모 비율을 나타냈다. 그림 11로 부터 알 수 있듯이 파이프라인 레지스터가 전체 전력의 약 46.2 %를 소모하고 입력 지연단이 26.2 %, 첫 번째 파이프라인단이 16.4 %, 두 번째 파이프라인단이 8.2 %, 세 번째 파이프라인단이 5 %의 전력을 소모한다. 모의실험 결과 그림 12 및 그림 13과 같이 설계된 FIR 필터는 3.3 V의 공급전압에서 215 MHz까지 동작하였으며 이러한 속도는 기존의 필터의 경우 4.5 V의 공급전압에서 얻을 수 있는 성능이다. 결과적으로 기존의 필터에 비해 27 %의 속도가 향상 됨을 알 수 있으며 100 MHz로 동작시 117 mW의 전력을 소모하여 같은 공급전압에서 비교할 때, [7]에 비해 약 10 %의 전력소모가 증가하였으며 이는 파이프라인 레지스터의 증가로 인한 것으로 볼 수 있다.

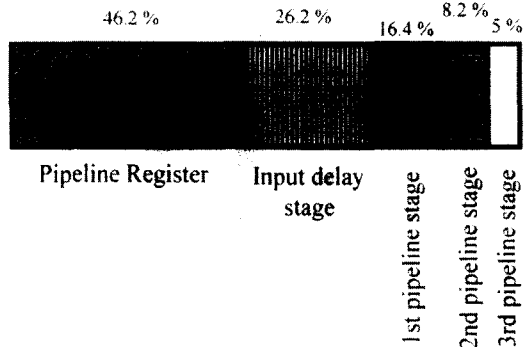


그림 11. FIR 필터의 전력소모 비율
Fig. 11. Power consumption ratio of the FIR filter.

똑같은 데이터 처리능력(throughput)을 가질 때의 전력소모를 기존의 다른 필터들과 비교하여 그림 14에 나타냈다. 그림 14로 부터 제안된 아키텍처를 적용한

경우 약 41 %의 전력소모가 감소됨을 알 수 있으며 이는 속도향상을 통해 전력소모에 가장 큰 영향을 미치는 공급전압을 낮춤으로써 전력소모를 크게 감소시킬 수 있음을 보여준다.

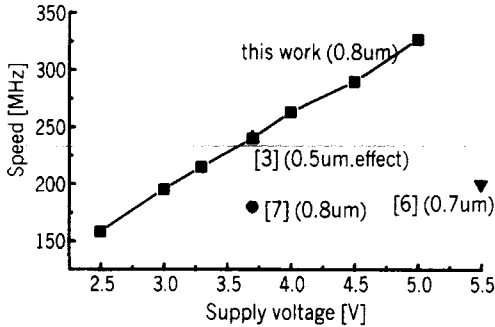


그림 12. 공급전압에 따른 최대동작 주파수
Fig. 12. Supply voltage vs. maximum operating frequency.

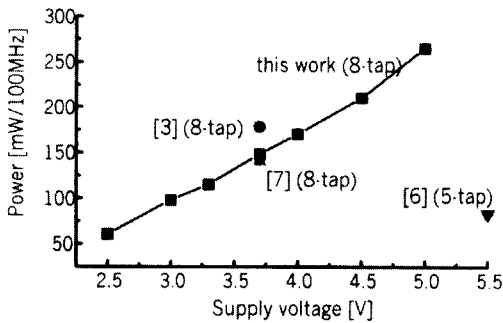


그림 13. 공급전압에 따른 전력소모
Fig. 13. Supply voltage vs. power consumption.

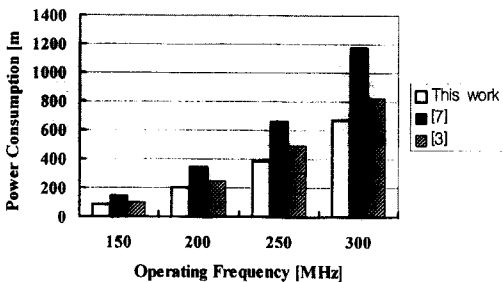


그림 14. 동작 주파수에 따른 전력소모
Fig. 14. Operating frequency vs. power consumption.

3. 제작 및 실험

설계된 칩을 0.8 μm CMOS 이중 금속배선 공정을 사용하여 제작하였으며 100 pin QFP로 조립하였다. FIR 필터의 유효면적은 4.31 x 3.41 mm²이고 여기에는 속도 측정을 위한 4 개의 테스트 블럭도 포함되

어 있다. 제작된 칩의 현미경 사진을 그림 15에 나타냈다.

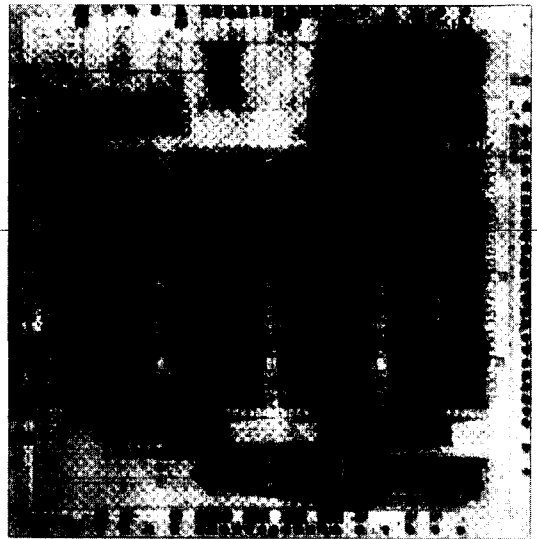


그림 15. 제작된 FIR 필터의 현미경 사진
Fig. 15. Microphotograph of the fabricated FIR filter.

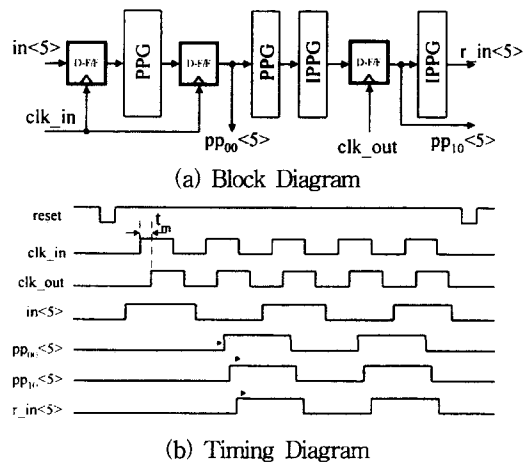


그림 16. 입력 지연단 측정을 위한 테스트 패턴
Fig. 16. Test pattern for input delay stage measurement.

제작된 FIR 필터의 속도성능은 4 개의 테스트 패턴을 통해 측정하였다. 제안된 FIR 필터는 3단의 파이프라인 구조를 가지고 있으므로 각 파이프라인단의 지연시간을 측정할 수 있도록 테스트 패턴을 설계하였으며 일례로 입력 지연단의 속도 측정을 위한 테스트 패턴의 회로도 및 측정 파형도를 그림 16에 나타냈다. 그림 16에서 알 수 있는 것과 같이 입력 레지스터와 출력 레지스터의 클럭을 분리하여 회로가 정상적으로

동작하는 입출력 레지스터 클럭의 최소 시간차를 지연 시간으로 정의하여 측정함으로써^[12], 측정시 외부 요인에 의한 영향을 최소화 하였다.

이와 같은 방법으로 10 개의 소자에 대해 각 단의 지연시간을 측정한 결과 3.3 V의 공급전압에서 입력 지연단은 5.1 ns, 첫 번째 파이프라인단은 4.7 ns, 두 번째 파이프라인단은 4.7 ns, 세 번째 파이프라인단은 5.2 ns의 평균 지연시간을 나타냈다. 측정결과, 입력 지연단의 지연시간이 모의실험과 약간 큰 오차를 나타냈는데 이는 설계과정에서 기생 커패시턴스 등에 의한 영향을 충분히 고려하지 못한 이유 때문인 것으로 판단된다. 그림 16에 나타낸 방법에 따른 입력 지연단의 측정 결과파형을 그림 17에 나타냈다.

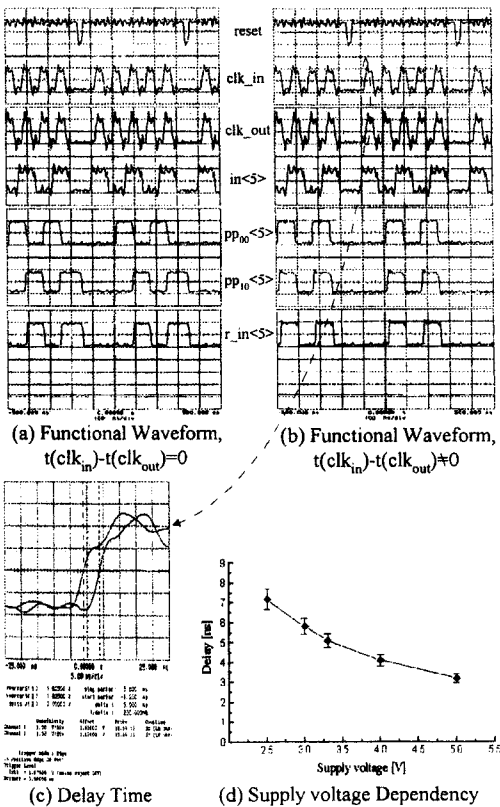


그림 17. 입력 지연단의 측정결과
Fig. 17. Measurement result of input delay stage.

실험 결과 제작된 FIR 필터는 3.3 V의 공급전압에서 평균 192 MHz로 모의실험과 약 11 %의 오차를 나타냈으며 1.22 mW/MHz의 전력을 소모하였다.

공급전압의 변화에 따른 최대 동작주파수 및 전력소

모의 측정값을 그림 18에 나타냈다. 결과적으로 새로운 파이프라인 구조를 갖는 FIR 필터는 기존의 필터에 비해 속도가 약 16 % 개선됐으며 같은 데이터 처리능력을 가질 때 기존의 필터에 평균적으로 약 23 % 전력 특성이 개선됨을 알 수 있다.

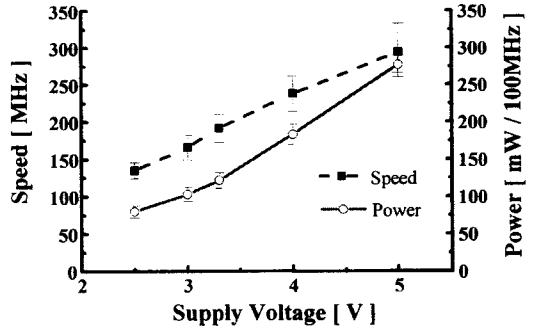


그림 18. 속도 및 전력의 공급전압 의존도
Fig. 18. Speed and Power vs. supply voltage.

IV. 결론

본 논문에서는 아키텍처의 개선을 통해 전력소모를 감소시키는 기법으로 리타이밍을 사용한 새로운 파이프라인 아키텍처를 적용하여 저전력/고속 FIR 필터를 설계하고 이를 0.8 μm CMOS 공정을 이용하여 제작한 뒤 실험을 통해 검증하였다.

제안된 새로운 파이프라인 아키텍처는 리타이밍 기법에 근거하여 필터의 탭을 구성하는 입력 지연단에서 입력 데이터와 계수간의 곱셈 과정중 부분곱 생성을 수행하도록 하였다. 이와 같은 구조는 회로의 최대 지연경로를 감소시키고 각 파이프라인단의 지연시간을 균일하게 분배함으로써 결과적으로 공급전압을 낮추는 기법과 병행하여 전력소모를 크게 낮출 수 있었다.

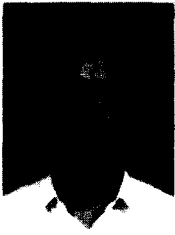
설계된 필터는 행 압축 방식의 시분할곱셈 구조를 채택하였으며 3.3 V에서 측정한 결과, 공정변화나 모의실험의 오차 등으로 인해 모의실험보다 약 11 % 낮은 평균 192 MHz의 최대 동작주파수를 나타냈으며 1.22 mW/MHz의 전력을 소모하였다. 즉, 기존 구조의 필터에 비해 약 16 %의 속도를 향상시켜 동일한 데이터 처리능력을 기준으로 할 경우 공급전압을 낮추는 기법을 이용하여 전력소모를 약 23 %까지 감소시킴으로써 제안된 아키텍처의 전력 효율성을 입증하였으며 FIR 필터 등과 같은 연산 시스템의 저전력화에 기여할 것으로 기대된다.

참 고 문 헌

- [1] S. J. Orfanidis, "Introduction to Signal Processing", *Prentice Hall*, N.J., 1996.
- [2] H. R. Lee, C. W. Jen, and C. M. Liu, "A New hardware-Efficient Architecture for Programmable FIR Filters", *IEEE trans. Circuits and Systems-II*, vol. 43, no. 9, pp. 637-644, Sept. 1996.
- [3] L. E. Thon, P. Sutardja, F. S. Lai, and G. Coleman, "A 240 MHz 8-Tap Programmable FIR Filter for Disk-Drive Read Channels", *International Solid State Circuits Conference*, pp. 82-83, 1995.
- [4] J. R. Choi, L. H. Jang, S. W. Jung, and J. H. Choi, "Structured Design of a 288-Tap FIR Filter by Optimized Partial Product Tree Compression", *IEEE J. Solid State Circuits*, vol. 32, no. 3, pp. 468-476, March, 1997.
- [5] D. J. Pearson, S. K. Reynolds, A. C. Megdanis, S. Gowda, K. R. Wrenner, M. Immediato, R. L. Galbraith, and H. J. Shin, "Digital FIR Filters for High Speed PRML Disk Read Channels", *IEEE J. Solid State Circuits*, vol. 30, no. 12, pp. 1517-1523, Dec., 1995.
- [6] D. Moloney, J. O'Brien, E. O'Rourke, and F. Brianti, "Low-Power 200 Msps, Area Efficient, 5-tap Programmable FIR Filter", *23rd European Solid State Circuits Conference*, pp. 280-283, 1997.
- [7] H. J. Ki, W. H. Paik, J. S. Yoo, and S. W. Kim, "A High Speed, Low Power 8-Tap Digital FIR Filter for PRML Disk-Drive Read Channels", *23rd European Solid State Circuits Conference*, pp. 312-315, 1997.
- [8] C. J. Nicol, and P. Larsson, "Low Power Multiplication for FIR Filters", *International Symposium on Low Power Electronics and Design*, pp. 76-79, 1997.
- [9] W. H. Paik, H. J. Ki, and S. W. Kim, "Low Power Logic Design using Push-pull Pass-transistor Logics", *International Journal of Electronics*, vol. 84, no. 5, pp. 467-478, 1998.
- [10] A. Bellaouar, and M. I. Elmasry, "Low-Power Digital VLSI Design", *Kluwer Academic Publishers*, Boston, 1995.
- [11] K. Hwang, "Computer Arithmetic", *John Wiley & Sons*, New York, 1979.
- [12] J. Mori, M. Nagamatsu, M. Hirano, S. Tanaka, M. Noda, Y. Toyoshima, K. Hashimoto, H. Hayashida, and K. Maeguchi, "A 10-ns 54x54-b Parallel Structured Full Array Multiplier with 0.5- μm CMOS Technology", *IEEE J. Solid State Circuits*, vol. 26, no. 4, pp. 600-606, April, 1991.

저 자 소 개

白 佑 鉉(正會員) 第 35卷 D編 第 1號 參照



劉 長 植(正會員)

1961년 6월 28일생. 1983년 2월 고려대학교 전기공학과 졸업. 1987년 2월 고려대학교 대학원 전기공학과(공학석사). 1994년 3월 ~ 현재 고려대학교 대학원 전자공학과 박사과정.

주관심 분야는 저전력 알고리즘 및 아키텍처, 저전력 디지털 신호 처리 시스템 설계 등임

金 壽 遠(正會員) 第 33卷 A編 第 8號 參照



奇 勳 載(正會員)

1967년 10월 3일생. 1995년 2월 고려대학교 전자공학과 졸업. 1997년 2월 고려대학교 대학원 전자공학과(공학석사). 1997년 3월 ~ 현재 고려대학교 대학원 전자공학과 박사과정.

주관심 분야는 저전력 알고리즘 및 아키텍처, 저전력/고속 디지털 회로 설계, 이동통신용 음성코덱 및 시스템 등임



李 祥 源(正會員)

1967년 1월 16일생. 1989년 2월 고려대학교 전자공학과 졸업. 1991년 2월 고려대학교 대학원 전자공학과(공학석사). 1997년 3월 ~ 현재 고려대학교 대학원 메카트로닉스 박사과정.

주관심 분야는 마이크로프로세서 아키텍처, 병렬처리 시스템 등임