

論文99-36C-8-4

전류모드 CMOS에 의한 다치 연산기 구현에 관한 연구

(A Study on Implementation of Multiple-Valued Arithmetic Processor using Current Mode CMOS)

成賢慶*, 尹廣燮**

(Hyeon-Kyeong Seong and Kwang-Sub Yoon)

요 약

본 논문에서는 $GF(p^m)$ 상에서 두 다항식의 가산 및 승산 알고리즘을 제시하였고, 가산 및 승산 알고리즘을 수행하는 전류 모드 CMOS에 의한 $GF(4^3)$ 상의 직렬 입력-병렬 출력 모듈 구조의 4치 연산기를 구현하였다. 제시된 전류 모드 CMOS 4치 연산기는 가산/승산 선택 회로, $mod(4)$ 승산 연산 회로, $mod(4)$ 가산 연산 회로를 2개 연결하여 구성한 MOD 연산 회로, $mod(4)$ 승산 연산 회로와 동일하게 동작하는 원시 기약 다항식 연산 회로에 의해 구현하였으며, PSpice 시뮬레이션을 통하여 이 회로들에 대하여 동작 특성을 보였다. 제시된 회로들의 시뮬레이션은 $2\mu m$ CMOS 기술을 이용하고, 단위 전류를 $15\mu A$ 로 하였으며, VDD 전압은 3.3V을 사용하였다.

본 논문에서 제시한 전류 모드 CMOS의 4치 연산기는 회선 경로 선택의 규칙성, 간단성, 셀 배열에 의한 모듈성의 이점을 가지며, 특히 차수 m 이 증가하는 유한체상의 두 다항식의 가산 및 승산에서 확장성을 가지므로 VLSI화 실현에 적합할 것으로 생각된다.

Abstract

In this paper, the addition and the multiplicative algorithm of two polynomials over finite field $GF(p^m)$ are presented. The 4-valued arithmetic processor of the serial input-parallel output modular structure on $GF(4^3)$ to be performed the presented algorithm is implemented by current mode CMOS. This 4-valued arithmetic processor using current mode CMOS is implemented one addition/multiplication selection circuit and three operation circuits; $mod(4)$ multiplicative operation circuit, MOD operation circuit made by two $mod(4)$ addition operation circuits, and primitive irreducible polynomial operation circuit to be performing same operation as $mod(4)$ multiplicative operation circuit. These operation circuits are simulated under $2\mu m$ CMOS standard technology, $15\mu A$ unit current, and 3.3V VDD voltage using PSpice. The simulation results have shown the satisfying current characteristics.

The presented 4-valued arithmetic processor using current mode CMOS is simple and regular for wire routing and possesses the property of modularity. Also, it is expansible for the addition and the multiplication of two polynomials on finite field increasing the degree m and suitable for VLSI implementation.

* 正會員, 尙志大學校 電子計算工學科
(Dept. of Computer Science & Engineering Sangji Univ.)

** 正會員, 仁荷大學校 電子電氣컴퓨터 工學部
(School of Electrical & Computer Engineering Inha Univ.)

※ 이 논문은 1997년 학술진흥재단의 공모과제 연구비에 의해 연구되었음

接受日字: 1999年2月23日, 수정완료일: 1999年7月29日

I. 서 론

오늘날 반도체 기술의 발달로 인하여 칩의 집적도가 비약적으로 증가하고 있으나 단자수 제한 문제, 단자간 상호 연결 문제, 보다 많은 정보량의 처리 문제와 연산 속도의 제한성 문제 등이 있다. 이러한 문제점들을 해결하기 위하여 지난 수십 년 동안 다치 논리 회로의 실현에 많은 흥미를 가져왔으며^[1-3], 그 중에서도 유한체(Galois Field; GF)는 2진 논리를 수행하는 부울체의 확장이라는 점에서 다치 논리 이론의 주관심 분야가 되었다^[4,5].

유한체는 스위칭 이론, 오진 정정 부호, 디지털 신호 처리 및 화상 처리, 디지털 통신의 암호화 및 해독 회로를 요하는 보안 통신 등에 많이 응용되고 있다. 특히, $GF(2^m)$ 은 신호 처리와 화상 처리 분야에서 특별한 계산을 요하거나 범용 컴퓨터 계산의 고속화를 보조하는 고성능 전용 컴퓨터의 설계에 효과적이며, VLSI 설계에 응용되고 있다^[6,7].

유한체 $GF(p^m)$ (단 $p \geq 3$)상에서 가산과 승산은 2진 산술 연산과는 현저하게 다르며 유용성과 단순성 때문에 유한체에 관한 연구가 활발히 진행되고 있다. 유한체상의 가산은 직접적이고 비트 독립적인 $mod(p)$ 연산으로 2진 가산보다 쉽다. 반면에 승산은 2진 승산보다 어렵고 복잡한 계산이 요구되나 단자당 높은 함수 기능 및 고밀도 실현의 장점을 가지고 있다^[8,9].

초기의 다치 논리 회로의 설계는 주로 전압 모드 쌍접합 트랜지스터와 CMOS 회로에 의해 이루어져 왔다. 그러나 대부분의 전압 모드 다치 논리 회로는 회로의 복잡성과 전달 지연 때문에 2치 논리 회로와 경쟁이 못되어 새로운 기술인 전류 모드 CMOS 다치 논리 회로가 1980년대 중반에 소개되었다^[10]. 제시된 전류 모드 CMOS 회로는 VLSI화의 요구 사항들에 대하여 호환성을 가지며, 적은 CMOS 공급 전압에서 안정하게 동작한다. 그리고 전압 모드가 갖는 결점을 보완하고 임의의 정점에서 전류 신호의 가감과 높은 전압의 공급 없이도 각 기수의 할당이 용이한 이점을 갖는다^[11,12].

또한 VLSI 설계에서 모듈 구조와 규칙적 상호연결이 중요한 설계 객체이다. 유한체상의 가산 및 승산을 위한 알고리즘이 지난 십 수년간 제안되어 왔으나 불행하게도 이들 알고리즘은 불규칙한 회선 경로 선택, 복잡한 제어 문제, 비모듈화 구조 및 병발성의 부족

때문에 VLSI 구조의 설계에 부적합하였다^[13].

최근 Yeh 등^[14]은 표준 기수 표현식을 사용하여 유한체상의 승산을 실현하는 직렬 입력/직렬 출력 시스토크 배열 구조와 병렬 입력/병렬 출력 시스토크 배열 구조의 승산기를 개발하였다. Scott 등^[15]은 표준 기수로 표현된 각 원소들의 유한체 승산을 실행하는 고속 승산기를 제시하였고, Wang 등^[16]은 Scott 등이 제안한 유한체상의 승산 알고리즘을 이용하여 시스토크 배열의 승산기를 제시하였다. 그러나 이들이 제시한 승산기는 $GF(2^m)$ 인 2진 회로의 승산으로 제한되어 설계되었다.

한편 Current^[17]는 간단한 전류 비교기, 전류 모드 다치 논리 부호기 및 복호기와 4치 전가산기 등의 다양한 전류 모드 CMOS 다치 논리 회로를 실현하였다. Hanyu 등^[18]은 표준 CMOS 기술을 사용하여 래치된 부호 디지털(SD) 전가산기를 수행하는 54×54 -b 파이프라인 승산기를 설계하였다. Navi 등^[19]은 전류 모드 CMOS를 사용한 3치-2진 변환기(3-BC)와 4치-2진 변환기(4-BC)를 기초로 하여 1비트 전류 모드 가산기를 설계하였고, Kawahito 등^[20]은 기수 4인 부호 디지털의 수체계를 기초한 32×32 비트 2의 보수 승산을 수행하는 승산기를 설계하였다. 이는 3단계 부호 디지털 전가산기(SDFA's)를 수행한다. 이들이 제시한 회로들은 단지 회로 소자를 실현하는 것으로 제한되었거나, 부호 디지털의 수체계를 기초한 승산기에 의한 전가산기의 설계로서 유한체상의 다치 논리 회로를 수행하는데 많은 단점이 있다.

그러므로 본 논문에서는 Scott 등이 제시한 $GF(2^m)$ 상의 승산 알고리즘을 유한체 $GF(p^m)$ 상의 승산 알고리즘으로 확장하여 전류 모드 CMOS에 의한 두 다항식의 가산 및 승산을 실현하는 직렬입력-병렬출력 모듈 구조의 다치 연산기를 제시하였다. 이 다치 연산기의 기본 셀은 가산/승산 선택회로, 승산 연산회로, 원시 기약 다항식 연산회로, MOD 연산회로로 구성되며, MOD 연산회로는 2개의 가산 연산회로로 구성된다.

II. 유한체의 승산 알고리즘과 전류 모드 CMOS 기본 회로

1. 유한체의 승산 알고리즘

유한체 $GF(p^m)$ 은 p 가 소수이고 m 이 양의 정수인 p^m 개의 원소들을 가지며 p 개의 원소들을 갖는 기초체 $GF(p)$ 의 확대체이다. 유한체 $GF(p^m)$ 는 $\{0, 1, 2, \dots, p-1\}$ 의 원소들로 구성된다. $GF(p^m)$ 에서 모든 산술 연산은 $\text{mod}(p)$ 연산으로 이루어지며, $GF(p^m)$ 의 0이 아닌 모든 원소들은 원시 원소 α 에 의해 생성된다.

유한체 $GF(p^m)$ 상에서 피승산 다항식을 $A(x)$, 승산 다항식을 $B(x)$, 원시 기약 다항식을 $F(x)$ 라 하고 다음과 같이 전개하여 표현할 수 있다^[6,7,15,16].

$$A(x) = \sum_{i=0}^{m-1} a_i \cdot x^i \quad (1)$$

$$= a_{m-1} \cdot x^{m-1} + \dots + a_1 \cdot x + a_0$$

$$B(x) = \sum_{i=0}^{m-1} b_i \cdot x^i \quad (2)$$

$$= b_{m-1} \cdot x^{m-1} + \dots + b_1 \cdot x + b_0$$

$$F(x) = \sum_{i=0}^m f_i \cdot x^i \quad (3)$$

$$= f_m \cdot x^m + f_{m-1} \cdot x^{m-1} + \dots + f_1 \cdot x + f_0$$

$$= x^m + f_{m-1} \cdot x^{m-1} + \dots + f_1 \cdot x + f_0$$

여기서 $F(x)$ 는 최고 차수가 m 이고 계수 $f_m=1$ 인 모닉 다항식이고, 계수 a_i, b_i, f_i 는 $\{0, 1, 2, \dots, p-1\}$ 의 값을 갖는다.

두 다항식 $A(x)$ 와 $B(x)$ 의 승산 알고리즘은 이들 다항식의 계수들을 곱한 후 $\text{mod } F(x)$ 연산을 수행하여 구할 수 있으며 다음과 같다.

$$C(x) = \{A(x) \cdot B(x)\} \text{mod } F(x)$$

$$= A(x) \cdot \{b_{m-1} \cdot x^{m-1} + \dots + b_1 \cdot x + b_0\} \text{mod } F(x)$$

$$= \{A(x) \cdot b_{m-1} \cdot x^{m-1} + \dots + A(x) \cdot b_1 \cdot x + A(x) \cdot b_0\} \text{mod } F(x)$$

$$= c_{m-1} \cdot x^{m-1} + \dots + c_1 \cdot x + c_0 \quad (4)$$

여기서 $C(x)$ 는 승산 결과 다항식이며, 계수 c_i 는 $\{0, 1, 2, \dots, p-1\}$ 의 값을 갖는다.

식 (4)에서 첫 번째 항 $[A(x) \cdot b_{m-1} \cdot x^{m-1}] \text{mod } F(x)$ 를 $K_1(x)$ 로 놓으면 다음과 같다.

$$K_1(x) = [A(x) \cdot b_{m-1} \cdot x^{m-1}] \text{mod } F(x)$$

$$= [\{A(x) \cdot b_{m-1} \cdot x\} x^{m-2}] \text{mod } F(x)$$

$$= [C_1(x) \cdot x^{m-2}] \text{mod } F(x) \quad (5)$$

여기서 $C_1(x) = \{A(x) \cdot b_{m-1} \cdot x\} \text{mod } F(x)$ 이다.

식 (4)에서 첫 번째 항과 두 번째 항을 더하여 $K_2(x)$ 로 놓으면 다음과 같다.

$$K_2(x) = [K_1(x) + A(x) \cdot b_{m-2} \cdot x^{m-2}] \text{mod } F(x)$$

$$= [\{C_1(x) + A(x) \cdot b_{m-2}\} x^{m-2}] \text{mod } F(x)$$

$$= [\{(C_1(x) + A(x) \cdot b_{m-2}) \cdot x\} x^{m-3}] \text{mod } F(x)$$

$$= [C_2(x) \cdot x^{m-3}] \text{mod } F(x) \quad (6)$$

여기서 $C_2(x) = \{(C_1(x) + A(x) \cdot b_{m-2}) \cdot x\} \text{mod } F(x)$ 이다.

이와 같은 방법으로 $K_{m-1}(x)$ 을 구하면 다음과 같다.

$$K_{m-1}(x) = [K_{m-2}(x) + A(x) \cdot b_1 \cdot x] \text{mod } F(x)$$

$$= [\{C_{m-2}(x) + A(x) \cdot b_1\} x] \text{mod } F(x) \quad (7)$$

$$= C_{m-1}(x)$$

여기서 $C_{m-1}(x) = [\{C_{m-2}(x) + A(x) \cdot b_1\} x] \text{mod } F(x)$ 이다.

마지막으로 $K_m(x)$ 을 구하면 다음과 같다.

$$K_m(x) = [K_{m-1}(x) + A(x) \cdot b_0] \text{mod } F(x)$$

$$= [\{C_{m-1}(x) + A(x) \cdot b_0\}] \text{mod } F(x) \quad (8)$$

$$= C_m(x)$$

$$= c_{m-1} \cdot x^{m-1} + \dots + c_1 \cdot x + c_0$$

식 (8)이 $\{A(x) \cdot B(x)\} \text{mod } F(x)$ 연산 후의 승산 결과 다항식이다.

Scott 등이 제시한 알고리즘은 $GF(2^m)$ 으로 제한성을 가지므로, 다항식의 계수가 0과 1만으로 처리된다. 그러나 본 논문에서 제시된 알고리즘은 유한체 $GF(p^m)$ 상으로 확장하여 처리할 수 있으므로 다항식의 계수가 $\{0, 1, 2, \dots, p-1\}$ 의 값을 갖는다.

2. 유한체상의 가산 알고리즘

유한체 $GF(p^m)$ 상에서 피가산 다항식을 $A(x)$, 가산 다항식을 $B(x)$ 라 하고, 다음과 같이 전개하여 표현할 수 있다.

$$A(x) = \sum_{i=0}^{m-1} a_i \cdot x^i = a_{m-1} \cdot x^{m-1} + \dots + a_1 \cdot x + a_0 \quad (9)$$

$$B(x) = \sum_{i=0}^{m-1} b_i \cdot x^i = b_{m-1} \cdot x^{m-1} + \dots + b_1 \cdot x + b_0 \quad (10)$$

여기서 가산 및 피가산 다항식의 계수 a_i, b_i 는 $\{0, 1, 2, \dots, p-1\}$ 의 값을 갖는다.

두 다항식 $A(x)$ 와 $B(x)$ 의 가산 알고리즘은 이들 다항식의 차수가 같은 계수들을 더한 후 $\text{mod}(p)$ 연산을 수행하여 구할 수 있으며 다음과 같다.

$$D(x) = (A(x) + B(x)) \text{mod}(p) = d_{m-1} \cdot x^{m-1} + \dots + d_1 \cdot x + d_0 \quad (11)$$

여기서 $D(x)$ 는 가산 결과 다항식이며, 계수 d_i 는 $\{0, 1, 2, \dots, p-1\}$ 의 값을 갖는다.

3. 전류모드 CMOS 기본 회로

전류 모드 CMOS 기본 회로는 여러 논문을 통해서 많은 종류가 발표되어 왔다^[9, 10, 12].

본 절에서는 이들 중 본 논문에서 제시되는 회로들을 구성할 전류 모드 CMOS의 기본 회로들을 그림 1에서 보인다.

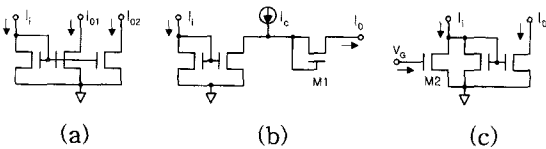


그림 1. 전류 모드 CMOS 기본 회로 (a) 전류 미러 회로 (b) 전류 차분 회로 (c) 전류 스위치 회로

Fig. 1. Current mode CMOS basic circuits. (a) current mirror circuit (b) current difference circuit (c) current switch circuit.

그림 1(a)는 하나의 입력 전류원에 대하여 소자 특성이 동일한 경우 여러 개의 출력 전류를 갖는 전류 미러 회로이다. 이는 일반적으로 전류 모드 회로에서 팬아웃 수가 1이라는 결점을 보완해 주며, 전류 이득에 관계되는 MOS 소자의 폭(W)과 길이(L)의 비율이 동일하다고 가정한 경우 출력 전류는 입력 전류와 같은 값을 갖게 된다^[12].

그림 1(b)는 전류 차분 회로이며, 정전류원으로 표시되는 문턱전류 I_c 가 P채널 MOS로 구성되며, M1

트랜지스터는 다이오드 특성을 나타낸다. 이 회로에 대한 동작 특성은 식 (12)와 같다.

$$I_0 = \begin{cases} I_c - I_i & \text{iff } I_c > I_i \\ 0 & \text{iff } I_c \leq I_i \end{cases} \quad (12)$$

그림 1(c)는 전류 스위치 회로이며, 패스 트랜지스터 M2의 게이트 전압 V_G 가 높게되면 출력 전류가 0이 되고 M2의 V_G 가 낮게되면 전류 스위치 회로는 전류 미러 회로로 동작한다.

III. 전류 모드 CMOS에 의한 다치 연산기의 구현

이 장에서는 앞장에서 논한 유한체 $GF(p^m)$ 상에서 두 다항식간의 가산 및 승산 알고리즘을 고속으로 실행하는 전류 모드 CMOS에 의한 직렬입력/병렬출력 모듈 구조의 다치 연산기를 그림 2와 같이 구현하였다. 이 다치 연산기는 가산과 승산을 선택하는 가산/승산 선택 회로(A/M SW), $GF(p^m)$ 상의 두 다항식의 승산을 실행하는 승산 연산회로, 임의의 주어진 원시 기약 다항식에 의해 연산을 실행하는 원시 기약 다항식 연산회로, 승산 연산회로의 출력과 원시 기약 다항식 연산회로의 출력에 대하여 $\text{mod}(p)$ 연산을 수행하는 MOD 연산회로로 구성하였다.

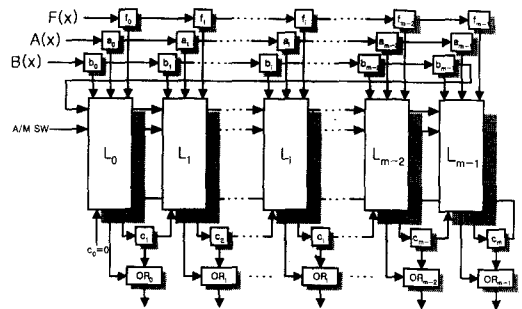


그림 2. $GF(p^m)$ 상의 전류 모드 CMOS 다치 연산기의 구조

Fig. 2. The scheme of current mode CMOS multiple-valued arithmetic processor on $GF(p^m)$.

그림 2의 셀 L_i 의 내부 구조는 그림 3과 같다. 이 셀 L_i 는 두 다항식 $A(x)$ 와 $B(x)$ 의 계수들을 곱하는 승산 연산 회로, $MSB(C)$, 그리고 원시 기약 다항식

$F(x)$ 의 계수를 연산하는 원시 기약 다항식 연산 회로, 이들 각각의 출력과 전단에서 입력된 승산 결과 다항식의 계수 c_i 를 $mod(p)$ 연산하는 MOD 연산 회로로 구성한다. MOD 연산 회로는 두 개의 가산 연산 회로를 사용하여 구성하였다. 그림 3의 셀 L_i 의 내부 구조에서 가산/승산 선택회로(A/M SW)는 전압 레벨에 의해 동작하며, $GF(p^m)$ 상의 두 다항식의 가산 및 승산 알고리즘의 수행을 선택하기 위한 회로이다. A/M SW가 0(0V)이면 트랜지스터 M3, M4, M6은 OFF되며, 셀 내부의 인버터 회로에 의해 트랜지스터 M1, M2가 ON이 되어 MOD 연산 회로를 구성하는 두 개의 가산 연산 회로 중 하나의 가산 연산 회로에 a_i , b_i 가 연결되어 가산 알고리즘을 수행한다. 가산 연산은 동일 차수의 계수들에 대하여 $(a_i + b_i) mod(p)$ 를 수행하여 구한 후 가산 결과는 M5가 ON이 되어 출력 다치 기억소자(OR_i)에 저장되고 병렬로 출력된다.

A/M SW가 1(3.3V)이면 트랜지스터 M1, M2, M5가 OFF되고, M3, M4, M6이 ON이 되어 승산 알고리즘을 수행한다. 승산 알고리즘의 수행 과정은 다치 기억소자에 입력된 승산 다항식 $B(x)$ 의 계수 b_i , 그리고 피승산 다항식 $A(x)$ 의 계수 a_i 를 승산 연산회로에 가하여 $(a_i * b_i)$ 한 후 MOD 연산 회로에 가해진다. 원시 기약 다항식 연산 회로는 승산 결과 다항식 $C(x)$ 의 최상위 비트 $MSB(C)$ 의 값과 원시 기약 다항식 $F(x)$ 의 계수 f_i 를 승산 연산 회로에 가하여 $MSB(C)*f_i$ 하여 MOD 연산 회로의 입력으로 가해진다.

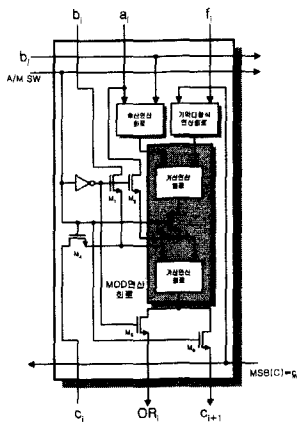


그림 3. 셀 L_i 의 구조
Fig. 3. The structure of cell L_i .

MOD 연산 회로는 전단의 승산 결과 다항식 $C(x)$ 의 계수 c_i 와 승산 연산 회로 출력과 원시 기약 다항식 연산 회로 출력을 $mod(p)$ 연산하며, MOD 연산 회로의 출력 c_{i+1} 은 $[c_i + (a_i * b_i) + \{MSB(C)*f_i\}] mod(p)$ 의 값을 갖는다. 그림 3에서 셀 L_i 의 출력은 승산 결과 다치 기억소자 c_{i+1} 로 이동하고 셀 L_{i+1} 의 입력으로 사용된다. 승산이 완전히 이루어졌을 때 최종 승산 결과는 출력 다치 기억소자(OR_i)에 전달되고 병렬로 출력된다.

본 논문에서는 그림 2의 유한체 $GF(p^m)$ 상의 다치 연산기의 구조를 $p=2^2$ 인 유한체 $GF(4^m)$ 상의 m 변수 4치 다항식의 연산을 수행하는 전류 모드 CMOS에 의한 4치 연산기의 구현에 대하여 논한다. 제시된 회로들은 $2\mu m$ CMOS 기술을 사용하여 PSpice로 시뮬레이션 하였다. 4치 연산기의 단위 전류 I_u 는 $15\mu A$ 로 하였으며 W/L은 $20\mu m/2\mu m$ 이고, VDD 전압은 3.3V를 사용하였다. 사용한 MOS 모델은 LEVEL 3으로 시뮬레이션 하였다.

1. 가산 연산 회로

그림 4(a)는 두 입력 전류의 값을 합하여 $mod(4)$ 연산을 수행하는 전류 모드 CMOS에 의한 $mod(4)$ 가산 회로이며, 그림 4(b)는 이 회로의 기호이다.

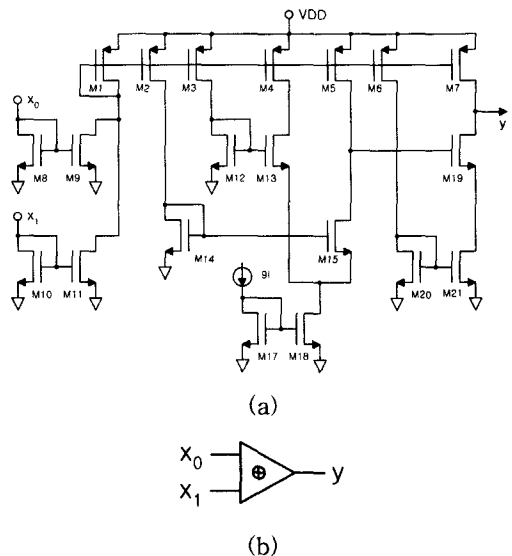


그림 4. 전류 모드 CMOS의 $mod(4)$ 가산 연산 회로
(a) 회로, (b) 기호
Fig. 4. The $mod(4)$ addition operation circuit of current mode CMOS. (a) circuit, (b) symbol

이 회로는 두 입력 x_0 와 x_1 에 가해진 전류에 따라 M8, M9와 M10, M11 트랜지스터에 의해 전류가 복제되며, 이로 인하여 전류원인 M1에서 두 입력에 의해 가해진 전류의 합에 대응되는 전류가 생성된다. 이 전류값이 전류원 M7에 복제된다. 전류원 M4와 M5에 연결된 트랜지스터 M12, 13과 M14, 15와 M17, 18은 전류 비교기이다. M2 전류원은 비교되는 기준 전류값 $3.5 I_u$ 를 생성하도록 하였으며, M3 전류원은 두 입력 전류의 합이 복제된다. 이 전류가 기준 전류 $3.5 I_u$ 와 비교되어 $3.5 I_u$ 보다 적으면 M19 트랜지스터가 동작하지 않으므로 M7의 전류가 출력 y 에 $y = (x_0 + x_1)$ 의 전류가 흐른다. 기준 전류 $3.5 I_u$ 보다 크면 M19 트랜지스터가 동작하여 전류원 M6의 전류 $4 I_u$ 에 연결된 M20, M21의 전류 미러에 의해 M7의 전류값에서 M6의 전류 $4 I_u$ 가 차분된다. 그러므로 출력 y 에 $y = (x_0 + x_1) - 4 I_u$ 의 전류가 흐르게 된다. 즉 두 입력의 전류값에 따라 출력 y 에 $0, I_u, 2 I_u, 3 I_u$ 의 전류가 흐르게 되며, 출력 y 는 입력 x_0 와 x_1 의 합을 $mod(4)$ 한 $y = (x_0 + x_1) mod(4)$ 를 수행한다. 전류 비교기에서 정전류원의 크기는 $9 I_u$ 정도이다. 이는 M17, M18에 의해 충분히 큰 전류가 복제되도록 하였다.

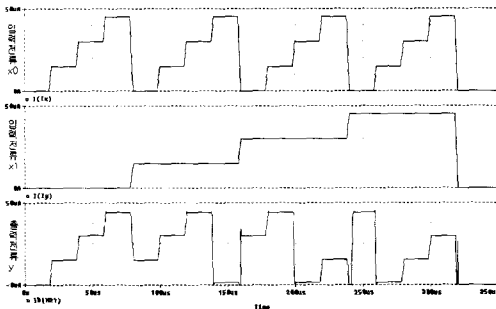


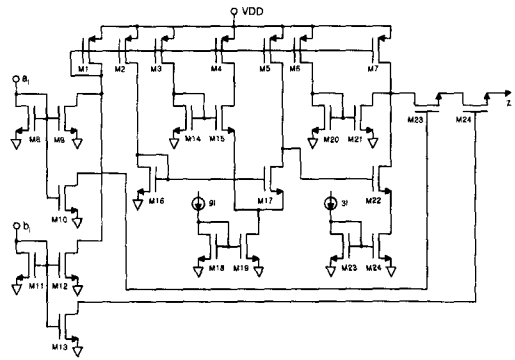
그림 5. $mod(4)$ 가산 회로의 시뮬레이션 결과
Fig. 5. The simulation results of $mod(4)$ addition circuit.

그림 5는 전류 모드 CMOS에 의한 $mod(4)$ 가산 연산 회로에 대한 시뮬레이션 결과이다. 입력 $x_0(I_x)$ 의 전류가 $0 \mu s$ 에서 $20 \mu s$ 간격으로 $0 \mu A$ 에서 $15 \mu A (I_u)$ 씩 증가하고, 입력 $x_1(I_y)$ 의 전류가 $0 \mu s$ 에서 $80 \mu s$ 간격으로 $15 \mu A (I_u)$ 씩 증가할 때 출력 전류 $y(ID(M21))$ 의 변화를 보인다. 그림 5에서 $100 \mu s$ 에서 I_x 가 $15 \mu A$

(I_u)이고, I_y 가 $15 \mu A (I_u)$ 일 때 출력 전류 $ID(M21)$ 이 $30 \mu A (2 I_u)$ 임을 보인다. 그러므로 두 입력에 따라 출력 y 의 전류가 $0 \mu A$ 에서 $45 \mu A$ 까지 4치에 해당하는 전류가 흐름을 확인할 수 있다.

2. 승산 연산 회로

그림 6(a)는 두 입력 전류의 값을 곱하여 $mod(4)$ 연산을 수행하는 전류 모드 CMOS에 의한 $mod(4)$ 승산 연산 회로이며, 그림 6(b)는 이 회로의 기호이다. 이 회로는 $A(x)$ 의 계수 a_i 와 $B(x)$ 의 계수 b_j 를 $(a_i * b_j) mod(4)$ 연산하여 출력한다. 그림 6(a)의 회로 동작은 두 입력 a_i 와 b_j 에 가해진 전류에 따라 M8, M9와 M11, M12 트랜지스터에 의해 전류가 복제된다. 이로 인하여 전류원인 M1에서 두 입력에 의해 가해진 전류의 합에 대응되는 전류가 생성되며, 이 전류값이 전류원 M7에 복제된다.



(a)



(b)

그림 6. 전류 모드 CMOS의 $mod(4)$ 승산 연산 회로
(a) 회로, (b) 기호

Fig. 6. The $mod(4)$ multiplicative operation circuit of current mode CMOS. (a) circuit (b) symbol

전류원 M4와 M5에 연결된 트랜지스터 M14, 15와 M16, 17와 M18, 19은 전류 비교 회로이다. M2 전류원은 비교되는 기준 전류값 $4.5 I_u$ 를 복제하며, M3 전류원은 두 입력 a_i 와 b_j 전류의 합이 복제된다. 이 전류가 기준 전류 $4.5 I_u$ 와 비교되어 기준 전류보다 적으면 M22 트랜지스터의 게이트 전압 V_G 가 낮아 동

작하지 않는다. 이때 M1에 의해 복제된 전류원 M7의 전류가 전류원 M6의 전류(I_u)에 의해 M20과 M21에 의해 차분되고, 출력 z 에 $z = (a_i + b_i) - I_u$ 의 전류가 흐르게 된다. M6 트랜지스터의 W/L이 $20\mu\text{m}/2\mu\text{m}$ 이다.

또한 두 입력 a_i 와 b_i 전류의 합인 M3 전류가 기준 전류 $4.5 I_u$ (M2)와 비교되어 기준 전류 보다 크면 M22의 게이트 전압이 3.3V가 되어 전류 스위치로 동작한다. 이로 인하여 M7의 전류가 전류원 $3 I_u$ 를 M23, M24에 의해 복제된 전류값 만큼 차분되어 출력 z 에 $z = (a_i + b_i) - (I_u + 3 I_u)$ 의 전류가 흐른다. 즉 두 입력단의 전류값에 따라 출력 z 에 0, I_u , $2 I_u$, $3 I_u$ 의 전류가 흐르게 된다. M23과 M24는 전류 스위치이다. a_i 또는 b_i 의 입력 전류가 0이면 트랜지스터가 동작하지 않아 출력 z 는 0의 값을 갖게 된다. 전류 비교기에서 정전류원의 크기는 $9 I_u$ 정도이다. 이는 M18, M19에 의해 충분히 큰 전류가 복제되도록 하였다.

그림 7은 전류 모드 CMOS에 의한 $\text{mod}(4)$ 승산 연산 회로에 대한 시뮬레이션 결과이다. 입력 a_i (IAi)의 전류가 $0\mu\text{s}$ 에서 $20\mu\text{s}$ 간격으로 $0\mu\text{A}$ 에서 $15\mu\text{A}$ (I_u)씩 증가하고, 입력 b_i (IBi)의 전류가 $0\mu\text{s}$ 에서 $80\mu\text{s}$ 간격으로 $15\mu\text{A}$ (I_u)씩 증가할 때 출력 전류 z 의 변화를 보인다. 그림 7에서 $100\mu\text{s}$ 에서 a_i (IAi)가 $15\mu\text{A}$ (I_u)이고 b_i (IBi)가 $15\mu\text{A}$ (I_u)일 때 출력 전류 z 는 $15\mu\text{A}$ (I_u)임을 보인다. $200\mu\text{s}$ 에서 a_i (IAi)가 $30\mu\text{A}$ ($2 I_u$)이고 b_i (IBi)가 $30\mu\text{A}$ ($2 I_u$)일 때 출력 전류 z 가 $0\mu\text{A}$ 임을 보인다.

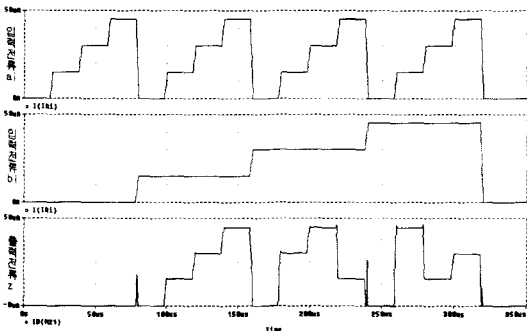


그림 7. 승산 연산 회로의 시뮬레이션 결과
Fig. 7. The simulation results of multiplicative operation circuit.

3. 원시 기약 다항식 연산 회로

원시 기약 다항식 연산 회로는 그림 6의 전류 모드 CMOS의 $\text{mod}(4)$ 승산 연산 회로와 같다. 이 회로는 승산 결과의 최상위 비트 $\text{MSB}(C)$ 값, 그리고 원시 기약 다항식 $F(x)$ 의 계수 f_i 에 의하여 $(f_i * \text{MSB}(C)) \text{mod}(4)$ 연산되어 출력되며, MOD 연산 회로에 가해진다. 즉 원시 기약 다항식의 출력은 $(f_i * \text{MSB}(C)) \text{mod}(4)$ 가 된다.

4. MOD 연산 회로

원시 기약 다항식 연산 회로의 출력, $\text{mod}(4)$ 승산 연산 회로의 출력, 그리고 승산 결과 c_i 를 입력으로 하는 MOD 연산 회로는 2개의 전류 모드 CMOS에 의한 $\text{mod}(4)$ 가산 회로를 사용하여 그림 8와 같이 구성하였다. MOD 연산 회로는 원시 기약 다항식 연산 회로의 출력, 그리고 승산 연산 회로의 출력을 입력으로 하여 $\text{mod}(4)$ 연산한 결과와 전단에서 계산된 승산 결과를 입력으로 하여 $\text{mod}(4)$ 연산을 행한다.

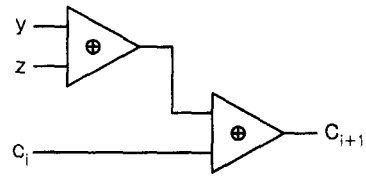


그림 8. MOD 연산 회로
Fig. 8. The modularity operation circuit.

그림 9는 전류 모드 CMOS에 의한 $\text{mod}(4)$ 가산 연산 회로를 2개 연결하여 구성한 MOD 연산 회로에 대한 시뮬레이션 결과이다. 승산 연산 회로의 출력을 입력으로 하는 y (Iy)의 전류가 $0\mu\text{s}$ 에서 $20\mu\text{s}$ 간격으로 $0\mu\text{A}$ 에서 $15\mu\text{A}$ (I_u)씩 증가하고, 원시 기약 다항식 연산 회로의 출력을 입력으로 하는 z (Iz)의 전류가 $0\mu\text{s}$ 에서 $80\mu\text{s}$ 간격으로 $15\mu\text{A}$ (I_u)씩 증가하며, 다차 연산기의 셀 L_i 의 앞단에서 연산된 결과의 출력을 입력으로 하는 c_i (Ici)의 전류가 $0\mu\text{s}$ 에서 $40\mu\text{s}$ 간격으로 $15\mu\text{A}$ (I_u)씩 증가할 때 MOD 연산회로의 출력 전류 c_{i+1} 의 변화를 보인다. 그림 9에서 $100\mu\text{s}$ 에서 y (Iy)가 $15\mu\text{A}$ (I_u)이고 z (Iz)가 $15\mu\text{A}$ (I_u)이고 c_i (Ici)가 $30\mu\text{A}$ ($2 I_u$)일 때 출력 전류 z 는 $0\mu\text{A}$ 이고, $200\mu\text{s}$ 에서 y (Iy)가 $30\mu\text{A}$ ($2 I_u$)이고 z (Iz)가 $30\mu\text{A}$ ($2 I_u$)이고 c_i (Ici)가 $15\mu\text{A}$ 일 때 출력 전류 c_{i+1} 가 $15\mu\text{A}$ (I_u)임을 보인다.

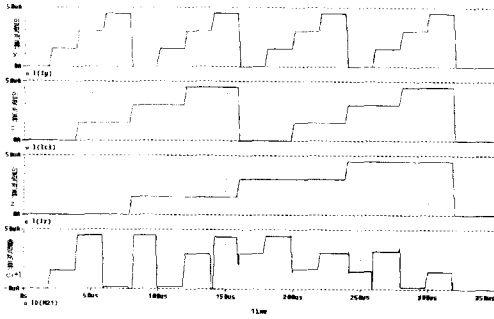


그림 9. MOD 연산 회로의 시뮬레이션 결과
Fig. 9. The simulation results of modularity operation circuit..

5. $GF(4^3)$ 상의 4치 연산기

앞에서 논한 가산 및 승산 알고리즘을 수행하는 전류 모드 CMOS에 의한 $GF(4^3)$ 상의 4치 연산기를 구현하면 그림 10과 같다. 전류 모드 CMOS에 의한 $GF(4^3)$ 상의 4치 연산기는 $m=3$ 이므로 셀 L_i 와 다항식의 계수 a_i, b_i, f_i 를 저장하는 다치 기억소자, 승산 결과 다치 기억소자, 출력 다치 기억소자들이 각각 3개씩 사용된다.

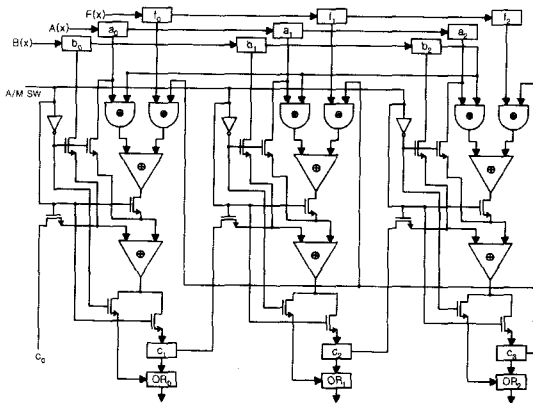


그림 10. $GF(4^3)$ 상의 전류 모드 CMOS 4치 연산기
Fig. 10. The current mode CMOS 4-valued arithmetic processor on $GF(4^3)$.

그림 11은 전류 모드 CMOS에 의한 $GF(4^3)$ 상의 4치 연산기에 대한 시뮬레이션 결과이다. A/M SW에 0(0V)를 가하면 가산 알고리즘을 수행하며, 그림 5와 동일한 시뮬레이션 결과를 보인다. A/M SW에 1(3.3V)를 가하면 승산 알고리즘을 수행한다. 그림 11에서 $GF(4^3)$ 의 계수 a_i, b_i 의 값을 입력으로 하는 승산 연산 회로에 $a_i(I_{ai})$ 가 0 μ s에서 20 μ s간격으로 0

μ A에서 15 μ A(I_u)씩 증가하고, $b_i(I_{bi})$ 가 0 μ s에서 40 μ s간격으로 15 μ A(I_u)씩 증가하는 입력 전류를 가하고, 원시 기약 다항식 연산 회로에 $f_i(I_{fi})$ 가 0 μ s에서 20 μ s간격으로 0 μ A에서 15 μ A(I_u)씩 증가하는 입력 전류를 가할 때 다치 기억소자(OR_i)에 저장되는 출력 전류의 변화를 보인다. 여기서 다치 기억소자의 초기값을 0전류로 하여 시뮬레이션하였다.

그림 11에서 100 μ s에서 $a_i(I_{ai})$ 가 15 μ A(I_u), $b_i(I_{bi})$ 가 30 μ A($2I_u$), $f_i(I_{fi})$ 가 15 μ A(I_u)일 때 다치 기억소자 OR_0 는 30 μ A($2I_u$), OR_1 는 30 μ A($2I_u$)이고, OR_2 는 30 μ A($2I_u$)의 출력 전류를 보인다. 200 μ s에서 $a_i(I_{ai})$ 가 30 μ A($2I_u$), $b_i(I_{bi})$ 가 15 μ A(I_u), $f_i(I_{fi})$ 가 30 μ A($2I_u$)일 때 출력 전류 OR_0 는 30 μ A($2I_u$), OR_1 는 45 μ A($3I_u$)이고, OR_2 는 0 μ A의 출력을 보인다. 셀 L_i 회로의 시뮬레이션 결과에서 전달 지연 시간이 1.2 μ s, 4치 연산기가 안정하게 동작하여 출력 신호를 얻는 동작 속도가 600KHz, 소비 전력이 3.08mW임을 보였다.

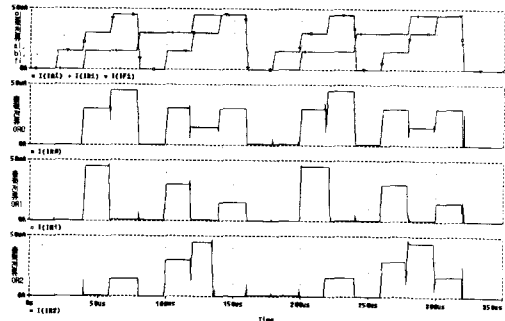


그림 11. $GF(43)$ 상의 전류 모드 CMOS 4치 연산기의 시뮬레이션 결과
Fig. 11. The simulation results of current mode CMOS 4-valued arithmetic processor on $GF(43)$.

IV. 비교 및 검토

이 장에서는 전류 모드 CMOS에 의한 $GF(4^3)$ 상의 다치 연산기를 타 연구의 승산기들과 비교하였으며, 비교표가 표 1과 같다. 비교된 승산기들은 $GF(2^m)$ 으로 제한성을 가지며, 다항식의 계수가 0과 1의 논리값만을 처리한다. 그러나 본 연구에서 제시한 $GF(4^3)$ 상의 다치 연산기는 일반성을 가지며, 다항식의 계수가 (0, 1, 2, 3)의 논리값을 갖는다.

표 1. 유한체상의 전류모드 CMOS 다치 연산기의 소자수 비교

Table 1. The element comparison of current mode CMOS multiple-valued arithmetic processor on finite fields.

비교항목	Yeh ^[14]		Wang ^[16]		Scott ^[15]	Koc ^[21]	Paar ^[22]	본 논문
	1-D	2-D	1-D	2-D				
승산회로	3m	2m ²	3m	2m ²	2m	m ²	9m ²	2m
MOD 연산회로	2m	2m ²	2m	2m ²	2m	m ² -1	9m ² +21m-9	2m
다치기억 소자	10m+2	7m ² +16	9m	7m ²	4m+1	-	-	5m
인버터 및 순열회로	-	-	-	-	2	2m	-	m
스위치	m	-	-	-	8m	-	-	6m
클럭시간	3m	3m	3m	3m	m	2m	2m+5	m

타 연구의 승산기들과 본 논문에서 제시한 전류 모드 CMOS에 의한 다치 연산기를 각 연산 회로별로 비교하면 다음과 같다. 클럭 시간과 전달 지연 시간도 단일 연산 회로에 전달되는 시간이 같다고 가정하여 단위 시간으로 계산하였다.

1) 승산 연산 회로(AND 회로): Yeh^[14]의 연구는 AND 회로가 2m², Wang^[16]의 연구도 2m², 그리고 Scott^[15]의 연구는 2m을 요한다. Koc^[21]는 m², Parr^[22]는 9m²의 AND 회로가 필요하나 본 연구에서는 각 셀의 승산 회로가 2개 필요하므로 2m이 필요하다.

2) MOD 연산 회로(XOR 회로): Yeh의 연구는 1-D 시스토크 구조인 경우 XOR 회로가 2m, Wang의 연구도 2m, Scott의 연구는 2m, Koc는 m²-1, 그리고 Paar는 9m²+21m-9이 요구된다. 본 연구에서는 MOD 연산회로가 2개의 가산 연산 회로를 사용하므로 2m개의 소자가 필요하다.

3) 다치기억소자(레지스터): Yeh의 연구는 레지스터가 2-D 시스토크 구조인 경우 7m²+16, Wang의 연구는 7m², 그리고 Koc와 Paar의 연구는 레지스터가 사용되지 않는다. 본 연구에서는 다치 기억소자가 5m개 필요하다.

4) 클럭시간: Yeh와 Wang의 연구는 단위 시간이 3m, Scott와 Koc는 2m, 그리고 Paar는 2m+5의 단위 시간이 요구된다. 본 연구에서는 피승산 다항식의 계수 a_i, 승산 다항식의 계수 b_i, 그리고 원시 기약

다항식의 계수 f_i가 이미 다치 기억소자에 입력되었다고 가정하면, m 단위 시간이 요구되어 연산 시간이 줄어드는 장점이 있다. 또한 스위치는 Yeh의 연구에서는 m개, Scott의 연구에서는 8m이 요구된다. 본 논문에서 사용되는 스위치는 가산 연산과 승산 연산을 전환하여 계산하기 위한 것으로 승산 연산만을 고려한다면 스위치를 사용할 필요가 없다. 제안된 GF(p^m)상의 전류모드 CMOS 다치 연산기는 회로 설계시 차수 m이 증가함에 따라 기본 셀을 부가하므로 설계가 용이한 모듈성과 회로 소자수가 m에 비례하여 증가하는 규칙성을 가지므로 VLSI 실현에 적합할 것으로 생각된다.

V. 결론

본 논문에서는 GF(p^m)상에서 두 다항식의 가산 및 승산 알고리즘을 제시하였고, 가산 및 승산 알고리즘을 수행하는 전류 모드 CMOS에 의한 GF(4³)상의 직렬 입력-병렬 출력 모듈 구조의 4치 연산기를 구현하였다. 제시된 전류 모드 CMOS에 의한 4치 연산기는 전압 레벨로 동작하는 가산/승산 선택 회로, mod(4) 승산 연산 회로, mod(4) 가산 연산 회로를 2개 연결하여 구성한 MOD 연산 회로, 그리고 mod(4) 승산 연산 회로와 동일하게 동작하는 원시 기약 다항식 연산 회로에 의해 구현하였다. 제시된 전류 모드 CMOS에 의한 4치 연산기는 PSpice 시뮬레이션을 통하여 이 회로들에 대하여 동작 특성을 보였다.

본 논문에서 제시한 전류 모드 CMOS에 의한 GF(4³)상의 4치 연산기에서 전류 모드 CMOS의 mod(4) 승산 연산 회로는 GF(2)상에서는 전류원의 값만 변환하면 AND 게이트로 동작한다. mod(4) 가산 연산 회로는 전류원의 값만 변환하면 XOR 게이트로 동작하므로 2진 논리 회로 및 다치 논리 회로에서 호환성을 갖는 장점이 있다. 또한 제시된 전류 모드 CMOS에 의한 4치 승산기의 동작 시간은 가산 및 승산 다항식의 계수들과 원시 기약 다항식의 계수들이 각 다치 기억소자들에 이미 입력되었다고 가정하면 m 단위시간이 소요되므로 고속의 승산을 행하는 장점이 있다.

제시된 회로들은 2μm CMOS 표준 기술을 사용하여 PSpice로 시뮬레이션 하였다. 4치 연산기의 단위

전류 I_n 는 $15\mu A$ 로 하였으며, CMOS의 길이와 폭 W/L 는 $20\mu m/2\mu m$ 이다. VDD 전압은 3.3V를 사용하였으며 MOS 모델은 LEVEL 3으로 시뮬레이션 하였다. 4치 연산기의 시뮬레이션 결과에서 전달 지연 시간이 $1.2\mu s$, 4치 연산기가 안정하게 동작하여 출력 신호를 얻는 동작 속도가 600KHz, 소비 전력이 3.08mW임을 보였다.

향후 연구 과제는 다치 연산기에서 입력 전류를 저장하는 다치 기억소자의 설계 및 구현이 필수적이다. 또한 전류 모드 CMOS 4치 연산기에서 소비 전력이 3.08mW를 보였는데 실용화를 위해서 전류 모드 동작에 의한 소비 전력을 감소시키는 문제, 600KHz 이상에서 4치 연산기가 안정하게 동작하는 동작 속도, 그리고 잡음에 대한 대책 및 미세 선폭의 반도체 기술에 맞도록 실제로 IC화하여 실용화하는 것이다.

본 논문에서 제시한 전류 모드 CMOS의 4치 연산기는 회선 경로 선택의 규칙성, 간단성, 셀 배열에 의한 모듈성의 이점을 가지며, 특히 차수 m 이 증가하는 유한체의 두 다항식의 가산 및 승산에서 확장성을 가지므로 VLSI화 실현에 적합할 것으로 생각된다.

참 고 문 헌

- [1] K. C. Smith, "The prospect for multi-valued logic: a technology and applications view," *IEEE Trans. Comput.*, vol. C-30, No. 9, pp.619-634, Sept. 1981.
- [2] S. L. Hurst, "Multiple-valued logic - its future," *IEEE Trans. Comput.*, vol. C-33, No. 12, pp.1161-1179, Dec. 1984.
- [3] J. T. Butler, "Multiple-valued logic in VLSI", IEEE Computer Soc. Press, 1991.
- [4] B. Benjauthrit and I. S. Reed, "Galois switching functions and their application," *IEEE Trans. Comput.*, vol. C-25, No. 1, pp.78-86, Jan. 1976.
- [5] K. S. Menger, "A transform logic networks," *IEEE Trans. Comput.*, vol. C-18, No. 3, pp.241-250, Mar. 1969.
- [6] C. C. Wang, T. K. Truong, H. M. Shao, L. J. Deutsch, J. K. Omura and I. S. Reed, "VLSI architectures for computing multiplications and inverses in $GF(2^m)$," *IEEE Trans. Comput.*, vol. C-34, No. 8, pp.709-717, Aug. 1985.
- [7] H. M. Shao, T. K. Truong, L. J. Deutsch, J. H. Yaeh and I. S. Reed, "A VLSI design of a pipelining Reed-solomon decoder," *IEEE Trans. Comput.*, vol. C-34, No. 5, pp.393-403, May 1985.
- [8] 성현경, 김홍수, "GF(2^m)상의 셀 배열 승산기의 구성," *전자공학회논문지*, 제26권, 제4호, pp.81-87, 1989년 4월
- [9] Z. Zilic and Z. Vranesic, "Current-mode CMOS Galois field circuits," Proc. 23rd ISMVL, Sacramento, CA, USA, pp.245-250, May 1993.
- [10] S. P. Onneweer and H. G. Kerkhoff, "Current-mode CMOS high-radix circuits," Proc. 16th ISMVL, Blacksburg, Virginia, USA, pp.60-69, May 1986.
- [11] J. T. Butler, J. H. Pugsley and C. B. Silio Jr., "High-speed multiplier uses 50 percent less chip area and power," *IEEE Computer*, vol. 20, No. 8, pp.109-110, Aug. 1987.
- [12] T. Yamakawa, T. Miki and F. Ueno, "The design and fabrication of the current mode fuzzy logic semicustom IC in standard CMOS IC technology," Proc. 15th ISMVL, Kingston, Ontario, Canada, pp.76-82, May 1985.
- [13] S. Bandyopadhyay and A. Sengupta, "Algorithms for multiplication in Galois field for implementation using systolic arrays," *IEE Proc.*, vol. 135, Pt. E, No. 6, pp.336-339, Nov. 1988.
- [14] C. S. Yeh, I. S. Reed and T. K. Truong, "Systolic multipliers for finite field $GF(2^m)$," *IEEE Trans. Comput.*, vol. C-33, No. 4, pp.357-360, Apr. 1984.
- [15] P. A. Scott, S. E. Tarvares and L. E. Peppard, "A fast VLSI multiplier for $GF(2^m)$," *IEEE J. Select. Areas Common.*, vol. SAC-4, No. 1, pp.62-66, Jan. 1986.
- [16] C. L. Wang and J. L. Lin, "Systolic array implementation of multipliers for finite

- fields $GF(2^m)$," *IEEE Trans. Circuits and Systems*, vol. 38, No.7, July 1991.
- [17] K. W. Current, "Current-mode CMOS multiple-valued logic circuits," *IEEE J. Solid-State Circuits*, vol. 29, No. 2, pp.95-107, Feb. 1994.
- [18] T. Hanyu and M. Kameyama, "A 200 MHz pipelined multiplier using 1.5V-supply multiple-valued MOS current-mode circuits with dual-rail source-coupled logic," *IEEE J. Solid-State Circuits*, vol. 30, No. 11, pp.1239-1245, Nov. 1995.
- [19] K. Navi, A. Kazeminejad and D. Etiemble, "Performance of CMOS current mode full adders," *Proc. 24th ISMVL*, Boston, MA, USA, pp.27-34, May 1994.
- [20] S. Kawahito, M. Kameyama, T. Higuchi and H. Yamada, "A 32×32 -bit multiplier using multiple-valued MOS current-mode circuits," *IEEE J. Solid-State Circuits*, vol. 23, No. 1, pp.124-132, Feb. 1988.
- [21] C. K. Koc and B. Sunar, "Low-complexity bit-parallel canonical and normal basis multipliers for a class of finite fields," *IEEE Trans. Comput.*, vol. C-47, No. 3, pp.353-356, March 1998.
- [22] C. Paar, P. Felischmann, and P. Roelse, "Efficient multiplier architectures for Galois fields $GF(2^{4n})$," *IEEE Trans. Comput.*, vol. C-47, No. 2, pp.162-170, Feb. 1998.

 저 자 소 개


 成 賢 慶(正會員)

1955년 12월 21일생. 1982년 2월 인하대학교 전자공학과 졸업(공학사). 1984년 2월 인하대학교 대학원 전자공학과 졸업(공학석사). 1991년 2월 인하대학교 대학원 전자공학과 졸업(공학박사). 1989년 3월 ~ 1991년 2월 인하대학교 대학원 전자공학과 졸업(공학박사). 1989년 3월 ~ 1991년 8월 부천전문대학 전자계산과 조교수. 1991년 9월 ~ 현재 상지대학교 전자계산공학과 부교수. 주관심분야는 Multiple-Valued Logic Design, Computer Architecture & VLSI 설계, Fuzzy Control, Digital Signal Processing 등임

尹 廣 燮(正會員) 第 34卷 C編 第 6號 參照

현재 인하대학교 전자 전기 Computer 공학부 부교수