

개선된 타이밍 수준 게이트 지연 계산 알고리즘

(An Improved Timing-level Gate-delay Calculation Algorithm)

金 富 成 * , 金 錫 潤 *

(Boosung Kim and Seokyeon Kim)

요 약

빠르고 정확한 결과를 얻기 위해서 타이밍 수준에서의 회로 해석이 이루어지며, 게이트와 연결선에서의 신호 지연 해석은 회로의 설계 검증을 위하여 필수적이다. 본 논문에서는 CMOS 회로 게이트에서의 지연 시간과 연결선의 지연 해석을 위한 초기 천이 시간을 동시에 계산할 수 있는 방법을 제시한다. 회로 연결선의 유효 커패시턴스 개념을 이용하여 게이트의 지연 시간과 게이트에서의 구동 저항을 고려한 연결선 선형 전압원의 천이 시간을 계산한다. 게이트 지연과 연결선 선형 전압원의 천이 시간을 구하는 과정은 예비 특성화된 게이트 타이밍 데이터를 이용하여 반복적인 연산 과정을 통하여 동시에 구하게 된다. 기존의 게이트 지연 계산 알고리즘은 연결선 선형 전압원의 천이 시간을 위해 별도의 게이트 특성 데이터를 필요로 하였으나, 본 논문에서 제시하는 방법은 계산 과정 중에 생성된 데이터를 이용함으로써 현재의 예비 특성화 방법을 수정하지 않고서도 효율적인 타이밍 수준의 게이트 및 연결선 지연 시간 예측이 가능하도록 하였다.

Abstract

Timing-level circuit analyses are used to obtain fast and accurate results, and the analysis of gate and interconnect delay is necessary to validate the correctness of circuit design. This paper proposes an efficient algorithm which simultaneously calculates the gate delay and the transition time of linearized voltage source for subsequent interconnect delay calculation. The notion of effective capacitance is used to calculate the gate delay and the transition time of linearized voltage source which considers the on-resistance of driving gate. The procedure for obtaining the gate delay and the transition time of linearized voltage source has been developed through an iterative operation using the precharacterized data of gates. While previous methods require extra information for the transition time calculation of linearized voltage source, our method uses the derived data during the gate delay calculation process, which does not require any change in the existing precharacterization process.

I. 서 론

반도체 제조 기술의 지속적인 발달로 인해 소자의

크기가 급속도로 줄어들게 되어 선 폭이 0.5 μ m 이하로 미세화되었다. 이는 설계자에게 허용되는 칩내의 설계 공간의 상대적인 증가 및 고집적화로 귀결되었으며, 수백 Mhz 이상의 시스템 동작 주파수와 칩의 고기능화는 연결선 길이의 증가를 초래하고 있다. 이러한 추세는 연결선에서의 시간 지연의 상대적인 증가로 나타나, ASIC 설계시 타이밍 수준에서의 회로 해석 및 예측 작업은 더욱 높은 수준의 정확도가 요구되게 되었다.

* 正會員, 崇實大學校 컴퓨터學科

(Dept. of Computing, Soongsil Univ.)

※ 본 연구에 사용된 CAD 도구는 반도체설계교육센터 (IDEC)의 지원에 의한 것임.

接受日字:1999年3月18日, 수정완료일:1999年7月19日

회로의 시간 지연 특성은 게이트에서의 지연과 연결선에서의 지연으로 나누어지며, 이 두 지연 요소의 합으로 각 단계에서의 지연 특성을 파악할 수 있다^[1]. 정확한 지연 시간 예측이 이루어질 때 설계의 고품질화를 유지할 수 있으며 재 설계로 인한 개발 시간을 줄일 수 있다.

게이트에 대한 지연 시간 특성은 입력에 인가되는 파형의 상승 또는 하강 시간과 출력단에 연결된 회로 연결선 및 부하 커패시턴스에 대하여 해석하며, 연결선에 대한 지연 시간은 AWE 알고리즘^[4]을 통해 계산할 수 있다. 게이트의 모형을 위해 일반적으로 사용되는 방식은 입력 파형의 천이 시간과 부하 커패시턴스로 구성되는 이차원 표 형태, 또는 이를 매개 변수로 갖는 방정식을 이용하는 방법이 있다.

게이트에서의 올바른 출력 파형을 예측하기 위해서는 연결선의 저항 효과를 고려해야 한다. 저항 차폐 효과(resistance-shielding effect)^[11]는 부하 커패시턴스 값을 유효 커패시턴스(effective capacitance)로 대체함으로써 고려할 수 있으며, 연결선에서의 지연은 연결선을 저 차의 모형으로 재구성하는 방식에 의해 구성된 회로 모형과 게이트 출력단의 파형에 의해 해석이 이루어진다.

회로 수준 시뮬레이션의 단점을 보완하기 위한 방법으로서 이용이 간단하여 많이 사용되는 Elmore 지연^[2, 7]을 적용하는 방법이 있다. 그러나 Elmore 지연은 실제 응답에 비해 부정확한 해석이기 때문에 이를 보완하기 위한 방법이 요구된다. 이러한 문제점을 보완하기 위해서 소수의 모멘트를 이용하는 방법^[14]이나 Elmore 지연에 경계값을 고려한 해석 방법^[15, 16] 등이 제안되었다. 그러나 이러한 해석 방법은 초기 충전치나 전하 공유(charge sharing)와 같은 일반적인 조건에서는 수행이 곤란하다는 단점이 있다^[6].

AWE(Asymptotic Waveform Evaluation)^[4]는 일반화된 선형 회로에 대해 효율적인 해석이 가능한 방법이며, 위에서 언급한 문제점을 극복할 수 있다. AWE는 임의의 선형 RLC 회로에 대하여 정확한 응답을 구하는 대신, 주어진 초기 조건으로부터 근사적인 저차의 q -pole 모형에 대한 응답을 구함으로써 계산상의 효율성을 추구하는 접근 방법이다. 차수를 증가시키면 근사 응답이 정확한 응답에 수렴하게 되며 계산 시간은 적용된 차수에 비례하게 된다. AWE는 회로에 대한 정확한 응답을 제공하는 대표적인 회로 시

뮬레이터인 SPICE와 비교할 때, 연결선의 지연 시간을 불과 수 %의 오차 범위 내에서 100배 이상 빠르게 계산하므로 대규모 회로에 적용이 가능한 매우 효과적인 방법이다^[3].

본 논문은 CMOS 게이트 및 셀의 시간 지연을 계산하고, 동시에 AWE 기법을 이용하여 연결선 지연을 예측할 수 있는 알고리즘을 제시하며, 이를 구현한 CDE(Cell Delay Evaluator)를 소개한다. 본 논문의 알고리즘이 기존의 지연 계산 알고리즘과 다른 점은 연결선 지연 계산시 입력으로 사용되는 선형 전압원의 천이 시간 예측에 있다. 기존의 알고리즘^[2]은 정확한 천이 시간 예측을 위해 게이트 출력의 20% 및 90% 지연치를 필요로 하며, 이 데이터는 각 게이트의 예비 특성화(pre-characterization) 단계에서 갖추어야 한다. 그러나 이러한 추가적인 부담은 새로운 표준셀을 개발하는 경우가 아니고는 수용하기가 어려우므로, 본 논문에서는 기존의 예비 특성화 데이터를 사용하여 연결선 선형 전압원의 천이 시간을 예측하는 방법을 제안하였다.

본 논문의 구성은 다음과 같다. 서론 이후 2절에서는 게이트에서의 지연 시간 계산을 위한 방법을 소개하고, 3절에서는 구동 저항 및 회로 연결선을 고려한 선형 전압원의 천이 시간을 계산하기 위한 방법을 제시한다. 4절에서는 실제의 게이트에 대한 CDE의 적용 결과와 HSPICE의 결과를 비교하며, 5절에서 결론을 맺는다.

II. 게이트 지연 시간의 계산

1. 게이트의 타이밍 수준 모형화

타이밍 수준에서 게이트 지연을 해석하기 위해서는 게이트를 트랜지스터 수준으로 기술하지 않고서도 구동 특성을 그대로 반영할 수 있는 단순한 모형으로 변환하여야 한다. 이러한 형태의 게이트 모형이 갖추어야 할 필요조건은 다음과 같다.

첫째, CMOS 게이트 모형의 연결선 구동점에서 나타나는 전압 파형의 후반부를 그대로 재현할 수 있는 기능을 필요로 한다.

둘째, 트랜지스터의 저항은 동일한 게이트에 대해서도 구동할 연결선 회로에 따라 결정될 수 있어야 한다.

셋째, 트랜지스터의 구동점에서의 전압 파형이 지수

함수 형태의 파형으로 변화하는 분기점은 일률적으로 정할 수 없으므로 게이트 및 주변 환경에 따라 달라질 수 있어야 한다^[3].

표 1. 게이트의 특성 데이터
Table 1. Characteristic data of gates.

Slope	Cap	C1	C2	C3	C4
	S1
S2	X1	X2	X3	X4	
S3
S4

자연 해석을 위한 게이트 모형화 문제를 해결하기 위해서 반도체 회사들은 이러한 상황을 합리적으로 고려한 표 1과 같은 이차원 표나 식 (1)과 같은 게이트 지연 특성 방정식^[8]을 이용하고 있다. 식 (1)을 살펴 보면, 게이트 지연, t_d 및 게이트 출력 천이시간, t_r 는 입력 천이시간과 부하 커패시턴스를 매개변수로 하며, 특성화 과정에서 결정된 5계수 다항식으로 주어진다.

$$t_d = (k_1 + k_2 C_L)t_i + k_3 C_L^3 + k_4 C_L + k_5$$

$$t_r = (k_1' + k_2' C_L)t_i + k_3' C_L^2 + k_4' C_L + k_5' \quad (1)$$

대부분의 칩내부 회로 연결선은 선형 R과 C로 이루어진 회로로 모형화한다. RC 회로 모형은 쉽게 계산할 수 있는 사다리 구조, RC-트리 및 RC-망(mesh) 구조로 귀결된다. RC 회로망으로 구성된 연결선의 해석은 모멘트 매칭 기법인 AWE 방법으로 해석되며, 이 방법을 통하여 게이트의 해석을 위해 사용되는 유효 커패시턴스를 구할 수 있다.

게이트 지연 및 출력 천이시간 계산을 위하여 이용되는, 식 (1)이나 표 1과 같은 경험적인 모형은 하나의 부하 커패시턴스와 게이트에 입력되는 파형의 천이 시간을 필요로 한다. 하나의 부하 커패시턴스를 얻기 위해서는 연결선의 구동점에서의 어드미턴스를 하나의 커패시턴스로 모형화할 수 있어야 한다. 가장 단순한 하나의 커패시턴스 모형은 연결선의 총 커패시턴스와 부하 커패시턴스의 합일 것이다. 그러나 단순히 총 커패시턴스를 하나의 커패시턴스로 모형화하는 것은 저항의 차폐 효과를 지나치게 과소 평가하는 것이 된다^[11].

연결선에서의 저항은, 특히 클락이나 버스 선과 같이 긴 연결선의 경우, 구동자로부터의 부하 커패시턴스를 차폐하는 경향이 있기 때문이다. 따라서 저항에 의한 차폐 효과를 고려하기 위해서는 연결선을 Π -모형과 같은 저차의 구동점 어드미턴스 형태^[10, 12]로 표현할 필요가 있다.

그림 1에 전형적인 CMOS 회로의 게이트-연결선 회로 예를 도시하였다. 그림 2는 그림 1의 연결선 및 부하를 Π -모형으로 근사화한 결과이다.

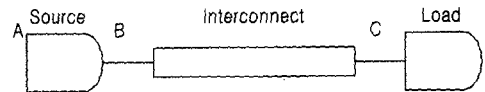


그림 1. 게이트 및 연결선 회로 예
Fig. 1. An example of gate and interconnect circuits.

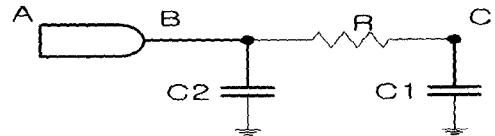


그림 2. Π -모형을 이용한 회로 모형
Fig. 2. Circuit representation in Π -model.

그림 2와 같이 모형화된 회로의 R, C_2, C_1 의 값은 B 지점에서의 어드미턴스를 구한 결과와 2차 근사화된 전달 함수의 결과를 일치시킴으로써 얻을 수 있다. 실제 연결선의 구동점에서의 어드미턴스를 $s=0$ 에 대해 McLaurin 급수식으로 전개하면, 어드미턴스는 식 (2)와 같다^[9].

$$Y(s) = \sum_{n=1}^{\infty} m_n s^n \quad (2)$$

구동점에서의 어드미턴스, $Y(s)$ 를 AWE 알고리즘을 통해 얻은 근사적 전달 함수, $\hat{Y}(s)$ 와 같게 놓음으로써 2차로 근사화된 Π -모형을 쉽게 얻을 수 있다.

그림 2에 대한 $\hat{Y}(s)$ 를 구하면 식 (3)과 같다.

$$\hat{Y}(s) = sC_2 + \frac{sC_1}{1 + sRC_1}$$

$$= (C_1 + C_2)s + \sum_{n=2}^{\infty} (-1)^{n-1} R^{n-1} C_1^n s^n \quad (3)$$

식 (2)와 식 (3)을 일치시키면 식 (4)와 같이 2차 모형으로 근사화된 연결선 모형을 구할 수 있다^[10].

$$\begin{cases} C_1 = m_2^2 / m_3 \\ C_2 = m_1 - (m_2^2 / m_3) \\ R = -m_3^2 / m_2^3 \end{cases} \quad (4)$$

2. 유효 커패시턴스를 이용한 게이트의 지연 시간 계산

보다 정확한 게이트 지연을 얻기 위해 2.1절에서 Π -모형을 고려하였다. 그러나, 표 1이나 식 (1)으로 주어지는 정보를 이용하여 게이트 지연을 구하기 위해서는 하나의 커패시턴스가 요구된다. 이렇게 하나의 커패시턴스로 모형화한 결과를 도식적으로 나타내면 그림 3과 같다.

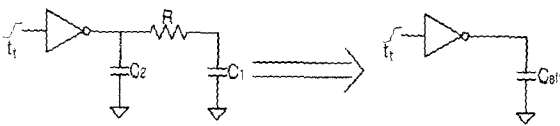


그림 3. 유효 커패시턴스의 개념
Fig. 3. Concept of effective capacitance.

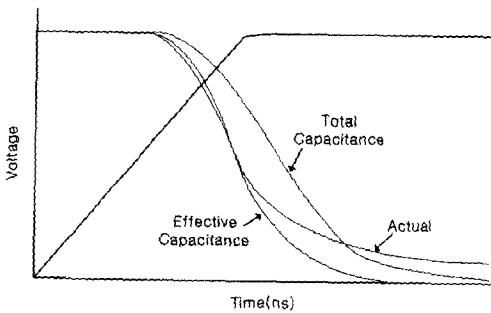


그림 4. 전체 커패시턴스, 유효 커패시턴스와 실제 응답 파형의 비교
Fig. 4. Waveform comparison using total capacitance, effective capacitance and actual response.

유효 커패시턴스는 그림 3의 Π -모형을 부하로 하는 경우와 하나의 유효 커패시턴스를 부하로 하는 경우에서 게이트 출력단의 두 파형이 관심 시점까지 일치하도록 만드는 값으로서 정의할 수 있다. 게이트 지연시간 해석을 위해서는 관심 시점을 출력 파형의 50% 전이 시점까지로 정의하면 충분하다. 그림 4에서 보듯이 유효 커패시턴스 개념을 이용하여 연결선 및 부하를 모형화함으로써 게이트의 지연 시간해석 결과를 얻을 수 있다. 그러나, 유효 커패시턴스는 전체 파형의 50% 지점까지는 비교적 정확하게 근사화할 수

있으나, 파형의 후반부는 정확하게 예측할 수가 없게 된다. 유효 커패시턴스는 주어진 게이트 특성, 연결선 및 입력 파형 조건하에서 게이트 출력단에서 연결선 및 부하를 바라보는 등가 커패시턴스로서 단순히 총 커패시턴스를 의미하는 것은 아니다^[10].

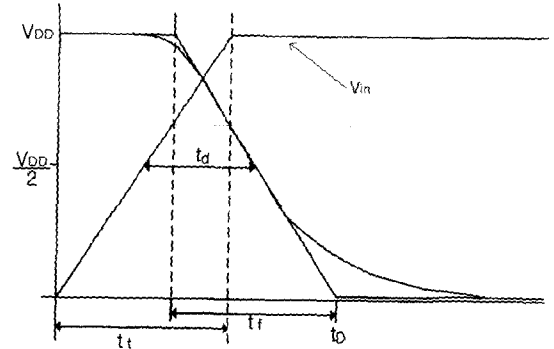


그림 5. 실제 응답 파형과 유효 커패시턴스의 응답 파형
Fig. 5. Waveforms of actual response and effective capacitance.

일반적으로 MOS 트랜지스터의 출력 파형은 그림 5와 같이 곡선 부분과 직선부분으로 나타낼 수 있다. 출력 파형이 하향 전이할 경우를 가정하고서 그림 5상에서 t_x, t_D 를 정의한다. Π -모형의 유효 커패시턴스 모형으로의 변환은 식 (5)와 같이 두 회로에서의 t_D 시점까지의 평균 출력 전류가 같다고 봄으로써 이루어진다^[1].

$$\frac{1}{t_D} \int_0^{t_D} I_x(t) dt = \frac{1}{t_D} \int_0^{t_D} I_C(t) dt \quad (5)$$

평균 전류를 계산하기 위한 전압에 대한 수식은 그림 5에서 볼 수 있듯이 출력의 20% 지점까지는 곡선을 이루지만 20%(t_x)에서 50%(t_D)까지는 직선으로 이루어진다. 따라서 이를 만족하는 구간으로 나누어 게이트의 출력 파형에 대한 식을 식 (6)과 같이 가정할 수 있다.

$$V_{out}(t) = \begin{cases} V_i - ct^2 & 0 \leq t \leq t_x \\ a + b(t-t_x) & t_x \leq t \leq t_D \end{cases} \quad (6)$$

Π -모형에서의 커패시턴스(C_1, C_2)와 식 (5)를 이용하여 식 (7)과 같이 유효 커패시턴스를 구할 수 있다.

$$C_{eff} = C_2 + C_1 \left[1 - \frac{RC_1}{t_D - \frac{t_x}{2}} + \frac{(RC_1)^2}{t_x(t_D - \frac{t_x}{2})} e^{-\frac{(t_D - t_x)}{RC_1}} \left(1 - e^{-\frac{t_x}{RC_1}} \right) \right] \quad (7)$$

식 (7)에서 알 수 있듯이 유효 커패시턴스는 $C_1 + C_2$ 와 C_2 사이에 존재하게 된다. 식 (7)의 결과와 같이 유효 커패시턴스는 출력단에서 전압 파형의 지연 시간과 게이트의 지연 시간의 함수로서 나타난다. 미지수로 남은 t_x 및 t_D 는 그림 5를 통해 식 (8) 및 (9)과 같이 나타낼 수 있다.

$$t_{20} = t_x = t_d + \frac{t_f}{2} - 0.3t_f \quad (8)$$

$$t_{50} = t_D = t_d + \frac{t_f}{2} \quad (9)$$

유효 커패시턴스는 명시적 수식으로 주어지지 않기 때문에 게이트의 지연과 출력 파형의 천이 시간에 대한 특성 데이터(식 (1)이나 표 1)와 식 (16)을 동시에 만족시키는 해를 구함으로써 얻어지며, 이 과정은 아래와 같이 반복적인 알고리즘을 수행함으로써 정확한 값에 접근 할 수 있다.

유효 커패시턴스를 구하기 위한 측차 알고리즘:

- ① 유효 커패시턴스의 초기 값을 Π 모형의 총 커패시턴스로 놓는다.
($C_{eff} = C_2 + C_1$)
- ② 현재의 C_{eff} 를 이용하여 게이트 특성 데이터에서 t_d , t_f 를 구한다.
- ③ t_d , t_f 를 식 (7)에 대입하여 새로운 C_{eff} 값을 구하고 식 (8), 식 (9)를 계산한다.
- ④ 이전의 C_{eff} 와 ③에서 구한 새로운 C_{eff} 의 차가 오차 한계내에 수렴하지 않으면, 새로운 C_{eff} 를 이용하여 ②에서 다시 수행한다.

위와 같은 과정을 통해서 게이트 지연 계산을 위한 유효 커패시턴스를 구할 수 있으며, 게이트 특성 데이터의 부하 커패시턴스를 이 유효 커패시턴스 값으로 치환함으로써 연결선의 분포 저항 및 커패시턴스가 반영된 게이트 지연 시간을 얻을 수 있다. 그러나, 여전히 연결선 해석시 필요한 선형 전압원의 천이 시간은 예측하기가 곤란하다. 따라서 이 문제를 다루기 위해 구동 저항을 고려한 해결책을 찾고자 한다.

III. 연결선 해석을 위한 선형 전압원의 천이 시간 계산

지금까지의 과정에서 게이트의 지연 시간을 얻기 위해 유효 커패시턴스를 구하는 과정과 유효 커패시턴스를 이용해 게이트 지연 시간을 구하는 과정을 보았다. 게이트 지연 계산에 이용되는 유효 커패시턴스를 구하기 위해서는 파형의 후반부를 정확히 근사화할 필요가 없었다. 그러나, 연결선 지연 해석을 위해서는 게이트 출력단 파형을 비교적 정확하게 선형적인 파형으로 근사화할 필요가 있다. 본 절에서는 구동 저항의 영향을 고려한 연결선 선형 전압원의 천이 시간을 구하고자 한다. 이 후의 논의를 전개하기 위해 몇 가지를 정의하고자 한다.

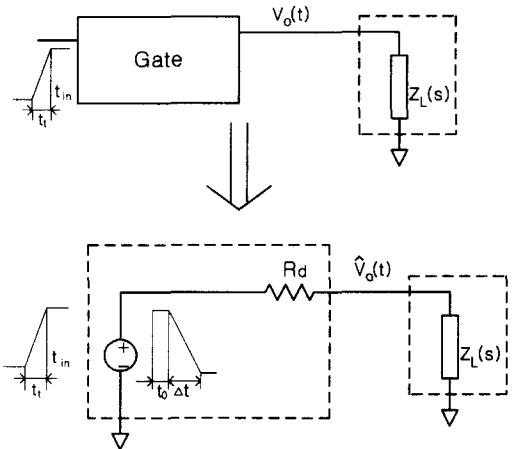


그림 6. 독립 전압원과 선형 저항으로 구성된 게이트 모형

Fig. 6. Gate model composed of independent voltage source and linear resistor.

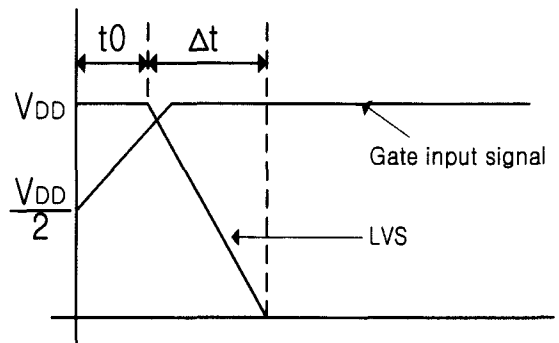


그림 7. 독립 선형 전압원(LVS)의 파형
Fig. 7. Waveform of independent linear voltage source.

그림 6과 같이 게이트를 독립 전압원과 선형화된 저항으로 모형화할 때의 출력($\hat{V}_0(t)$)을 고려해 보자. 독립 전압원은 정확한 천이 시간을 얻기 위해 실제 파형과 공급 전압의 20%, 50%, 90%지점이 일치되는 선형 전압원(Linearized Voltage Source: LVS)을 가정한다. 그림 7의 LVS를 구성하는 t_0 와 Δt 을 얻기 위해 이 값들을 매개 변수로 갖는 $\hat{V}_0(t) = y(t, t_0, \Delta t)$ 라는 해석적인 함수를 식 (10)과 같이 정의하며, 입력값이 $V_{DD} / 2$ 인 지점에서부터 출력 파형이 공급 전압의 20%, 50%, 90%가 되는 지점까지의 시간을 t_{20}' , t_{50}' , t_{90}' 으로 정의한다. 즉,

출력 파형이 하강 천이일 경우:

$$y(t, t_0, \Delta t) = \begin{cases} V_{DD} & t - t_0 \leq 0 \\ V_{DD} - y_0(t, t_0, \Delta t) & 0 \leq t - t_0 < \Delta t \\ V_{DD} - y_0(t, t_0, \Delta t) + y_0(t - \Delta t, t_0, \Delta t) & t - t_0 \geq \Delta t \end{cases} \quad (10)$$

출력 파형이 상승 천이일 경우:

$$y(t, t_0, \Delta t) = \begin{cases} 0 & t - t_0 \leq 0 \\ y_0(t, t_0, \Delta t) & 0 \leq t - t_0 < \Delta t \\ y_0(t, t_0, \Delta t) + y_0(t - \Delta t, t_0, \Delta t) & t - t_0 \geq \Delta t \end{cases} \quad (11)$$

$y_0(t, t_0, \Delta t)$ 는 식 (12)와 같이 정의한다.

$$y_0(t, t_0, \Delta t) = V_{DD} \cdot \left[\frac{t - t_0}{\Delta t} - \frac{R_d C_L}{\Delta t} \cdot \left(1 - e^{-\frac{t - t_0}{R_d C_L}} \right) \right] \quad (12)$$

실제 응답과 LVS의 출력은 20%와 50%의 지점에서 일치한다는 조건을 이용하여 식 (13)의 연립 방정식을 얻는다.

$$\begin{cases} y(t_{50}'(C_{eff}), t_0, \Delta t) = 0.5 \cdot V_{DD} \\ y(t_{20}'(C_{eff}), t_0, \Delta t) = 0.2 \cdot V_{DD} \end{cases} \quad (13)$$

식 (13)의 해를 구하면, 연결선 선형 전압원의 천이 시간을 의미하는 Δt 와 t_0 를 구할 수 있다. 본 논문에서는 수렴 속도는 “Secant Method”에 비해 느리지만 좀더 정확한 값에 수렴할 수 있는 “False Position”^[18] 방법을 사용하였다.

구동 저항의 효과를 고려한 연결선 선형 전압원의

천이 시간을 얻기 위해 식 (12)와 같은 방정식을 사용하였다. 이 식에서는 t_{20}' , t_{50}' , C_{eff} 와 R_d 의 값이 요구되며, 시점의 값들이 좌표 변환이 이루어졌으므로 정리하면 다음과 같다.

$$\begin{cases} t_{20}' = t_{50} - 0.5t_f \\ t_{50}' = t_{50} - 0.5t_f \\ t_{90}' = t_{50}' + 0.4t_f \end{cases} \quad (14)$$

기존의 제안된 방법^[2]과는 달리, 본 논문에서는 파형의 후반부를 근사화하기 위해 외부에서 측정된 값들 별도로 요구하지 않고, 식 (14)의 정의와 같이 유효 커패시턴스를 구하는 과정에서 얻어진 20%, 50%, 90%의 근사화된 값을 이용하였다. 구동 회로의 저항 효과를 반영하기 위한 저항의 값은 식 (15)과 같이 정의하며, 파형 후반부의 늘어지는 부분을 효과적으로 검출하기 위해 50%지점과 90%지점을 이용함으로써 근사화할 수 있다^[2].

$$R_d = \frac{t_{90}'(C_{eff}, t_f) - t_{50}'(C_{eff}, t_f)}{C_{eff} \cdot \ln 5 \cdot a} \quad (15)$$

식 (14) 및 (15)의 값들을 이용하여 식 (13)를 연립하여 풀다면, 파형의 후반부까지를 고려한 게이트의 출력 지연 시간의 근사치를 비교적 정확하게 구할 수 있다. 보다 더 정확한 예측을 위해서는 게이트 특성 데이터에 t_d , t_f (또는 t_r) 외에 t_{90} 의 정보가 포함되어야 한다. 그러나 이는 기존의 셀 또는 게이트 특성화 방법을 바꾸어야 하므로 기존 라이브러리에는 적용이 곤란한 점이 있다. 그러나, 90%지점의 근사값을 이용하여 구동 저항을 구하는 방법은 slew rate가 큰 파형에 대해서는 오차가 큰 결과를 얻게 된다. 따라서, 이러한 문제점을 해결하기 위하여 본 논문에서는 반복적인 시뮬레이션을 통해 얻은 경험 수치, a 를 사용하였다. 이 경험 수치를 사용함으로써 하강 천이에서 파형이 오른쪽으로 늘어지는 효과를 얻을 수 있다. 본 논문에서 사용한 a 는 3.178이며, 계산 절차를 요약하면 다음과 같다.

연결선 선형 전압원의 천이 시간을 구하기 위한 절차 알고리즘:

- ① 식 (14)으로 주어지는 근사화된 입력 데이터를 계산
- ② 식 (15)를 이용하여 구동 저항 값 계산
- ③ 연립 방정식 (13)를 풀어 t_0 및 Δt 계산

이상의 과정을 통해 얻은 선형 전압원의 천이 시간은 연결선의 지연 시간 계산을 위한 입력 천이 시간으로 사용된다. 연결선 지연 해석은 AWE 알고리즘을 적용하여 원하는 정확도까지 해석할 수 있다.

IV. 실험 결과 및 분석

본 절에서는 본논문의 제안 알고리즘을 구현한 CDE의 해석 결과와 SPICE 결과를 비교함으로써 제안 알고리즘의 효율성 및 정확도를 검증하고자 한다. 실험에 사용한 게이트는 MOSIS 0.8μ 공정의 인버터를 이용하였으며, pMOS는 5배, nMOS는 2.5배의 크기로 하여 구성하였고, SPICE 시뮬레이터로는 HSPICE를 사용하였다. 이 게이트에 20 노드를 가진 연결선을 부하로 연결하였다. 연결선에 따라 유효 커패시턴스의 값이 변화함을 감안하여 총 커패시턴스가 서로 다른 두 가지의 연결선을 사용하였다. 실험은 게이트의 지연과 게이트에서의 출력 천이 시간을 관찰하였으며, 수행 시간과 생성된 결과의 정확도를 비교하였다. 그림 8에 실험에 사용한 회로를 도시하였다.

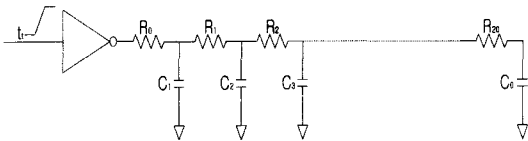


그림 8. 인버터와 연결선으로 구성된 실험 회로
Fig. 8. Experimental circuit composed of an inverter and interconnect.

표 2. $C_T = 1.175 \times 10^{-14} F$ 인 경우의 지연 시간

Table 2. Delay times in case of $C_T = 1.175 \times 10^{-14} F$.

Input Time	LTH	HTL	Gate-Delay
1.00×10^{-09}	3.8338×10^{-10}	3.2604×10^{-10}	3.0021×10^{-10}
1.25×10^{-09}	4.3016×10^{-10}	3.7828×10^{-10}	3.3905×10^{-10}
2.50×10^{-09}	6.4853×10^{-10}	6.1935×10^{-10}	5.0744×10^{-10}
3.75×10^{-09}	8.5035×10^{-10}	8.4108×10^{-10}	6.5402×10^{-10}
5.00×10^{-09}	1.0425×10^{-09}	1.0519×10^{-09}	7.8952×10^{-10}

실험 결과는 출력 천이가 상승(LTH)일 때와 하강(HTL)일 때의 두 경우로 구분하여 구하였으며, 아래의 각 표에는 CDE결과와 SPICE결과를 나타내고

SPICE를 기준으로 하였을 때 CDE 결과와의 오차를 백분율로 표시하였다. 표 2와 표 3은 실험에 사용된 회로의 전체 커패시턴스가 $1.175 \times 10^{-14} F$ 인 경우와 $4.5 \times 10^{-14} F$ 인 경우의 SPICE에서의 결과를 보이고 있다.

표 3. $C_T = 4.5 \times 10^{-14} F$ 인 경우의 지연 시간
Table 3. Delay times in case of $C_T = 4.5 \times 10^{-14} F$.

Input Time	LTH	HTL	Gate-Delay
1.00×10^{-09}	6.7744×10^{-10}	5.0568×10^{-10}	4.8193×10^{-10}
1.25×10^{-09}	7.2460×10^{-10}	5.7284×10^{-10}	5.3735×10^{-10}
2.50×10^{-09}	8.6684×10^{-10}	8.6684×10^{-10}	7.6942×10^{-10}
3.75×10^{-09}	1.2148×10^{-09}	1.1305×10^{-09}	9.6451×10^{-10}
5.00×10^{-09}	1.4380×10^{-09}	1.3799×10^{-09}	1.1403×10^{-09}

표 4. $C_T = 1.175 \times 10^{-14} F$ 인 경우의 오차 비교 [HSPICE 기준]

Table 4. Error comparison in case of $C_T = 1.175 \times 10^{-14} F$. (compared to HSPICE)

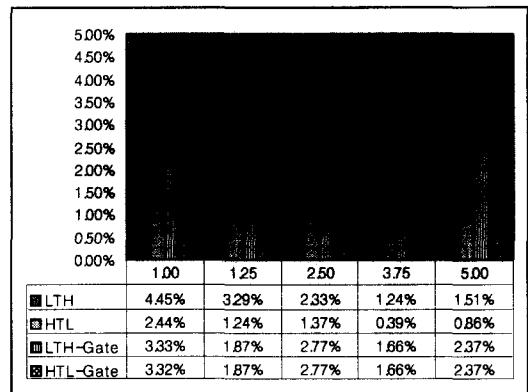


표 4와 표 5는 SPICE의 결과를 기준으로 하여 CDE를 통해 얻은 결과의 오차를 나타내고 있으며, 표 6은 결과를 얻기 위해 걸리는 수행 속도 향상을 SPICE를 기준으로 하여 나타내었다. 비교된 결과를 통해 볼 때, 제안된 알고리즘에 의한 예측 결과는 대부분 오차 5%이내의 정확도를 유지하며, SPICE에 비해 빠른 수행 속도를 가짐을 알 수 있다. 기존의 제안된 방법^[2]은 오차의 범위를 ±10%로 언급하고 있으며, 본 논문의 제안된 알고리즘은 10%의 오차 범위

내에서 평균적으로 ±5%를 만족하고 있다.

본 실험에서 사용한 예는 작은 연결선을 사용하였기 때문에 큰 수행 시간의 이득을 보이고 있지는 않지만, 게이트에 연결된 연결선의 길이가 길어질수록 SPICE에 비해 더욱 향상된 수행 속도를 얻을 수 있다.

표 5. $C_T = 4.5 \times 10^{-14}$ 인 경우의 오차 비교 [HSPICE 기준]

Table 5. Error comparison in case of $C_T = 4.5 \times 10^{-14} F$. (compared to HSPICE)

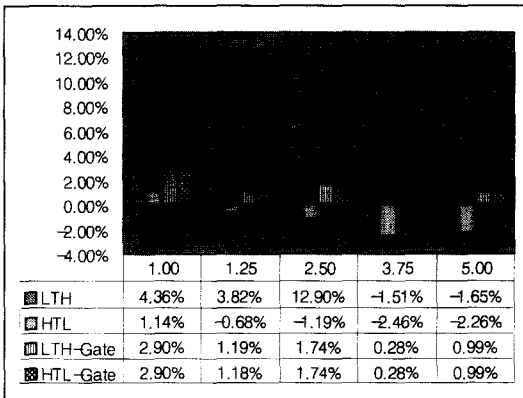
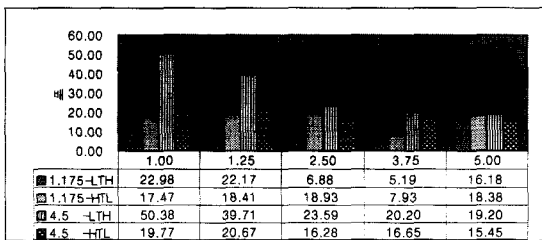


표 6. CDE의 성능 향상 비 [HSPICE 기준]
Table 6. Speed-up ratio of CDE. [compared to HSPICE].



V. 결 론

본 논문에서는 설계된 회로의 지연 시간을 예측하기 위한 방법으로서 게이트의 지연과 연결선의 지연을 동시에 고려할 수 있는 알고리즘을 제시하였으며, 이를 구현하여 얻은 결과를 SPICE와 비교함으로써 제안된 방법의 효율성과 정확성을 검증하였다. 제안된 알고리즘은 먼저 연결선 회로의 전달 함수를 AWE 알고리즘을 통하여 2차로 근사화하며, 이를 다시 유효 커패시턴스로 축소하여 기존의 게이트 또는 셀 특성 데이

터를 이용하여 게이트 지연 값을 찾는다. 또한 유효 커패시턴스와 근사화된 구동자에서의 저항을 이용하여 연결선 해석을 위한 선형 전압원의 천이 시간을 예측할 수 있으며, 이는 연결선 지연 계산을 위한 입력 천이 시간으로 사용될 수 있다. 효율적이고 정확한 연결선 지연을 예측하기 위해서는 게이트의 선형화된 모형이 필요하기 때문이다. 연결선 선형 전압원의 천이 시간을 입력으로 하여 연결선 회로에 대해 다시 AWE 알고리즘을 수행한다면, 연결선에서의 지연 시간을 얻을 수 있다. 이러한 과정을 수행함으로써 게이트와 연결선에서의 지연을 한 번의 연속된 계산으로 얻을 수 있다.

본 논문에서는 연결선 해석을 위한 선형 전압원의 천이 시간을 얻기 위해서 별도의 특성 데이터를 요구하는 기존의 방법^[2]과는 달리 게이트의 지연 시간을 구하는 과정에서 생성된 데이터와 경험치를 이용하여 별도의 특성화 과정 없이 선형 전압원의 천이 시간을 구할 수 있음을 보였다.

참 고 문 헌

[1] J. Quian, S. Pulllela and L. T. Pillage, "Modeling the 'Effective Capacitance' for the RC Interconnect of CMOS Gates," IEEE Trans. Computer-Aided Design, vol.13, Dec. 1994, pp.1526-1535.

[2] F. Dartu, N. Menezes and L. T. Pileggi, "Performance Computation for Precharacterized CMOS Gates with RC Loads," IEEE Trans. Computer-Aided Design, vol.15, May 1996, pp.544-553.

[3] 조경순, 변영기, "배선 회로 해석을 위한 CMOS게이트의 구동 특성 모델," 대한 전자 공학회 추계 학술대회 논문집, 11월, 1997년, pp.998-1001

[4] L. T. Pillage and R. A. Rohrer, "Asymptotic waveform evaluation for timing analysis," IEEE Trans. Computer-Aided Design, vol.9, no. 4, April 1990, pp. 352-366.

[5] D. Anastasakis, N. Gopal, S. Y. Kim and L. T. Pillage, "On the Stability of Approximations in Asymptotic Waveform Evaluation," Proceedings of the 29th

- ACM/IEEE Design Automation Conference, 1992.
- [6] V. Raghavan, A. Rohrer, "A New Nonlinear Driver Model for Interconnect Analysis," Proceedings of the 28th ACM/IEEE Design Automation Conference, 1991.
- [7] W. C. Elmore, "The Transient Response of Damped Linear Networks with Particular Regard to Wide-band Amplifiers," J. Applied Physics, vol. 19, no.1, Jan. 1948, pp.55-63.
- [8] N. H. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, New York: Addison Wesley, 2nd ed., 1993, pp.221-223.
- [9] N. Gopal, *Fast Evaluation of VLSI Interconnect Structures Using Moment-Matching Methods*, PhD thesis, Texas Univ., Dec. 1992.
- [10] P. R. O'Brien and Thomas L. Savarino, "Modeling the Driving Point Characteristic of Resistive Interconnect for Accurate Delay Estimation," Proc. IEEE Int. Conf. on Computer-Aided Design, 1989, pp.512-515.
- [11] C. L. Ratzlaff, S. Pullela and L. T. Pillage, "Modeling The RC-Interconnect Effects in A Hierarchical Timing Analyzer," Proc. IEEE Custom Integrated Circuits Conf., 1992, pp.15.6.1-15.6.4.
- [12] E. Chiprout and M. S. Nakhla, *Asymptotic Waveform Evaluation and Moment Matching for Interconnect Analysis*, Boston: Kluwer Academic Publishers, 1994.
- [13] L. T. Pillage and R. A. Rohrer, *Electronic Circuit and System Simulation Methods*, New York: McGraw-Hill, 1994
- [14] B. Tutuianu, F. Dartu and L. T. Pileggi, "An Explicit RC-Circuit Delay Approximation Based on the First Three Moments of the Impulse Response," Proc. of the 33rd ACM/IEEE Design Automation Conference, 1996.
- [15] J. Rubinstein, P. Penfield Jr., and M. Horowitz, "Signal delay in RC tree networks," IEEE Trans. Computer-Aided Design, vol. CAD-2, no. 3, July 1983, pp. 202-211.
- [16] P. Penfield and J. Rubenstein, "Signal delay in RC tree networks," Proc. 19th Design Automation Conf., 1981, pp. 613-617.
- [17] L. W. Nagel. *SPICE2: A Computer Program to Simulate Semiconductor Circuits*, Technical Report ERL-M520, UC-Berkeley, May 1975.
- [18] R. L. Burden and J. D. Faires, *Numerical Analysis*, Boston: PWS Publishing Company, 5th edition, 1993.

 저 자 소 개



金 富 成(正會員)

1997년 2월 숭실대학교 컴퓨터학부
 학사. 1999년 2월 숭실대학교 전자
 계산학과 석사. 주관심분야는 설계
 자동화, VLSI 회로해석 및 설계

金 錫 潤(正會員) 第 36卷 C編 第 5號 參照