

論文99-36C-7-2

전력소모 감소를 위한 저 전압 BUS 구동과 인터페이스 분석

(Low Voltage Swing BUS Driver and Interface Analysis for Low Power Consumption)

李鎬錫*, 金利燮*

(Ho-Seok Lee and Lee-Sup Kim)

요 약

본 논문은 FCSR(Feedback Control Swing voltage Reduction) 방식을 이용하여 bus 구동전압을 수백 mV 이내로 줄일 수 있는 구동기에 대한 내용을 다루고있다. 이는 MDL 구조와 같이 대용량, 대단위 bus에서의 전력소모를 줄이기 위한 연구로 FCSR은 dual-line bus와 bus precharging을 기본구조로 채택하고있다. Bus 환경이 변화함에 따라 일정한 구동전압을 유지하기 위하여 구동기의 크기를 자동적으로 조절할 수 있도록 구동기와 bus를 모델링 하였고 또한 odd mode로 동작하는 이웃하는 선간의 커플링 영향을 평행 전류원으로 모델링하여 선간간섭(crosstalk) 영향을 분석하였다. 현대 0.8um 공정으로 제작된 chip은 bus를 600mV로 구동하도록 설계되었으며 테스트결과 3.3V에서 70Mhz로 동작 가능하다. Hspice 시뮬레이션으로 FCSR은 3.3V에서 250Mhz의 동작이 가능하다.

Abstract

This paper describes a low voltage swing bus driver using FCSR(Feedback Control Swing voltage Reduction) which can control bus swing voltage within a few hundred of mV. It is proposed to reduce power consumption in On-chip interface, especially for MDL(Merged DRAM Logic) architecture which has wide and large capacitance bus. FCSR operates on differential signal dual-line bus and on precharged bus with block controlling function. We modeled driver and bus to scale driver size automatically when bus environment is variant. We also modeled coupling capacitance noise(crosstalk) of neighborhood lines which operate on odd mode with parallel current source to analysis crosstalk effect in the victim-line according as voltage transition in the aggressor-line and environment in the victim-line. We built a test chip which was designed to swing 600mV in bus, shows 70Mhz operation at 3.3V, using Hyundai 0.8um CMOS technology. FCSR operates with 250Mhz at 3.3V by Hspice simulation.

I. 서 론

집적회로에서 전력손실이 발생하는 부분을 크게 나누어보면 로직회로, 클럭, 내장 메모리, 와이어링

(wiring), 그리고 off-chip 구동기에 의한 전력손실로 크게 나눌 수 있다. 로직 회로의 성능이 향상됨에 따라 높은 데이터 밴드위드스(data bandwidth)가 필요해지게 되었고 데이터 bus의 제한된 동작 주파수 때문에 일반적으로 bus의 수를 증가 시켜 밴드위드스를 향상시켰다. 전체 chip 전력소모 중 와이어링 부분에서 소모되는 전력손실은 Alpha 21064 micro-processor는 15%, Intel 80386은 28%로 각각 조사되었다. 공정(Technology)이 정밀해짐에 따라 와이어

* 正會員, 韓國科學技術院 電氣 및 電子工學科
(Dept. of Electrical Engineering, Korea Advanced Institute of Science and Technology)
接受日字:1998年2月23日, 수정완료일:1999年6月24日

링에서 소모되는 전력손실 비는 점점 증가하고 있으며 off-chip 구동기의 전력소모를 고려하지 않을 경우 46%에 이르게 된다.^[1] 특히 대규모 저장장치를 필요로 하는 멀티미디어 프로세스 분야에서는 DRAM을 MPU내에 내장하여 데이터 입출력 시 DRAM chip의 pins에서 발생하는 전력손실 및 소비시간을 크게 향상시킬 수 있는 MDL(Merged DRAM Logic)구조에 대한 연구가 핫 이슈로 등장하고있다.^[2,3]

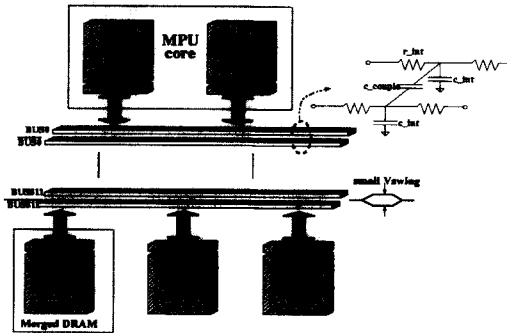


그림 1.1. MDL 프로세스 블록도
Fig. 1.1. MDL processor block diagram.

그림 1.1과 같은 MDL 구조에서는 밴드위드스를 증가 시키기 위해 대단위 데이터 bus를 사용하며 이로 인하여 와이어링에 의한 전력소모는 매우 증가한다. 또한 대단위 bus가 동기 되어 동작할 때 순간적인 피크(peak) 전류에 의한 전원 흔들림이 발생하며 로직 매크로(macros)와 DRAM 매크로가 동일한 chip에 위치하는 MDL 구조에서 이러한 스위칭 노이즈는 DRAM의 정상적인 동작에 영향을 주게 된다. 이와 같이 저 전압 bus 구동 인터페이스는 대용량 bus 구조에서 전력감소 및 피크 전류에 의한 영향을 최소화 할 수 있는 최적화된 인터페이스 설계의 필수 요소가 되었다.

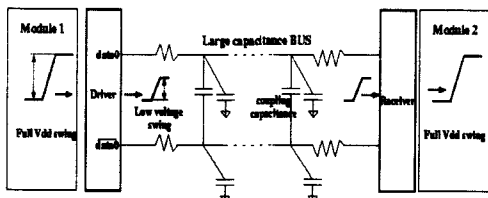


그림 1.2. 저 전압 구동bus 개념도
Fig. 1.2. Low voltage driving bus model diagram.

본 논문은 그림1.2와 같이 On-chip bus구동전압을 줄여 전원에서 bus로 전달되는 전하량을 감소 시켜

전력소모 감소 및 전원전압을 안정화 할 수 있는 저 전압 bus 구동을 다루고있으며 MDL 구조 및 대단위 bus에 적용될 수 있는 전력소모 감소를 위한 저 전압 bus 구동기제안과 인터페이스 분석을 주 내용으로 하고있다.

II. FCSR 인터페이스 설계

기존 On-chip 저 전압 bus 구동기는 별도의 전원을 필요로 하여 부가적인 회로 및 전력손실의 단점이 있고 Off-chip용 저 전압 구동기는 큰 면적, 고 전력손실의 단점이 있어 환경이 다른 On-chip bus를 구동하기에 적합하지 않다. 이러한 문제를 해결하기 위해 고안된 FCSR방식은 On-chip 글로벌 bus에 적용 가능한 구조로 CTT(Center-tap terminated) interface^[4]의 되먹임 구동제어를 이용한 구동전압 조절방식과 LVDS(Low-voltage differential signaling)^[4]의 dual-line 구조를 기본 개념으로 도입하였고 bus동작은 precharging 방식을 이용하였다. 기존 CTT방식은 되먹임 신호를 발생시키는 차동 증폭기가 포화(saturation) 영역에서 동작하기 때문에 전원과 접지사이에 short-path에 의한 전력손실이 크며 200mV까지 저 전압 구동이 가능한 LVDS구조는 precharging을 하지않아 고속동작이 가능하나 구성회로가 크고 두 전원전압의 차에 의한 저 전압 구동을 하므로 전원을 생성하기위한 별도의 전력소모가 필요하다. 기존 회로에 비해 제안된 FCSR 인터페이스는 되먹임 회로에 short-path가 없으며 저 전압구동을 위한 별도의 전원을 필요로 하지않는다.

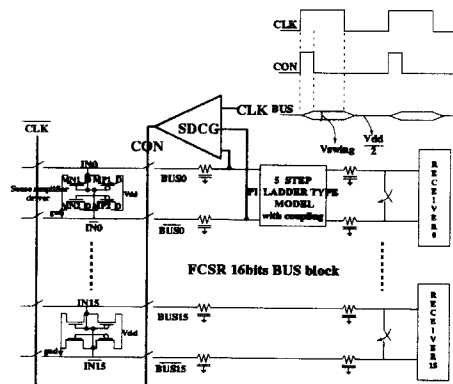


그림 2.1. FCSR 인터페이스 구조도
Fig. 2.1. FCSR interface block diagram with SDCG.

FCSR 인터페이스는 그림 2.1과 같이 3 부분으로 나눌 수 있다

- Sense amplifier driver : DRAM 매크로 셀 내에 저장된 정보를 감지하여 다음 단으로 정보를 전달할 때 사용되고있는 주변 회로
- Transmission gate : Sense amplifier와 bus 사이에서 수문 역할을 한다.
- Swing Detector and swing Control signal Generator(SDCG) : dual-line bus의 전압차이를 감지하여 전압차가 일정전압이상이 될 때 bus 구동조절 신호인 CON, \overline{CON} 를 발생시켜 bus로의 구동전하를 제어하기 위해 설계된 회로

FCSR은 전력소모를 감소시키기 위해 여러 bus 와 하나의 SDCG로 구성되어 있다. CLK에 따른 전체 동작형태를 보면 CLK가 low일 때 sense amplifier 구동기는 앞 단 구동기의 신호를 감지하고 bus측과는 열린 상태이며 이때 bus는 Vdd/2로 precharging 또는 charge sharing을 하여 dual-line bus는 동일 전압 값을 가지게 된다. CLK가 low에서 high로 되면서 CLK에 동기 된 CON신호에 의해 구동기는 bus를 구동하고 dual-bus의 전압차가 증가하면서 SDCG에서 BUS0, $\overline{BUS0}$ 의 표본 신호차를 감지하여 bus 블록의 구동 전압을 제한할 수 있도록 CON 신호를 low로 재발생 시킨다. 이러한 방식으로 CON 신호는 bus 블록(예제. BUS0 ~ BUS15)의 구동전압을 제한할 수 있다.

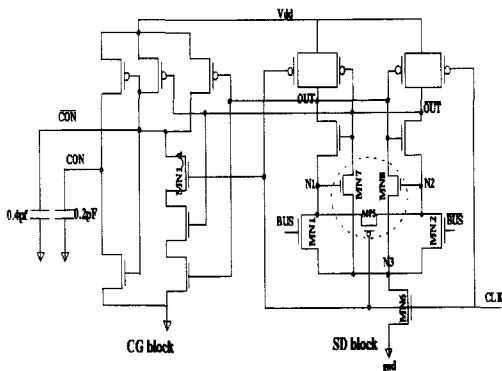


그림 2.2. SDCG 회로도
Fig. 2.2. SDCG circuit diagram.

FCSR방식을 가능하게 하기 위해서 그림 2.2의 SDCG는 빠른 출력을 발생 시켜야 하고 전력소모도 적어야 한다. SDCG는 bus의 전압차를 감지하는 SD 와 CLK, OUT, \overline{OUT} 신호를 참조하여 CON, \overline{CON}

신호를 발생시키는 CG 블록으로 구성되어 있다. 고안된 SD는 dual race sense amplifier^[5]와 PMOS cross-coupled amplifier^[6]를 혼합한 성능을 보이며 부가 연결된 MN7, MN8로 인하여 bus측에 전달되는 노이즈에 대한 내성이 증가 되었다. N1, N2 지점의 전압은 MN1, MN2 트랜지스트의 게이트 전압에 의해 각각 결정되며 MN1, MN2 게이트에 인가되는 노이즈는 N1, N2 측의 전압 위상을 변화 시키고 이는 기존 receiver의 경우 오 동작을 유발시키게 된다. MN7, MN8 게이트 커패시턴스(capacitance)는 N1, N2 측의 커패시턴스를 증가 시켜 순간 노이즈에 의한 전압 흔들림이 줄어들어 입력신호가 큰 지점 신호의 누적에 의한 전압강하가 크게 되어 출력신호의 노이즈 내성은 증가하게 된다. 그리고 MN7, MN8의 드레인이 \overline{OUT} , OUT에 각각 연결되어 그림 2.3과 같이 출력측 커패시턴스가 0.5pF 이상일 때 SD의 출력 발생은 기존 회로에 비하여 5% 빠르다.

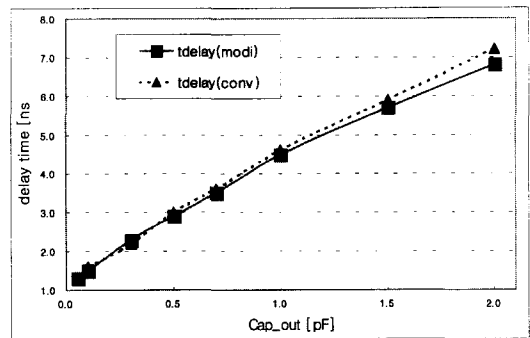


그림 2.3. SD와 기존 receiver의 성능 비교
Fig. 2.3. Transition delay comparison of SD block with conventional receiver.

CG 블록의 CON 신호는 아래 (1) 수식과 같으며 bus 구동 전압차에 따른 SD의 출력지연을 이용한 것으로 CLK가 high이고 bus 구동 전압차가 설계된 전압 이하일 때만 CON 신호가 high이다.

$$CON = CLK \cdot OUT \cdot \overline{OUT} \quad (1)$$

회로설계 시 CLK가 게이트로 입력되는 PMOS를 제거하여 CLK가 NMOS으로만 입력되게 하였고 제일 마지막 도착 신호인 CLK가 입력되는 NMOS를 출력측에 가까이 위치시켜 최소의 body effect만을 받으면서 스위칭 하게 되어 출력 발생을 빠르게 향상 시켰다.^[7]

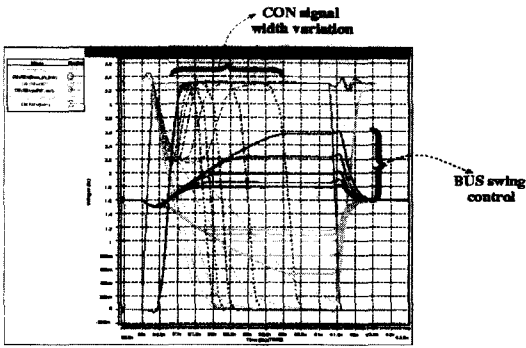


그림 2.4. MN1, MN2 크기조절을 통한 bus구동 전압 조절

Fig. 2.4. Bus driving voltage controlled simulation with MN1, MN2 transistor size scaling.

10%이하의(FCSR이 600mV 구동 시) 전력을 소모한다.

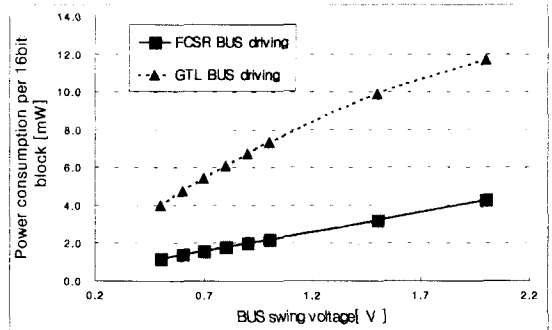


그림 2.6. FCSR과 GTL의 전력소모 비교(16bits)
Fig. 2.6. Power consumption comparison of FCSR with GTL(16bits).

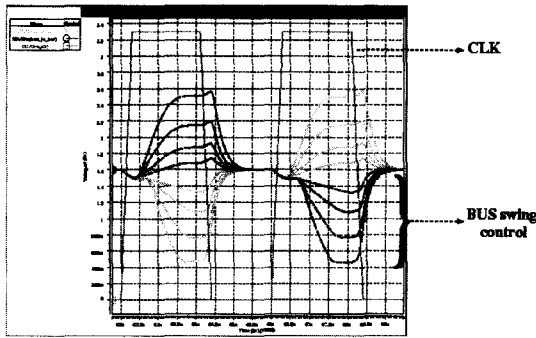


그림 2.5. 구동기 크기조절을 통한 bus 구동 전압조절
Fig. 2.5. Bus driving voltage controlled simulation with bus driver size scaling.

III. 구동기와 BUS 모델링

본 연구에서는 bus 구동 전압을 조절하기 위해 두번째 소개한 bus 구동 시간을 고정하고 구동기의 크기를 변화시켜 slew-rate를 조절하는 방법을 이용하였다. Bus에 구동 되는 전압의 slew-rate는 구동기의 크기 및 전원전압에 의한 함수일 뿐만 아니라 bus의 환경변수(길이, 너비, 선간 거리, 부하)등에 의해 영향을 받게 되어 bus구동전압을 조절하기 위해서는 구동기와 bus를 등가 저항과 커패시턴스로 모델링하여 함수로 정의하는 것이 효과적이다.

FCSR 방식에서 bus 구동 전압은 두 방법으로 조절 가능하다. 첫번째 방법은 그림 2.4과 같이 bus 구동 slew-rate는 일정하게 유지하고 SDCG의 MN1, MN2의 크기를 조절하여 CON 신호의 너비를 가변시켜 bus 구동 전압을 조절하는 것이고 둘째 방법은 그림 2.5와 같이 bus 구동 시간은 일정하게 유지하고 구동기의 크기를 스케일링하여 bus 구동전압의 slew-rate를 가변시켜 bus 구동전압을 조절하는 것으로 SD의 MN1, MN2 크기와 bus 구동기의 크기 스케일링을 함께 이용하면 bus 구동 전압을 효과적으로 제어할 수 있다.

그림 2.6는 FCSR방식을 16bits 단위로 CLK에 동기시켜 동작시킬 때 전력소모를 고성능 off-chip 저전압 구동 인터페이스로 사용되고있는 GTL(Gunning transceiver logic)^[8]과 비교한 그림으로 FCSR은 GTL에 비하여 25%, 3.3V full swing에 비하여

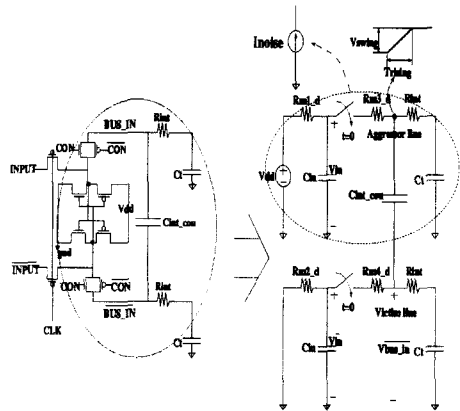


그림 3.1. Sense amplifier 구동기와 dual-line bus간의 커플링 영향을 평행 전류원으로 등가화한 모델

Fig. 3.1. Sense amplifier driver and dual-line bus model with coupling effect which is modeled to parallel current source.

FCSR의 구동기는 bus가 Vdd/2로 precharge 된 후 CLK가 high일 때 triode 구간에서 동작하므로 그림 3.1 과 같이 구동기는 3~6% 오차 내에서 수식 (2)의 등가 저항으로 모델링 될 수 있다.^[9]

$$R_{\text{triode}} = 1/(\text{Maximum_Drain_Conductance}) \quad (2)$$

고성능 프로세스의 경우 와이어링 밀도의 증가와 빠른 스위칭으로 인하여 이웃하는 선간의 전자장 커플링에 의한 선간간섭 영향이 커지고 있다. 0.8um 이하의 공정에서 커플링을 고려하지 않은 모델로부터 구한 구동기의 크기는 실제 설계해야 할 구동기 크기 보다 15% 낮게 추정된(underestimated) 오차를 가진다. 이러한 활동성 aggressor-line으로부터 victim-line 으로의 선간간섭 영향을 고려하기위해 Sakurai 방정식^[10] 이용하여 선간에 커플링 커패시턴스를 모델링 하였다. Bus를 정밀하게 모델링 하기 위해서 N-step-II-ladder type으로 모델링할 수 있으나 모델을 간략화 하기위해 허용오차 내에서 배선의 근사화가 가능한 간단한 lumped L1 type RC 모델을 이용하였으며 $(R_{\text{driver}}/R_{\text{wire}}) > 50$ 인 경우에 한하여 3% 오차 범위 내로 배선을 모델링할 수 있다. 특정 slew-rate를 가지는 구동기의 크기를 추출할 때 이러한 모델을 바탕으로 유도한 수식으로 계산된 구동기의 크기는 Bus를 5-step-II-ladder type으로 모델링한 회로 Hspice 시뮬레이션으로부터 얻은 결과와 비교해 5%내의 오차를 가진다.

IV. 선간 커플링 효과 분석

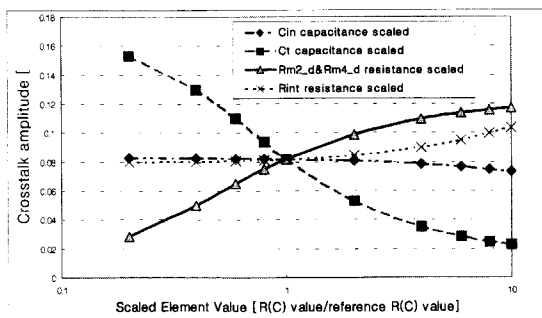


그림 4.1. Victim-line의 환경변화에 따른 선간간섭 영향

Fig. 4.1. Maximum crosstalk variation when the victim-line environment varies.

Dual-line bus의 경우 선간의 커플링 효과가

odd-mode로 나타나므로 이 영향은 데이터 전달 지연을 가져온다. 인터페이스 설계에 따른 이러한 선간간섭을 정량화 하기 위하여 dual-line의 한편을 aggressor-line으로 다른 편을 victim-line으로 가정하고 그림 3.1의 모델을 이용하여 victim-line의 환경 변화와 aggressor-line에서의 전압 변화율에 따른 victim-line에서의 커플링 효과를 분석하였다.

그림 4.1은 Victim-line측의 환경을 모델링한 저항과 커패시턴스를 기본값에서 0.2~10배 변화 시켜 가면서 선간간섭이 victim-line에 미치는 영향이 어떻게 변하는지 경향을 조사한 것이다. 그림4.1에서 볼 때 victim-line측의 커패시턴스가 증가할수록 그리고 저항이 감소할수록 커플링에 의한 선간간섭이 줄어들음을 확인할 수 있다. 구동기의 임피던스(Rm2_d, Rm4_d)가 16배(0.6~10) 변화함에 따라 최고 커플링 선간간섭은 이전 측정 결과^[11]와 같이 6dB가 변함을 확인할 수 있다. 그러나 구동기의 임피던스가 기본값이하에서 변화할 때는 12dB로 그 변화 폭이 크다. 이것이 의미하는 것은 커플링 선간간섭에 의한 영향은 구동기의 임피던스 변화에 1차 선형으로 비례하지 않고 victim-line측의 bus 환경 시정수에 관계되어 변화가 포화 됨을 의미한다.

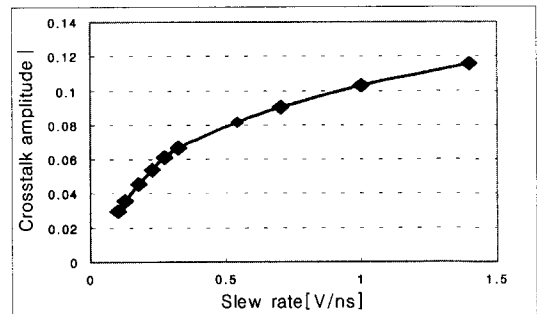


그림 4.2. Vswing의 크기가 700mV일때 Vswing의 slew-rate 변화에 따른 선간간섭 변화

Fig. 4.2. Maximum crosstalk variation when slew-rate of transition voltage, whose amplitude Vswing is 700mV, on aggressor line varies.

그림 4.2는 aggressor-line의 Vswing 크기를 700mV로 고정하고 slew-rate를 100mV/ns~1.4V/ns로 변화 시켜 가면서 선간간섭의 크기를 구한 것이다. 이 결과를 볼 때 기본 환경에서 Vswing을 700mV로 하고자 할 때 선간간섭의 영향을 10% 이하로 줄이고자 한다면 Vswing의 slew-rate를

500mV/ns 이하로 하여야 한다. 이러한 방법으로 저 전압 구동 회로 설계시 구동전압의 크기를 결정한 후 선간간섭의 영향에 안정적인 동작 주파수를 가늠할 수 있다.

V. Chip Test

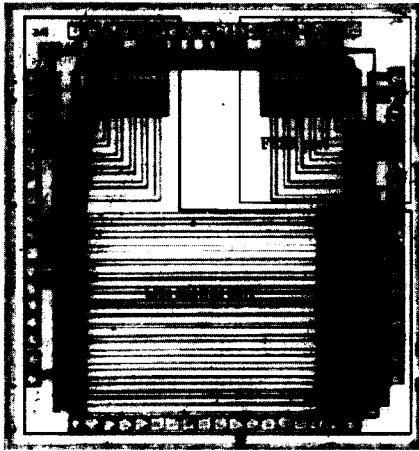


그림 5.1. FCSR & line analysis chip
Fig. 5.1. FCSR & line analysis chip.

그림5.1은 FCSR 및 line의 패턴 변화에 따른 신호 변화를 분석하기 위해 제작된 chip의 레이아웃(layout)이다.

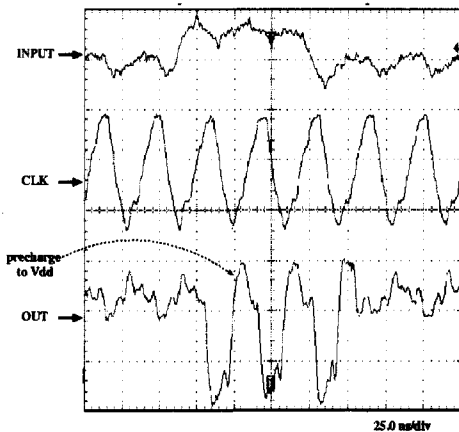


그림 5.2. FCSR 출력 파형
Fig. 5.2. Chip test waveform of FCSR.

그림5.2는 전원을 3V로 인가하고 40Mhz로 동작 할 때FCSR의 출력 파형으로 SD를 사용한 receiver는 CLK가 low일 때는 Vdd로 precharge되고 CLK

가 high일 때 입력의 반전된 결과를 출력하는 것을 확인할 수 있다. Bus는 Vdd/2를 기준으로 편향 300mV로 구동 되도록 설계되었으며 Vdd/2 독립전원 으로부터 PMOS를 통하여 bus를 precharge하도록 하였다.

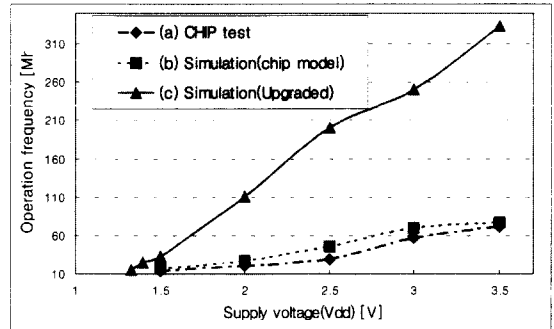


그림 5.3. FCSR 성능측정
Fig. 5.3. FCSR performance measurement.

그림5.3은 FCSR의 공급전압을 1.3V~3.5V까지 변화 시켜 가면서 실제 chip 테스트 결과와 Hspice 시뮬레이션 결과를 비교 정리한 것이다. 그림5.3의 (a) 곡선은 chip 테스트 결과75Mhz가 최고동작 성능으로 나타났으며 2.5V이하에서 성능 저하가 급격해지는 결과를 얻었다. 이러한 원인을 분석하기위해 chip의 실제 환경으로 FCSR을 모델링한 후 시뮬레이션을 수행 하여 (b) 와 같은 결과를 얻었다. 이러한 모델링으로부터 분석된 chip 성능 저하의 원인은 공급전압이 3V 이상일 때는 chip 외부에서 입력되는 클럭의 transition delay가 너무 길어(6ns 이상) FCSR의 성능이 저하되었고 2.5V이하에서 성능 저하는 PMOS를 사용한 bus의 Vdd/2 precharging 지연에 의한 문제가 결정적인 것으로 확인되었으며 이는 charge sharing방식 또는 NMOS를 통한 precharging으로 보완할 수 있다. 그림5.3의 (c)는 receiver및 SDCG의 크기 스케일링과 NMOS를 이용한 bus precharging 방식을 사용하여 인터페이스를 최적화 시켜 (b)에 비하여 향상된 성능을 얻은 것으로 시뮬레이션 결과 0.8um 공정, 3.3V에서 250Mhz이상 동작이 가능하다.

VI. 결론

본 논문에서 제안된 bus에서 소모되는 전력을 줄이기 위한 FCSR방식은 16bits bus 블록, 600mV bus

동작 시 GTL방식에 비하여 25%정도의 전력을 소모하며 3.3V full swing에 비하여 10%의 전력을 소모함을 확인하였다.

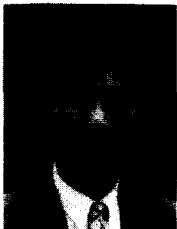
FCSR 방식은 시뮬레이션으로 0.8um 공정, 3.3V 전원시 250Mhz이상으로 동작가능하며 bus 구동을 600mV이하로 줄일 수 있었다. 또한 FCSR에 적합한 SDCG를 설계하였으며 SD는 0.5pF 이상 부하가 연결될 경우 기존회로에 비하여 5%의 성능향상을 얻었고 CG는 회로설계를 최적화 하여 빠른 되먹임 신호 발생을 얻을 수 있었다.

적용된 dual-bus구조는 와이어링에서 차지하는 면적이 single-bus에 비하여 2배에 달하지만 저항성이 큰 On-chip 환경에서 저 전압bus 구동 시 dual-bus 간의 전압 차로 신호를 감지할 수 있게 되어 CMRR (Common-mode rejection ratio)이 증가하였다. 이러한 특성으로 bus에 전달되는 노이즈에 강인한 인터페이스가 가능하며 MDL과 같은 대용량 대단위 bus에서 저 전력소모 구현 시 적합하다.

참 고 문 헌

- [1] D. Liu and C.Svensson, "Power Consumption Estimation in CMOS VLSI Chips", IEEE JSSC, VOL.29, NO.6, pp.663- 670, JUNE 1994.
- [2] D. Patterson et al., "Intelligent RAM (IRAM): Chips that Remember and Compute", ISSCC, pp.224-225, 1997.
- [3] W. K.Luk et al., Development of a High Bandwidth Merged Logic / DRAM Multimedia Chip, IEEE ICCD, pp.279-285, 1997.
- [4] R. C. Foss and B.prince, "Fast Interfaces for DRAMs", IEEE SPECTRUM, pp.54-57, October 1992.
- [5] K. S. Donnelly et al., "A 660 MB/s Interface Megacell Portable Circuit in 0.3 um-0.7 um CMOS ASIC", IEEE JSSC, VOL.31, NO.12, pp.1995-2001, December 1996.
- [6] K. Sasaki et al., "A 9-ns 1-Mbit CMOS SRAM.", IEEE JSSC, VOL.24, NO.5, pp.1219-1224, October 1989.
- [7] S. Jye et al., "A Pipelined Multiplier-Accumulator Using a High-Speed, Low-Power Static and Dynamic Full Adder Design", IEEE JSSC, VOL.32, NO.1, pp.114-118, January 1997.
- [8] B. Gunning et al., A CMOS Low-Voltage - Swing Transmission - Line Transceiver, ISSCC, pp.58-59, 1992.
- [9] T. Sakurai, Approximation of Wiring Delay in MOSFET LSI, IEEE JSSC, VOL.SC-18, NO.4, pp418-426, August 1983.
- [10] T. Sakurai and K.Tamaru, Simple Formulas for Two- and Three-Dimensional Capacitances, IEEE Trans on Electron Devices, VOLED-30, NO.2, pp.183-185, February 1983.
- [11] K. Soumyanath et al., Accurate On-Chip Interconnect Evaluation: A Time Domain Technique, SOVC, pp.116-117, 1998.

저 자 소 개



李鎬錫(正會員)

1996년 경북대학교 전자공학과 학사. 1999년 한국과학기술원 전자공학과 석사. 1999년 ~ 현재 한국전자통신연구원 회로소자기술연구소 연구원. 주관심분야는 고속 데이터 인터페이스, IMT2000, 저전력 설계



金利燮(正會員)

1982년 서울대학교 전자공학과 학사. 1986년 Stanford University 전자공학과 석사. 1990년 Stanford University 전자공학과 박사. 1990년 ~ 1993년 Toshiba Corporation 연구원. 1993년 ~ 현재 한국과학기술원 전자공학과 부교수. 주관심분야는 멀티미디어 VLSI 디자인, 신호처리 알고리즘 구현, 저전력 설계