

論文99-36C-7-1

RC-class 회로 연결선의 지연 시간 계산을 위한 해석적 기법

(An Analytic Calculation Method for Delay Time of RC-class Interconnects)

葛源光*, 金錫潤*

(Won-Kwang Kal and Seok-Yoon Kim)

요 약

본 논문에서는 칩 내부 회로 연결선의 모형으로 많이 사용되는 RC-class 회로에 대하여 시뮬레이션을 수행하지 않고 지연 시간을 계산할 수 있는 해석적 3차 근사 기법을 제시한다. 본 논문에서 제시하는 3차 근사 기법은 기존의 2차 근사 기법에 비해 크지 않은 수행 시간을 필요로 하면서도 보다 정확한 결과를 보장한다. 이 해석적 3차 근사 기법은 일반적인 q 차 AWE(Asymptotic Waveform Evaluation) 기법의 계산 결과와 비교해 허용 가능한 수준의 오차를 보장하며, 계산 시간의 단축과 함께 수치적으로도 안정된 값을 제공한다. 제안하는 기법의 첫 알고리즘은 3차의 근사를 위해 8개의 모멘트를 필요로 하며, 보다 정확한 지연 시간의 근사가 가능하다. 둘째 알고리즘은 3차의 근사를 위해 6개의 모멘트를 필요로 하며, 첫 알고리즘보다 정확도는 뒤지나 빠른 근사가 가능하다.

Abstract

This paper presents an analytic 3rd order calculation methods, without simulations, for delay time of RC-class circuits which are conveniently used to model on-chip interconnects. While the proposed method requires comparable evaluation time than the previous 2nd order calculation method, it ensures more accurate results than those of 2nd order method. The proposed analytic delay calculation method guarantees allowable error tolerances when compared to the results obtained from the AWE(Asymptotic Waveform Evaluation) technique and has better performance in evaluation time as well as numerical stability. The first algorithm of the proposed method requires 8 moments for the 3rd order approximation and yields more accurate delay time approximation. The second algorithm requires 6 moments for the 3rd order approximation and results in shorter evaluation time, the accuracy of which may be less than the first algorithm.

I. 서 론

반도체 소자 및 공정 기술의 지속적인 발전으로 인하여 최근의 고집적 회로에서는 회로 연결선에서의 신호 전달 시간 지연이 게이트 지연에 비해 비슷하거나

오히려 더 커지는 현상은 주지의 사실이다. 연결선은 동작 주파수와 관련된 시간 지연뿐만 아니라 다이(die) 면적, 용량성 부하로 인한 전력 소모, 밀집 배선으로 인한 인접 선간의 신호 결합(coupling) 등의 여러 성능 척도에 직접, 간접적으로 관계된다. 이에 따라 회로 연결선의 정확한 성능 예측과 검증은 위하여 전기 변수 추출, 이의 모형화 및 해석의 제 분야에서 많은 연구와 노력이 경주되어 왔다. 연결선은 물리 설계라고 불리는 배치(placement) 및 배선(routing)이 끝

* 正會員, 崇實大學校 컴퓨터工學科

(Department of Computing Soongsil University)

接受日字:1998年12月29日, 수정완료일:1999年6月22日

난 후에야 위의 3단계 해석이 이루어질 수 있기 때문에 제이트와는 달리 미리 특성화하여 라이브러리(library) 형태로 취급하기 어려운 점이 있다. 이 분야에서 널리 사용되는, 한 가지 접근 방법은 물리 설계 전 단계에서는 연결선의 지연 예측을 위해서 통계적 기법에 기반한 연결선 지연 모형을 이용하고, 물리 설계 후에는 실제의 기하 구조를 추출하고 전기 변수를 계산하여 회로 모형을 구성하고 지연 해석을 하게 된다.

회로 추출기 내부에서 흔히 칩 내부 연결선을 모형화하는 방법은 균일한 연결선 구간의 기생성분을 계산한 다음, 이 구간을 전기적으로 짧은(신호의 최소 파장에 비해 짧은 길이를 갖는) 여러 조각으로 나누어 각 조각을 T- 또는 Π -형 RC 집중 소자 모형으로 치환함으로써 여러 개의 RC 셀들을 캐스케이드(cascade) 연결한 형태로 표현한다. 이러한 방법에서의 전체 연결선 망은 주로 저항(resistor)과 커패시터(capacitor)로 구성된 RC 트리(tree)나 망(mesh) 구조, 또는 이의 혼합 형태로 귀결되는데, 문제는 회로의 크기가 무척 커질 가능성이 크다는 점이다. 지금까지 RC 회로망의 신호 지연 시간 해석을 위해서는 시간 복잡도 때문에 직접적인 해석보다는 모형 차수 축소(model order reduction) 기법을 이용한 근사적 해석을 해오고 있으며, Elmore 지연과^[1] 모멘트 매칭(moment matching)에 기반한 AWE(Asymptotic Waveform Evaluation) 기법^[2]을 많이 사용한다.

Elmore 지연은 임펄스 응답의 첫 번째 모멘트로서 계산의 용이성 때문에 많이 사용되어 왔다. 그러나 신호의 상승 및 천이 시간이 짧아짐에 따라 신호 대역폭 또는 최대 동작 주파수가 지속적으로 높아지고 있으며^[3], 고집적을 위한 소자의 크기 축소 및 기능 증대를 위한 다이 면적 증가 추세는 전체적인 회로 연결선의 평균 길이를 증가시키고 연결선의 저항 성분으로 인한 저항차폐(resistance shielding) 효과를 가져오게 되었다^[4]. 이러한 이유로 인하여 더 이상 Elmore 지연으로는 신호의 지연 시간을 정확히 근사하는 것이 어려워지게 되었다.

Elmore 지연이 커다란 RC 회로망을 한 개의 시정수를 사용하여 1차로 근사화하는 점에 비해, 모형 차수 축소 기법의 대표적인 예인 AWE는 $2q$ 개의 모멘트를 이용하여 q 차(q 개의 시정수)로 축소 근사 해석하는 기법이다. 따라서 Elmore 지연 계산법에 비해 계

산 복잡도는 높은 편이지만, SPICE와 같은 회로 시뮬레이터 수준에 상당하는 지연 시간의 근사가 가능하다. 일반적으로 동작주파수가 수 GHz 이내인 현재 시스템 수준의 RC 회로망에서는 2차 및 3차 정도의 근사만으로도 SPICE 결과의 10% 이내의 오차 한계를 갖는 정확도를 유지할 수 있다^[5]. 따라서 시뮬레이션을 수행하지 않고 해석적인 방법으로 연결선 회로의 시간 지연을 계산하려는 노력이 경주되었으며, Dartu 등의 연구자는 해석적인 방법으로 2차 근사화를 얻는 방법을 제시하였다^[9].

그러나, 칩 및 시스템 성능의 개선 속도를 감안하면 현 수준에서 연결선의 지연 시간을 2차로 근사하는 것은 성능을 예측하는데 있어서 불충분할 수 있으므로 보다 정확한 3차 근사를 위한 해석적 기법이 필요하게 된다.

본 논문에서는 저항과 커패시터로 모형화된 회로 연결선을 해석적 기법을 통하여 안정된(stable) 3개의 폴(pole)과 레지듀(residue)를 구하고, 이를 이용하여 신호의 지연 시간을 3차로 근사하는 두 가지 기법을 보인다. 첫 번째 방법은 임펄스(impulse) 응답의 처음 5개의 모멘트를 이용하는 기법이고, 두 번째 방법은 보다 정확한 근사를 위해 임펄스 응답의 7개 모멘트를 이용하여 근사하는 기법이다. 두 가지의 기법 모두 폴을 구하기 위하여 AWE 기법에서 사용한 축차적 계산법이 필요하지 않으므로 계산 시간을 획기적으로 개선할 수 있으며, 수치적인 오차에 민감한 모멘트 매칭 기법의 단점을 극복할 수 있다.

본 논문의 구성은 다음과 같다. 서론에 이어 2장에서는 배경 지식으로서 Elmore 지연과 AWE 방식을 간략하게 설명하고, 3장에서는 해석적으로 지연 시간을 근사하는 두 가지 기법을 보인다. 여기서 제시한 기법은 AWE 기법이 채택한 축차적 방법이 아닌 해석적 방법이라는 특성상 계산이 빠르다는 이점을 얻을 수 있고, 더불어 수치적 오차를 줄일 수 있으며 결과 모형의 안정도를 보장할 수 있는 장점이 있다. 특히, 결과 모형의 안정도 보장 문제는 AWE와 같은 차수 축소 기법의 가장 큰 단점으로서, 안정된 축소 모형을 얻기 위해 모멘트 이동(shifting)^[11], 수동 회로망로의 구현^[12] 등 여러 가지 부가적인 안정화 기법을 사용해야만 했다. 4장에서는 본 논문에서 제시하는 기법과 기존의 AWE 기법을 이용, 몇 가지 회로 예에 대해 실험하여 얻은 성능 비교 결과를 제시하며, 5장

에서는 결론을 맺는다.

II. 배경 지식

1. Elmore 지연

Elmore 지연은 저항과 커패시터만으로 구성된 RC 트리 회로에서의 시간 지연을 쉽고 효율적으로 계산할 수 있다는 편리성 때문에 물리 설계 전 단계의 지연 척도로서 널리 이용되고 있다. N 개의 노드(node)로 구성된 RC 트리 회로의 Elmore 지연 계산은 $O(N)$ 의 시간 복잡도를 갖는다. RC 트리 회로에서 임의의 노드 i 에서의 출력에 대한 Elmore 지연은 다음 식으로 주어진다^[6].

$$T_{D_i} = \sum_k R_k C_k \quad (1)$$

식(1)에서 R_k 는 입력 노드에서 노드 k 까지의 경로와 입력 노드에서 노드 i 까지의 경로의 공통 경로에 존재하는 저항의 총합이며, C_k 는 노드 k 에서의 커패시턴스 값이다.

특정 노드에서의 단위(unit) 계단(step) 응답을 $h(t)$ 로 나타내면, Elmore 지연은 해당 노드에서의 임펄스 응답 파형을 확률 밀도 함수($\int_0^\infty h'(t)dt=1$)로 가정했을 때의 시간 평균값(mean), 즉 첫째 모멘트(m_1)에 해당하며, 이를 수식으로 표현하면 식(2)와 같다.

$$T_D = m_1 = \int_0^\infty t \cdot h(t)dt \quad (2)$$

실제적인 칩 내부 연결선 회로 모형에서 모든 노드의 임펄스 응답은 아래 그림 1과 같이 왼쪽으로 기울어지는 현상을 보이는 것으로 알려져 있다. 이러한 파형을 확률 분포로 간주하면 다음 식(3)의 관계가 항상 성립한다^[6].

$$Mode \leq Median \leq Mean \quad (3)$$

한편, 단위 계단 입력 파형에 대한 지연 시간의 정의는 입력 파형의 50% 지점부터 출력 파형의 50% 지점까지의 소요 시간을 의미하므로 임펄스 파형의 중앙값(Median)에 해당한다. 그러므로 Elmore 지연을 이용한 지연 시간 근사는 평균값으로 중앙값을 근사화하는 셈이므로 항상 실제 지연값 이상(즉, upper

bound)이 되는 결과를 초래하는 비관적 예측이 된다.

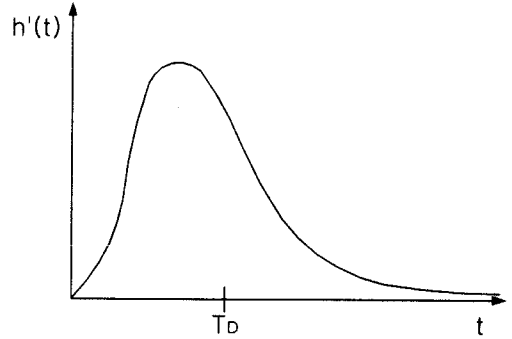


그림 1. 전형적인 RC 트리 회로의 임펄스 응답 파형
Fig. 1. Impulse response waveform of a typical RC tree circuit.

2. AWE(Asymptotic Waveform Evaluation) 기법

임의의 선형, 집중, 수동 회로에서 두 단자쌍 간의 전달 함수(transfer function)는 다음과 같이 나타낼 수 있다.

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{1 + b_1s + b_2s^2 + \dots + b_ms^m}{1 + a_1s + a_2s^2 + \dots + a_ns^n} \quad (4)$$

또한 식(4)를 식(5)와 같이 표현했을 때, s^i 차 항의 계수를 해당 노드에서의 i 차 모멘트라고 한다.

$$H(s) = m_0 + m_1s + m_2s^2 + \dots \quad (5)$$

한편, 임펄스 응답, $h(t)$ 의 Laplace 변환은

$$H(s) = \int_0^\infty h(t)e^{-st}dt \quad (6)$$

이므로 e^{-st} 를 $s=0$ 를 기준으로 McLaurin Series를 이용하여 확장하면 식(7)을 얻을 수 있다.

$$\begin{aligned} H(s) &= \int_0^\infty h(t)[1 - st + \frac{1}{2!}s^2t^2 - \frac{1}{3!}s^3t^3 + \dots]dt \\ &= \sum_{k=0}^\infty \frac{(-1)^k}{k!} s^k \int_0^\infty t^k h(t)dt \end{aligned} \quad (7)$$

식(7)로부터 식(5)의 j 차 항의 계수, m_j 는 식(8)로 정의됨을 알 수 있다.

$$m_j = \frac{(-1)^j}{j!} \int_0^\infty t^j h(t)dt \quad (8)$$

AWE 기법에서 폴을 근사하는 과정은 $2q$ 번의 dc 해석을 수행함으로써 $2q$ 개의 모멘트를 구하고, 이를 이용하여 q 차의 전달함수(q 개의 폴과 q 개의 제로)를 구성하는 과정으로 이루어진다. 예를 들어, 어떤 복잡한 RC 트리 회로를 3차의 전달 함수로 근사하고자 한다면, 6번의 dc 해석을 통하여 얻은 모멘트를 가지고 아래의 식(9)을 이용하여 a 벡터의 값을 구한 후, 식(10)과 같이 이 a 벡터를 계수로 하는 특성방정식(characteristic equation)의 근을 구함으로써 3개의 폴을 얻게 된다.

$$\begin{bmatrix} m_0 & m_1 & m_2 \\ m_1 & m_2 & m_3 \\ m_2 & m_3 & m_4 \end{bmatrix} \begin{bmatrix} a_3 \\ a_2 \\ a_1 \end{bmatrix} = \begin{bmatrix} m_3 \\ m_4 \\ m_5 \end{bmatrix} \quad (9)$$

$$a_3x^3 + a_2x^2 + a_1x + 1 = 0 \quad (10)$$

일반적으로 식(9)의 a 벡터의 값을 구하기 위한 기법으로는 LU 분해(decomposition) 기법이 많이 사용되며, 고차의 특성방정식의 근을 구하기 위해서는 *Newton-Raphson*이나 *Laguerre* 방법과 같은 비선형 축차 기법이 사용된다^[13]. 이렇게 q 개의 폴을 갖는 회로로 축소하였다면, k_i 와 p_i 를 각각 i 번째 레지듀와 폴이라고 할 때 j 번째 모멘트를 폴과 레지듀와의 관계식으로 나타내면 다음 식(11)과 같이 나타낼 수 있다^[9].

$$m_i = \sum_{k=1}^N \frac{k_k}{(p_k)^{i+1}} \quad (11)$$

따라서, 식(11)을 이용하여 레지듀를 구할 수 있다.

III. 3차 근사화를 위한 해석적 알고리즘

1. 3개의 폴을 근사화하기 위한 알고리즘

AWE에서 사용하는 모멘트 매칭 기법은 회로 모멘트 값의 발산 특성상 유한 정밀도를 갖는 컴퓨터 계산에서 수치적인 문제에 대단히 민감하다는 단점과 폴을 구하는 과정에서 비선형 축차 방식으로 특성방정식의 근을 근사하므로 계산 시간이 오래 걸린다는 단점이 있다. 수치적인 문제의 예는 [11]에서 잘 다루고 있으므로 개략적으로만 언급하면 다음과 같다. 많은 수의 폴을 갖는 RC 회로를 저차 모형으로 축소하는 경우 제거되는 고주파 폴의 영향이 유한 정밀도 계산의 절사(truncation) 오차와 같은 수치적 잡음과 결합하

여 불안정한 축소 모형으로 귀결되는 경우가 생긴다. 이러한 문제를 극복하기 위하여 여러 보완적 방법들이 제시되고 있으나^[12], 모두 부가적인 시간 소모를 요하는 단점이 있다.

본 절에서 제시하는 해석적인 기법은 위에서 언급한 축소 모형의 불안정성 문제를 극복할 뿐만 아니라, 해석적이라는 특성에 기인하여 기존의 AWE 방법보다 훨씬 빠른 계산 시간을 갖는다. 여기서는 두 가지 알고리즘을 제시한다. 첫 알고리즘("Method-1"으로 표기함)은 2^q 개의 모멘트를 사용하여 q 차의 축소 모형을 생성하며, 보다 정확한 지연 시간의 근사가 가능하다. 둘째 알고리즘("Method-2"로 표기함)은 $2a$ 개의 모멘트를 사용하여 q 차의 축소 모형을 생성하며, 첫 알고리즘보다 정확도는 뒤지나 빠른 근사가 가능하다.

(1) Method-1: 7개의 모멘트를 이용한 폴의 근사화

A. 첫 번째 폴의 근사

연속적인 모멘트의 비는 모멘트의 차수가 증가함에 따라 시간 지연에 가장 큰 영향을 미치는(dominant) 폴에 수렴하며 식(12)와 같이 나타낼 수 있다^[8].

$$p_1 = \lim_{i \rightarrow \infty} \left(\frac{m_i}{m_{i+1}} \right) \quad (i=0,1,2,\dots) \quad (12)$$

식(11)을 이용하여 식(12)의 연속적인 모멘트의 비를 표현하면 식(13)이 된다.

$$\begin{aligned} & \frac{m_i}{m_{i+1}} \\ &= p_1 \frac{1 + \frac{k_2}{k_1} \left(\frac{p_1}{p_2} \right)^{i+1} + \frac{k_3}{k_1} \left(\frac{p_1}{p_3} \right)^{i+1} + \dots}{1 + \frac{k_2}{k_1} \left(\frac{p_1}{p_2} \right)^{i+2} + \frac{k_3}{k_1} \left(\frac{p_1}{p_3} \right)^{i+2} + \dots} \quad (i=0,1,2,\dots) \\ &= p_1 \left[1 + \frac{k_2}{k_1} \left(\frac{p_1}{p_2} \right)^{i+1} \left(1 - \frac{p_1}{p_2} \right) + \frac{k_3}{k_1} \left(\frac{p_1}{p_3} \right)^{i+1} \left(1 - \frac{p_1}{p_3} \right) + \dots \right] \end{aligned} \quad (13)$$

폴은 정의로부터 $|p_1| < |p_2| < \dots < |p_M|$ 이므로, 식(13)은 i 가 증가함에 따라 p_1 으로 수렴한다. 따라서 처음 7개의 모멘트를 이용하여 첫 번째 폴을 근사하는 식은

$$p_1 = \frac{m_6}{m_7} \quad (14)$$

가 된다.

B. 두 번째 폴의 근사

두 번째 폴의 근사를 위해 A_i 를 다음과 같이 정의한다.

$$A_i = \frac{m_i}{m_{i+1}} - \frac{m_{i+1}}{m_{i+2}} \quad (15)$$

식(13)으로부터 식(16)을 얻을 수 있고,

$$A_i = p_1 \left[\frac{k_2 \left(\frac{p_1}{p_2} \right)^{i+1} \left(1 - \frac{p_1}{p_2} \right)^2}{+ \frac{k_3 \left(\frac{p_1}{p_3} \right)^{i+1} \left(1 - \frac{p_1}{p_3} \right)^2 + \dots} \right] \quad (16)$$

식(16)을 이용하여 식(17)을 유도할 수 있다.

$$\left| \frac{A_i}{A_{i+1}} \right| = \frac{p_2}{p_1} \frac{\left[1 + \left(\frac{k_3}{k_2} \right) \left(\frac{p_2}{p_3} \right)^{i+1} \frac{\left(1 - \frac{p_1}{p_2} \right)^2}{\left(1 - \frac{p_1}{p_3} \right)^2} + \dots \right]}{\left[1 + \left(\frac{k_3}{k_2} \right) \left(\frac{p_2}{p_3} \right)^{i+2} \frac{\left(1 - \frac{p_1}{p_2} \right)^2}{\left(1 - \frac{p_1}{p_3} \right)^2} + \dots \right]}$$

$$= \frac{p_2}{p_1} \left[1 + \left(\frac{k_3}{k_2} \right) \left(\frac{p_2}{p_3} \right)^{i+1} \left(1 - \frac{p_2}{p_3} \right) \frac{\left(1 - \frac{p_1}{p_2} \right)^2}{\left(1 - \frac{p_1}{p_3} \right)^2} + \dots \right] \quad (17)$$

식(17)은 i 가 증가함에 따라 $\frac{p_2}{p_1}$ 로 수렴한다.

따라서, 처음 7개의 모멘트를 이용하여 두 번째 폴을 근사하는 식은 식(18)과 같다.

$$p_2 = p_1 \left| \frac{A_4}{A_5} \right| \quad (18)$$

C. 세 번째 폴의 근사

세 번째 폴의 근사를 위해 B_i 를 다음과 같이 정의한다.

$$B_i = \frac{A_i}{A_{i+1}} - \frac{A_{i+2}}{A_{i+3}} \quad (19)$$

식(17)로부터 식(20)을 유도할 수 있으며,

$$B_i = \frac{p_2}{p_1} \left[\left(\frac{k_3}{k_2} \right) \left(\frac{p_2}{p_3} \right)^{i+1} \left(1 - \frac{p_2}{p_3} \right)^2 \frac{\left(1 - \frac{p_1}{p_3} \right)^2}{\left(1 - \frac{p_1}{p_2} \right)^2} + \left(\frac{k_4}{k_2} \right) \left(\frac{p_2}{p_4} \right)^{i+1} \left(1 - \frac{p_2}{p_4} \right)^2 \frac{\left(1 - \frac{p_1}{p_4} \right)^2}{\left(1 - \frac{p_1}{p_2} \right)^2} + \dots \right] \quad (20)$$

식(20)을 이용하여 식(21)을 유도할 수 있다.

$$\left| \frac{B_i}{B_{i+2}} \right| =$$

$$\frac{\left[1 + \left(\frac{k_4}{k_3} \right) \left(\frac{p_3}{p_4} \right)^{i+1} \frac{\left(1 - \frac{p_2}{p_4} \right)^2 \left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_1}{p_4} \right)^2}{\left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_1}{p_3} \right)^2} + \dots \right]}{\left[1 + \left(\frac{k_4}{k_3} \right) \left(\frac{p_3}{p_4} \right)^{i+3} \frac{\left(1 - \frac{p_2}{p_4} \right)^2 \left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_1}{p_4} \right)^2}{\left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_1}{p_3} \right)^2} + \dots \right]} \quad (21)$$

식(21)은 i 가 증가함에 따라 $\left(\frac{p_3}{p_2} \right)^2$ 로 수렴한다.

따라서, 처음 7개의 모멘트를 이용하여 세 번째 폴을 근사하는 식은 식(22)와 같다.

$$p_3 = p_2 \sqrt{\frac{B_0}{B_2}} \quad (22)$$

(2) Method-2: 5개의 모멘트를 이용한 폴의 근사화

A. 첫 번째 폴의 근사

처음 5개의 모멘트를 이용하여 첫 번째 폴을 근사하는 식은 식(13)에 의해 간단하게 다음과 같이 나타낼 수 있다.

$$p_1 = \frac{m_4}{m_5} \quad (23)$$

B. 두 번째 폴의 근사

처음 5개의 모멘트를 이용하여 두 번째 폴을 근사하는 식은 식(17)에 의해 간단하게 식(24)와 같이 나타낼 수 있다.

$$p_2 = p_1 \left| \frac{A_2}{A_3} \right| \quad (24)$$

C. 세 번째 폴의 근사

세 번째 폴의 근사를 위해 C_i 를 식(25)와 같이 정의한다.

$$C_i = \frac{A_i}{A_{i+1}} - \frac{A_{i+1}}{A_{i+2}} \quad (25)$$

식(17)을 이용하여 C_i 를 식(26)과 같이 나타낼 수 있으며,

$$C_i = \frac{p_2}{p_1} \left[\left(\frac{k_3}{k_2} \right) \left(\frac{p_2}{p_3} \right)^{i+1} \left(1 - \frac{p_2}{p_3} \right)^2 \frac{\left(1 - \frac{p_1}{p_3} \right)^2}{\left(1 - \frac{p_1}{p_2} \right)^2} + \left(\frac{k_4}{k_2} \right) \left(\frac{p_2}{p_4} \right)^{i+1} \left(1 - \frac{p_2}{p_4} \right)^2 \frac{\left(1 - \frac{p_1}{p_4} \right)^2}{\left(1 - \frac{p_1}{p_2} \right)^2} + \dots \right] \quad (26)$$

식(26)을 이용하여 식(27)을 유도할 수 있다.

$$\left| \frac{C_i}{C_{i+1}} \right| = \left(\frac{p_3}{p_2} \right) \frac{1 + \left(\frac{k_4}{k_3} \right) \left(\frac{p_3}{p_4} \right)^{i+1} \frac{\left(1 - \frac{p_2}{p_4} \right)^2 \left(1 - \frac{p_1}{p_4} \right)}{\left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_1}{p_3} \right)} \dots}{1 + \left(\frac{k_4}{k_3} \right) \left(\frac{p_3}{p_4} \right)^{i+2} \frac{\left(1 - \frac{p_2}{p_4} \right)^2 \left(1 - \frac{p_1}{p_4} \right)}{\left(1 - \frac{p_2}{p_3} \right)^2 \left(1 - \frac{p_1}{p_3} \right)} + \dots} \quad (27)$$

식(27)은 i 가 증가함에 따라 $\frac{p_3}{p_2}$ 로 수렴한다.

따라서, 처음 5개의 모멘트를 이용하여 세 번째 폴을 근사하는 식은 식(28)과 같다.

$$p_3 = p_2 \left| \frac{C_0}{C_1} \right| \quad (28)$$

2. 해석적으로 구한 폴의 안정도

임의의 선형, 유한, 집중 회로망의 내부 안정도는 폴 값으로써 조사할 수 있다^[10, 14]. 회로의 응답이 $t \rightarrow \infty$ 에서 최종값에 수렴하기 위해서는 모든 폴은 Laplace 평면의 좌반면 내에 위치해야 한다. 이 조건은 RC 회로에서는 모든 폴이 음의 실수여야 한다는 뜻이다. 본 논문에서 제시한 Method-1 및 Method-2로부터 생성되는 폴은 음의 실수임을 직관적으로 알 수 있는데, 이를 정리하면 다음과 같다.

Proposition 1: Method-1 및 Method-2를 통하여 얻어진 폴은 항상 실수이다.

이는 제시된 두 방법 모두가 실수의 곱셈과 나눗셈만을 통하여 대수적으로 폴을 구하기 때문에 실수임이 자명하다.

Proposition 2: Method-1 및 Method-2를 통하여 얻어진 폴은 항상 음의 값을 갖는다.

RC 회로의 모멘트는 항상 $m_{2i} > 0$, $m_{2i+1} < 0$, ($i=0, 1, 2, \dots$)을 만족하기 때문에 연속된 두 모멘트의 비는 항상 음의 값을 갖는다. 따라서, 식(14) 및 식(23)에서의 p_1 은 항상 음의 값이다. 그리고, 식(18) 및 식(24), 식(22) 및 식(28)로부터 p_2, p_3 도 음의 값을 갖게 된다.

3. 레지듀(residue)를 근사화하기 위한 해석적 알고리즘

N 개의 폴을 갖는 시스템에서 p_i 와 k_i 를 각각 i

번째 폴과 레지듀라고 했을 때, N 개의 레지듀를 구하는 식은 다음과 같다^[2].

$$\begin{bmatrix} 1 & 1 & \dots & \dots & 1 \\ \frac{1}{p_1} & \frac{1}{p_2} & \dots & \dots & \frac{1}{p_N} \\ \frac{1}{p_1^2} & \frac{1}{p_2^2} & \dots & \dots & \frac{1}{p_N^2} \\ \vdots & \vdots & \dots & \dots & \vdots \\ \frac{1}{p_1^{N-1}} & \frac{1}{p_2^{N-1}} & \dots & \dots & \frac{1}{p_N^{N-1}} \end{bmatrix} \begin{bmatrix} k_1 \\ k_2 \\ k_3 \\ \vdots \\ k_N \end{bmatrix} = \begin{bmatrix} m_0 \\ m_1 \\ m_2 \\ \vdots \\ m_{N-1} \end{bmatrix} \quad (29)$$

계산의 편의를 위하여 D_i 를 $D_i = \frac{1}{p_i}$ ($i=1, 2, 3, \dots$)로 정의하고, 식(29)를 k_i 에 대해 정리하면 식(30)과 같다.

$$\begin{aligned} k_1 &= \frac{-m_2 + (D_2 + D_3) \cdot m_1 - D_2 D_3 \cdot m_0}{D_1(D_3 - D_1)(D_1 - D_2)} \\ k_2 &= \frac{-m_2 + (D_3 + D_1) \cdot m_1 - D_3 D_1 \cdot m_0}{D_2(D_1 - D_2)(D_2 - D_3)} \\ k_3 &= \frac{-m_2 + (D_1 + D_2) \cdot m_1 - D_1 D_2 \cdot m_0}{D_3(D_2 - D_3)(D_3 - D_1)} \end{aligned} \quad (30)$$

식(30)을 이용하여 대수적으로 레지듀를 구할 수 있다.

4. 지연 시간의 계산

앞의 3.1 및 3.3절에서 구한 폴과 레지듀를 이용, 식(31)을 통해 출력 파형을 근사할 수 있다.

$$h(t) = k_1 e^{p_1 t} + k_2 e^{p_2 t} + k_3 e^{p_3 t} \quad (31)$$

또한 지연 시간을 입력이 최종 입력값의 50%되는 지점부터 출력이 최종 출력값의 50%되는 지점 사이의 시간차라고 정의하면, 계단 입력에 대한 지연시간은 식(32)를 만족하는 시간 t 를 구함으로써 얻을 수 있다.

$$k_1 e^{p_1 t} + k_2 e^{p_2 t} + k_3 e^{p_3 t} = 0.5 V_{out} \quad (32)$$

IV. 실험 결과

본 절에서는 제안한 방법의 정확도 및 효율성을 검증하기 위하여 실제 연결선에 대하여 수행한 해석 결과를 기술한다. 아래의 표는 SUN Ultrasparc-V 환경에서 저항과 커패시터의 개수가 각각 100개 - 1000개인 RC 트리 회로 모형의 최종 팬아웃(fan-out) 노

표 1. 기울기를 갖는 입력에 대한 출력단에서의 지연 시간(입력 신호 상승 시간: 1ns)
(괄호 안은 HSPICE의 결과에 대한 상대오차)

Table 1. Delay times at fanout nodes for a ramp input.(input rise time: 1ns)
(Relative errors compared to the existing method are indicated in parentheses.)

기법 회로 (노드 수)	① HSPICE를 사용한 결과	② AWE의 결과	③ Method-1의 결과	④ Method-2의 결과
100	1.2128e-11(0%)	1.2333e-11(1.69%)	1.2333e-11(1.69%)	1.2333e-11(1.69%)
200	5.0442e-11(0%)	5.0567e-11(0.25%)	5.0568e-11(0.25%)	5.0567e-11(0.25%)
300	1.0634e-10(0%)	1.0634e-10(0%)	1.0634e-10(0%)	1.0634e-10(0%)
400	1.8282e-10(0%)	1.8171e-10(-0.61%)	1.8171e-10(-0.61%)	1.8172e-10(-0.60%)
500	2.7434e-10(0%)	2.7373e-10(-0.22%)	2.7374e-10(-0.22%)	2.7375e-10(-0.22%)
600	3.7438e-10(0%)	3.7502e-10(0.17%)	3.7504e-10(0.18%)	3.7506e-10(0.18%)
700	4.9196e-10(0%)	4.8804e-10(-0.8%)	4.8807e-10(-0.79%)	4.8812e-10(-0.78%)
800	6.2669e-10(0%)	6.2076e-10(-0.95%)	6.2159e-10(-0.81%)	6.2253e-10(-0.66%)
900	7.7612e-10(0%)	7.6538e-10(-1.38%)	7.5458e-10(-2.78%)	7.5512e-10(-2.71%)
1000	9.2790e-10(0%)	9.0804e-10(-2.14%)	9.0793e-10(-2.15%)	9.0822e-10(-2.12%)

드에서의 지연 시간 및 각 알고리즘 수행 시간에 대한 결과이다.

표 1에서 HSPICE의 결과와 비교했을 때, 본 논문에서 제시한 기법을 사용한 결과가 받아들일 수 있는 오차 수준을 유지함을 볼 수 있다. 또한 AWE 기법을 사용한 결과와 본 논문에서 제시한 기법으로 근사한 지연 시간 사이에 오차가 거의 없음을 알 수 있다. 각 알고리즘의 수행 시간 비교는 표 2와 표 3에 나타내었다. 표 2와 표 3을 보면, 본 논문에서 제시한 방법이 폴을 구하는데 있어서는 기존의 AWE 방법보다 수십 배에서 수 백 배, 레지듀를 구하는 데에는 수십 배의 시간 개선을 보임을 알 수 있다.

표 2. 3 개의 폴의 계산 시간 (10회 실험의 평균치, 단위: ms)
괄호 안은 기존의 AWE 방법에 대한 속도비

Table 2. Calculation times of 3 poles (Averaged over 10 experiments, unit: ms).
Speed ratios compared to the existing AWE method are indicated in parentheses

① 기존의 AWE 방법을 사용한 결과	② Method-1의 결과	③ Method-2의 결과
1.8551 (1 배)	0.0211 (88 배)	0.008 (232 배)

표 3. 3 개의 레지듀의 계산 시간 (10회 실험의 평균치, 단위: ms)
괄호 안은 기존의 AWE 방법에 대한 속도비

Table 3. Calculation times of 3 residues (Averaged over 10 experiments, unit: ms).
Speed ratios compared to the existing AWE method are indicated in parentheses.

① 기존의 AWE 방법을 사용한 결과	② Method-1의 결과	③ Method-2의 결과
0.2707 (1 배)	0.0063 (43 배)	0.0086 (31 배)

폴을 구하는데 있어서 Method-1이 Method-2에 비해 수십 배의 시간이 더 걸리는 이유는 Method-1이 Method-2에 비해 더 많은 수의 모멘트를 다루기 때문이다. 따라서, 같은 수의 폴을 사용하여 구하는 레지듀의 경우에는 ②, ③, 두 방법 모두 AWE 방법에 비해 동일하게 수십 배의 시간개선을 보이고 있다.

V. 결론

본 논문에서는 기존의 AWE 방법으로 근사한 지연 시간과 같은 수준의 오차를 보장하면서도 모멘트 매칭의 수치적 민감성과 결과 모형의 잠재적 불안정성이라

는 한계를 극복하고 동시에 계산 시간을 수 십분의 일로 개선할 수 있는 해석적 기법을 보였다. 본 논문에서는 지연 시간의 계산을 위한 수식을 3차까지의 근사로 제한하였지만, 7개의 모멘트를 사용하는 기법과 5개의 모멘트를 사용하는 기법은 규칙적인 형태이므로 2^q 개 및 $2q$ 개의 모멘트를 사용하면 q 차까지의 고차 근사가 가능하다. 시스템의 대역폭이 현재의 수 GHz 수준 이상이 되면, 지연 시간 계산을 위해 3차 이상의 고차 근사 모형화가 필요할지도 모른다. 이러한 문제는 본 논문에서 전개한 식을 3차 이상의 고차로 확장함으로써 간단히 해결할 수 있다.

제안된 기법은 지연 시간을 근사하기 위한 차수를 높일수록 AWE 방법과 같은 수준의 오차를 보장하면서도 계산 시간은 대략 차수의 제곱에 비례하여 개선될 것이므로, 회로의 배치 및 연결(placing & routing)과 같은 수많은 반복적 지연 시간 계산이 필요한 분야에서 큰 성능향상을 보일 것으로 기대된다.

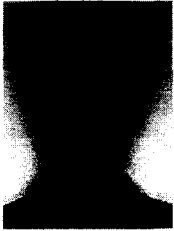
참 고 문 헌

- [1] W. C. Elmore, "The Transient Analysis of Damped Linear Networks with Particular Regard to Wideband Amplifiers," *J. Applied Physics*, vol. 19(1), 1948.
- [2] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," *IEEE Trans. on Computer Aided Design*, vol. 9, no. 4, April 1990.
- [3] N. Gopal, D. P. Neikirk and L. T. Pillage, "Evaluating On-chip RC-Interconnect Using Moment-Matching Approximations," In *Proceedings of IEEE/ACM International Conference on Computer Aided Design*, November 1991.
- [4] Jessica Qian, Satyamurthy Pullela, Lawrence Pillage "Modeling of "Effective Capacitance" for the RC interconnect of CMOS Gates," *IEEE Tran. on Computer-Aided-Design of Integrated Circuits and Systems*, Vol. 13, No. 12, Dec. 1994.
- [5] L. T. Pileggi, "Coping with RC(L) Interconnect Design Headaches," In *Proceedings of IEEE/ACM Int'l Conference on Computer Aided Design*, pp. 246-253, Nov. 1995.
- [6] R. Gupta, B. Tutuianu and L. T. Pillage, "The Elmore Delay as a Bound for RC Trees with Generalized Input Signals," *IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems*, vol. 16, no. 1, January 1997.
- [7] Xiaoli Huang, "Pade Approximation of Linear(ized) Circuit Responses," Research report No. CMUCAD-90-46, December 1990.
- [8] D. Anastasakis, N. Gopal, S. Y. Kim and L. T. Pillage, "On the Stability of Approximations in Asymptotic Waveform Evaluation," In *Proceedings of the 29th ACM/IEEE Design Automation Conference*, 1992.
- [9] B. Tutuianu, F. Dartu and L. T. Pileggi, "An Explicit RC-Circuit Delay Approximation Based on the First Three Moments of the Impulse Response," In *Proceedings of the 33th ACM/IEEE Design Automation Conference*, 1996.
- [10] S. K. Mitra, *Analysis and Synthesis of Linear Active Networks*, John Wiley & Sons, Inc., 1969.
- [11] D. F. Anastasakis, N. Gopal, S. Y. Kim and L. T. Pillage, "Enhancing the Stability of Asymptotic Waveform Evaluation for Digital Interconnect Circuit Applications," *IEEE Trans. on Computer Aided Design*, vol. 13, no. 6, pp. 729-736, June 1994.
- [12] A. Odabasioglu, M. Celik and L. T. Pileggi, "PRIMA: Passive Reduced-Order Interconnect Macromodeling Algorithm," *IEEE Trans. on Computer Aided Design*, vol. 17, no. 8, pp. 645-654, August 1998.
- [13] A. Ralston and P. Rabinowitz, *A First Course in Numerical Analysis*, McGraw-Hill Book Co., 1978.

[14] S. Y. Kim, "A Practical Test for Unconditional Stability of Linear N-port Net

works," 한국 정보과학회 논문지(A), 제23권 7호, pp. 701-708, Jul. 1996.

— 저 자 소 개 —



葛 源 光(正會員)

1998년 2월 숭실대학교 전자계산학과 학사. 1998년 3월 ~ 현재 숭실대학교 대학원 석사과정. 주관심분야는 설계 자동화, 회로 전기변수 추출, VLSI 회로해석 및 설계

金 錫 潤(正會員) 第 35卷 C編 第 7號 參照

1980년 서울대학교 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터공학과 박사. 1993년 University of Texas at Austin 전기, 컴퓨터공학과 박사. 1982년 ~ 1987년 한국 전자통신연구소 연구원. 1993년 ~ 1995년 Motorola Inc., Senior Staff Engineer. 1995년 ~ 현재 숭실대학교 컴퓨터학부 교수. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계, 통신 시스템