

論文99-36C-6-4

# DTG의 性質을 갖는 高速並列多值論理回路의 設計에 관한 研究

## (A Study on the Highly Parallel Multiple-Valued Logic Circuit Design with DTG Properties)

羅基秀\*, 申富植\*, 崔在碩\*\*, 朴春明\*\*\*, 金興壽\*

(Gi-Su Na, Boo-Sik Shin, Jai-Sok Choi, Chun-Myoung Park,  
and Heung-Soo Kim)

### 요 약

본 논문에서는 입출력간의 연관관계가 트리구조로 표현되는 DTG에 의한 고속병렬다치논리회로를 설계하는 알고리즘을 제안하였다. 본 논문에서는 Nakajima 등에 의해 제안된 알고리즘의 문제점을 도출한 후, 최적화된 분할연산회로설계를 위하여 트리구조에 기초를 둔 수학적 해석의 개념을 소개한다. 본 논문에서 제안한 알고리즘은 Nakajima 등에 의해 제안된 알고리즘으로는 설계가 가능하지 않았던 임의의 절점을 갖는 DTG에 대해서도 회로를 설계할 수 있는 장점이 있다. Nakajima 등에 의해 제안된 알고리즘과 본 논문에서 제안한 알고리즘을 회로설계의 관점에서 비교하여 본 논문의 알고리즘이 모든 경우의 DTG에서 보다 최적화 설계를 할 수 있음을 증명하였다. 그리고 예제를 통해 본 논문에서 제안한 알고리즘의 유용성을 증명해 보였다.

### Abstract

This paper proposes algorithms that design the highly parallel multiple-valued logic circuit of DTG(Directed Tree Graph) to be represented by tree structure relationship between input and output of nodes. The conventional Nakajima's algorithms have some problems so that this paper introduce the concept of mathematical analysis based on tree structure to design optimized locally computable circuit. Using the proposed circuit design algorithms in this paper, it is possible to design circuit in that DTG have any node number - not able to design by Nakajima's algorithms. Also, making a comparison between the circuit design using Nakajima's algorithms and this paper's, we testify that proposed algorithms in this paper optimizes circuit design all case of DTG. Some examples are shown to demonstrate the usefulness of the circuit design algorithm.

### I. 서론

\* 正會員, 仁荷大學校 電子工學科

(Dept. of electronics Eng., In-Ha Univ.)

\*\* 正會員, 仁德大學 메카트로닉스과

(Dept. of mechatronics In-duk Institute of  
Technology)

\*\*\* 正會員, 忠州大學校 컴퓨터 工學科,

(Dept. of Computer Eng., Chung-Ju National Univ.)

接受日: 1998年11月20日, 수정완료일: 1999年6月3日

지난 수 십년간 2진 논리에 기초한 집적회로기술의 발전은 소자의 집적능력과 기능당 가격비율을 비약적으로 향상시켰으며, 이로써 논리시스템 및 컴퓨터 하드웨어분야의 눈부신 발전을 이룩할 수 있게 되었다. 그러나, 회로의 집적도 향상으로 인한 회로의 복잡도 증가는 고밀도집적회로를 구현하기 위해 해결되어야 할 중대한 문제점으로 부각되고 있다. 즉, 소자에 의해 점유되는 면적보다 오히려 소자들을 연결하는 배선 및

내부 결선에 의한 면적이 전체 집적도를 결정하는 요소가 됨으로써, 결국 회로의 복잡도는 집적되는 소자의 개수보다 배선 및 내부결선에 그 요인이 있다고 할 수 있다. 또한, 배선 및 내부결선의 증가는 단순히 회로의 면적을 많이 차지하는 점 이외에 회로의 성능에 직접적인 영향을 미치는 문제점들 때문에 고밀도집적 회로 구현을 위한 이의 개선이 요구되고 있다.<sup>[1~2]</sup>

이를 해결하기 위한 많은 연구가 활발히 진행되고 있는데 그 중 최근 주목받고 있는 분야가 다치논리(Multiple-valued logic : MVL)이론<sup>[3~4]</sup>을 회로에 적용하는 것으로, 하나의 신호선에 오직 두개의 신호 레벨만을 전송하는 것 보다 동일한 신호선에 더 많은 전송을 함으로써 내부접속의 복잡성을 감소시킬 수 있는 장점이 있다. 또 한가지 주목받고 있는 방법이 그래프이론을 회로설계에 적용한 분할연산구성(Locally computable combinational)기법<sup>[5~6]</sup>이다. 이는 출력에 영향을 미치는 입력의 연관관계를 함수로서 해석하고 이를 분할연산하여 회로로 구성한 후 이를 선형 결합하는 기법이다. 이러한 기법을 통해 입력과 출력의 관계를 최적화하여 회로소자들 간의 의존도감소에 의해 내부접속의 복잡성을 감소시킬 수 있다. 따라서, 다치논리이론과 분할연산 구성기법은 집적회로에 대한 차세대 초고속 논리시스템의 매우 중요한 관심분야로 부각되고 있으며 이에 대한 연구가 활발히 진행중이다.

절점들의 입출력 관계가 트리의 특성을 갖는 방향성그래프(Directed Tree Graph:DTG)의 형태로 주어지는 경우, 기존에 제안된 연구내용은 절점들의 수를 파악하여 가장 많은 절점수를 가지는 가지의 절점수를 모든 가지에 동일하게 잉여절점을 삽입하여 회로를 설계하는 방식이다.<sup>[7~9]</sup> 이 경우 모든 DTG에 대한 해석의 일반성이 부족하여 회로설계가 용이하지 못한 단점이 있으며 또한, 코드 할당에 대하여 최적의 논리레벨 P를 부여하기가 어렵다. 이러한 문제점을 개선하기 위하여 본 논문에서는 트리의 수식적인 성질을 적용하여 절점들의 입출력 관계를 최소화하고 이를 토대로 최적의 회로를 설계하는 알고리즘을 제안하였다. 특히, 본 논문에서 제안된 알고리즘은 기존에 제안된 알고리즘으로는 회로구성이 용이하지 않은 입출력간의 연관관계에 대하여 쉽게 최소화된 회로를 구현할 수 있으며 DTG에 대한 회로설계를 보다 구체화하고, 일반화시킬 수 있다.

본 논문의 구성과 서술과정은 다음과 같다.

II장에서는 본 논문을 전개하는데 필요한 수학적 배경 및 행렬연산, 멱영행렬의 성질에 대하여 논의하였으며, III장에서는 DTG에 의한 고속병렬다치논리회로를 설계하기 위하여 본 논문에서 제안한 트리의 특성을 갖는 DTG의 경우에 분할연산기법과 수학적 해석을 통하여 회로를 설계하는 회로설계 알고리즘 1,2에 대하여 논의하였다. IV장에서는 III장에서 제안한 알고리즘들을 통해 구한 결과와 기존 논문의 결과를 비교하였다. 끝으로 V장의 결론에서는 본 논문에서 다룬 내용의 특징을 요약하였다.

## II. 수학적 배경 및 행렬 연산의 성질

본 장에서는 본 논문에서 다룬 연구 내용의 기초가 되는 방향성 그래프, 유한체 GF(P)등에 관한 수학적 배경과 병렬 다치논리 회로설계의 근간이 되는 행렬 연산 및 멱영행렬의 성질 등에 대하여 논의한다.

### 1. 방향성 그래프<sup>[10~11]</sup>

일반적으로, 그래프는 방향성그래프(Directed Graph: DG)와 비방향성그래프(Undirected Graph:UG)로 구분되며 계층적(hierarchical)구조에 따라 각각 사이클(cycle)과 트리(tree)로 세분된다. 그래프는 절점(node)들과 그 절점들을 연결한 가지(branch)의 집합으로 정의되며, 특히 절점을 연결한 가지들의 방향이 정의되어 화살표로 방향을 표시한 것을 방향성그래프라 하며 이의 몇 가지 예를 그림 1에 나타내었다.

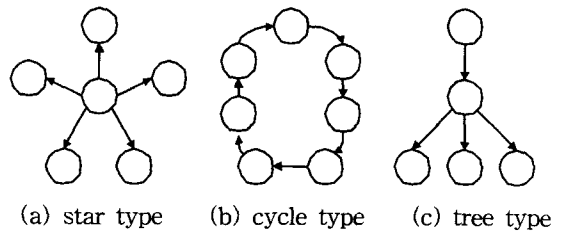


그림 1. 방향성그래프의 몇 가지 형태

Fig. 1. Types of Directed Graph.

그림 1의 (c)와 같이 방향을 가지며 그래프의 절점들이 트리를 이루는 구조를 방향성 트리 그래프라 하며 이의 몇 가지 성질을 다음과 같이 정리하였다.

**[성질 1.1]**  $s_2 = A s_1$ 의 관계를 갖는 두 절점  $s_1$ ,  $s_2$ 에 대하여  $s_1$ 을  $s_2$ 의 조상(원인 또는 입력),

$s_2$ 를  $s_1$ 에 대한 자손(결과 또는 출력)이라 한다. 이때,  $s_1$ 과  $s_2$ 의 관계를 그림으로 나타내면  $s_1$ 에서 출발한 화살표가  $s_2$ 에 도착한 형태로 표현되며 이러한 화살표를 두 절점들간의 관계를 설명해 주는 전달행렬(transfer matrix)  $A$ 로 나타낸다.

**[성질 1.2]**  $s_k = A^m s_1$ 의 관계를 갖는 두개의 절점  $s_k$ 와  $s_1$ 에 대하여  $s_1$ 은  $s_k$ 의  $m$ 번째 조상이 되며,  $s_k$ 는  $s_1$ 의  $m$ 번째 자손이 된다. 즉,  $s_1$ 에서 출발하여  $s_k$ 에 도착하기 위해서는  $m$ 번의 전달행렬  $A$ 를 취해주어야 한다.

**[성질 1.3]** 트리는 루트라 불리는 하나의 절점을 가지며 트리구조의 모든 절점은 루트절점과 연결되어있다.

**[성질 1.4]** 루트절점은 길이가 1인 사이클을 이루며 루트절점을 제외한 사이클은 트리구조내에 존재하지 않는다.

2. 유한체 GF(P)의 성질<sup>[12]</sup>

유한체(Finite field)는 일명 Galois체(Galois field)라고도 하며, 다치논리이론 및 오류정정부호, 스위칭이론 등에 광범위하게 적용되는 대수학의 일부분이다. 대수학의 기본을 이루고 있는 것은 군(Group)과 환(Ring)이며 이를 토대로 체(Field)가 정의된다. 유한체 GF(P)는 P가 1보다 큰 소수이고 그 원소가 0, 1, 2, ..., P-1인 기초체이다.

유한체 GF(P)상의 임의의 원소  $\alpha, \beta, \gamma$ 는 다음과 같은 수학적 성질을 만족한다.

**[성질 2.1]** 유한체 GF(P)상의 원소들의 연산에 대하여 가산(+)과 승산( $\times$ )이 정의되고, 그 연산 결과는 유한체 GF(P)에 대하여 닫혀있다.

**[성질 2.2]** 유한체 GF(P)상의 원소들의 연산에 대하여 교환, 결합, 분배법칙이 성립한다.

**[성질 2.3]** 유한체 GF(P)상의 원소들의 연산에 대하여 가산과 승산의 항등원과 역원이 각각 존재한다.

3. 행렬 연산의 성질<sup>[13]</sup>

두개의 정방행렬  $A$ 와  $A'$ 가 유한체 GF(P)상에서 정의 될 때  $A' = PAP^{-1}$ 를 만족하는 가역행렬  $P$ 가 존재하면,  $A$ 는  $A'$ 와 상사(similar)라 한다. 임의의 정방행렬  $A$ 의 특성다항식이 식(1)과 같이

$$d(x) = \alpha_0 + \alpha_1 x + \dots + \alpha_{n-1} x_{n-1} + x_n \quad (1)$$

최고차 항의 계수가 1인 모닉(mononic)다항식의 형태로 주어지는 경우 정방행렬  $A$ 는  $d(x)$ 의 동반행렬(Companion matrix)  $C_i$ 라 정의하고 이를 행렬로 나타내면 식(2)와 같다.

$$C_i = \begin{pmatrix} 0 & 0 & 0 & \dots & -\alpha_0 \\ 1 & 0 & 0 & \dots & -\alpha_1 \\ 0 & 1 & 0 & \dots & -\alpha_2 \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & \dots & -\alpha_{n-1} \end{pmatrix} \quad (2)$$

정방행렬  $A$ 는 이러한 동반행렬들을 선형특성에 의해 결합함으로써 다음의 식(3)을 얻을 수 있다.

$$A = \begin{pmatrix} C_1 & & & \\ & C_2 & & \\ & & \ddots & \\ & & & C_s \end{pmatrix} \quad (3)$$

4. 멱영행렬(Nilpotent matrix)의 성질<sup>[13]</sup>

$A$ 가 정방행렬이면서 임의의 양의 정수  $n$ 에 대해서 특성다항식이  $A^n = 0$  이면 정방행렬  $A$ 를 멱영행렬이라 하고 이를 동반행렬로 나타내면 식(4)와 같다.

$$C_i = \begin{pmatrix} 0 & 0 & 0 & \dots & 0 & 0 \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix} \quad (4)$$

이 때, 동반행렬의 선형결합으로 구성되는  $A$ 는  $m$ 이라는 벡터에 의해 특성화되어 지는데 벡터  $m$ 은 식(5)와 같은 형태를 취한다.

$$m = \begin{pmatrix} m_1 \\ m_2 \\ m_3 \\ \vdots \\ m_L \end{pmatrix} \quad (5)$$

식(5)에서  $L$ 은 가장  $L \times L$  크기의 동반행렬을 의미하며, 식(6)의  $n$ 은 정방행렬  $A$ 의 차원을, 식(7)의  $w$ 는 기본 제산자(Elementary divisors)의 수를 벡터  $m$ 의 원소들로 나타낼 수 있다.

$$m_1 + m_2 + \dots + m_L = n \quad (6)$$

$$m_1 + 2m_2 + 3m_3 + \dots + Lm_L = w \quad (7)$$

III. 회로설계

1. DTG의 회로설계

본 절에서는 다치논리시스템의 입출력사이의 연관관계를 도식적으로 표현해 주는 DTG를 회로로 설계하는 과정을 논의한다. 또한 Nakajima 등이 제안한 기법과 달리 매개변수가 양의 정수를 갖도록 각 레벨에 각기 다른 잉여절점을 삽입하는 [ 회로설계 알고리즘 1 ]에 대하여 논의한다.

예를 들어 표 1과 같은 절점들간의 입출력 연관관계표로부터 DTG를 도시하면 그림 2와 같다.

표 1. 절점들간의 연관관계.  
Table 1. The Relationship for nodes.

입 력	A	B	C	D
출 력	A	A	B	B

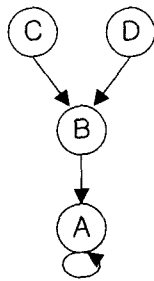


그림 2. 표 1에 대한 DTG  
Fig. 2. DTG for table 1.

DTG에서 절점들을 연결하는 화살표는 두 절점들간의 관계를 설명해주는 전달함수로 볼 수 있으며, 특히 전달함수를 행렬의 형태로 표현할 때 이를 전달행렬 **A**라 한다.

그림 2에서 각각의 절점들은 전달행렬 **A**에 의해서로 입출력의 연관관계를 가지며 어떤 절점에서라도 적당한 전달행렬 **A**를 취해주면 마지막 절점인 루트절점에 이르게 된다. 예를 들어, 절점 D로부터 출발한다면, 각 절점들은  $AD = B$ ,  $AB = A = A^2D$ ,  $A^3A = A = A^3D$  같이 수식으로 표현된다.

이때 주어진 DTG에서 트리의 특성을 이용하여 각 레벨에서의 절점들과 매개변수  $m_i$ 와의 관계를 식(8)과 같이 해석할 수 있으며, 식(9)는 각 레벨에서의 절점들과 매개변수  $k_i$ 와의 관계를 해석할 수 있다.

$$N_0 + N_1 + \dots + N_i = P^{m_1 + m_2 + \dots + m_i + im_1 + im_2 + \dots + im_i} \quad (8)$$

$$k_i = \log_P(1 + N_1 + N_2 + N_3 + \dots + N_L)$$

$$(i = 1, 2, 3, \dots, L) \quad (9)$$

여기서, 레벨당 절점수의 제한은 매개변수들로의 변환을 위하여 꼭 필요한 조건이며, 레벨당 가질 수 있는 절점들의 수는 식(10)과 식(11)에 의해 제한된다.

$$k_i \geq k_{i-1} \quad (i = 2, 3, \dots, L-1) \quad (10)$$

$$2k_{i-1} - k_{i-2} \geq k_{i+1} \quad (11)$$

따라서, 각 레벨간의 절점수는 다음의 등가 식을 만족해야 한다.

$$k_1 \leq k_2 \leq 2k_1$$

$$k_2 \leq k_3 \leq 2k_2 - k_1$$

$$\vdots \quad \vdots \quad \vdots$$

$$k_{L-1} \leq k_L \leq 2k_{L-1} - k_{L-2}$$

매개변수  $k_i$ 와  $m_i$ 의 관계는 레벨당 절점들의 관계를 수학적으로 정의하는 것으로 식(12)과 같이 표현된다.

$$K = Em \quad (12)$$

따라서 전달행렬 **A**를 구하기 위한 벡터 **m**은 식(13)에 의해 구할 수 있다.

$$\begin{pmatrix} m_1 \\ m_2 \\ m_3 \\ \vdots \\ m_{L-1} \\ m_L \end{pmatrix} = \begin{pmatrix} 2 & -1 & 0 & \dots & 0 & 0 \\ -1 & 2 & -1 & \dots & 0 & 0 \\ 0 & -1 & 2 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 2 & -1 \\ 0 & 0 & 0 & \dots & -1 & 1 \end{pmatrix} \begin{pmatrix} k_1 \\ k_2 \\ k_3 \\ \vdots \\ k_{L-1} \\ k_L \end{pmatrix} \quad (13)$$

식(9)에서 표현되어진 것과 같이 매개변수  $k_i$ 는 항상 양의 정수로 표현되어야 한다. 그러나 기존에 Nakajima 등에 의해 제안되어진, 각 레벨에 항상 같은 수의 잉여절점을 삽입하는 방식의 알고리즘들은 매개변수  $k_i$ 를 양의 정수로 표현하기 어렵다. 따라서 본 논문에서는 임의의 절점수를 갖는 DTG에서 식(9)의 매개변수  $k_i$ 를 양의 정수로 표현되지 않도록 [ 회로설계 알고리즘 1 ]을 제안한다.

**[ 회로설계 알고리즘 1 ]**

**[ 단계 1 ]** DTG로부터 각 레벨에 연관된 절점의 수를 파악한다.

**[ 단계 2 ]** 각 레벨에서의 절점수가 매개변수  $k_i$ 를 양의 정수로 갖는 P의 승수로 표현 되도록 각

레벨에 각기 다른 수의 잉여절점을 삽입한다.

[단계 3] 각 레벨에서의 절점들과 매개변수  $k_i$ 와의 관계를 나타내는 식(9)와 매개변수  $k_i$ 를 이용하여 전달행렬  $A$ 를 표현해주는 식(13)에 의하여 각각  $k_i$ 와 벡터  $m$ 을 구한다.

[단계 4] 단계 3에서 구한 벡터  $m$ 을 선형결합하여 전달행렬  $A$ 를 구한다.

[단계 5] 전달행렬  $A$ 를 회로로 구현한다.

예제 1은 [회로설계 알고리즘 1]을 통하여 회로를 구현하는 과정을 살펴본다.

[예제 1] 표 2의 입출력 절점들간의 연관관계를 DTG로 도시하면 그림 3과 같다.

표 2. 입출력 절점들간의 연관관계표  
Table 2. The relationship for nodes.

입력	A	B	C	D	E	F	G	H
출력	A	A	A	A	A	A	A	A
입력	I	J	K	L	M	L	O	P
출력	E	E	E	E	E	E	E	E

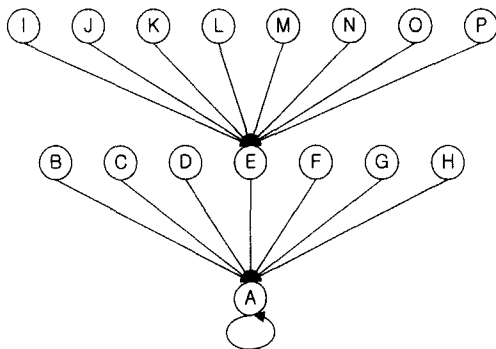


그림 3. 표 2에 대한 DTG  
Fig. 3. DTG for Table 2.

[단계 1] 각각  $N_0 = 1, N_1 = 7, N_2 = 8$  개의 절점수를 가진다.

[단계 2] 최소화된 회로를 구성하기 위해 각 레벨에 매개변수  $k_i$ 가 양의 정수가 되도록  $N_1$ 에 1개,  $N_2$ 에 10개의 잉여의 절점을 삽입하고 논리 레벨 P를 3치로 결정한 후 트리를 재구성한다.

[단계 3] 재구성된 트리에 식(9)과 식(13)을 적용

하여 매개변수  $k_i$ , 벡터  $m$ 을 구해보면,

$$k_1 = \log_p(N_0 + N_1) = \log_3(1+8) = 2$$

$$k_2 = \log_p(N_0 + N_1 + N_2) = \log_3(1+8+18) = 3$$

벡터  $m$ 은

$$\begin{pmatrix} m_1 \\ m_2 \end{pmatrix} = \begin{pmatrix} 2 & -1 \\ -1 & 1 \end{pmatrix} \begin{pmatrix} k_1 \\ k_2 \end{pmatrix} = \begin{pmatrix} 2 & -1 \\ -1 & 1 \end{pmatrix} \begin{pmatrix} 2 \\ 3 \end{pmatrix} = \begin{pmatrix} 1 \\ 1 \end{pmatrix} \text{ 이다.}$$

[단계 4] 단계 3에서 구한 벡터  $m$ 에 의해  $A$ 는 동반행렬  $C_1 = (0), C_2 = \begin{pmatrix} 0 & 0 \\ 1 & 0 \end{pmatrix}$ 의 선형결합으로 구성되며 다음과 같다.

$$A = \begin{pmatrix} 0 & & \\ & 0 & 0 \\ & & 1 & 0 \end{pmatrix} \quad (14)$$

[단계 5] 단계 4에서 구한 전달행렬  $A$ 를 회로로 구현하면 그림 4와 같다.

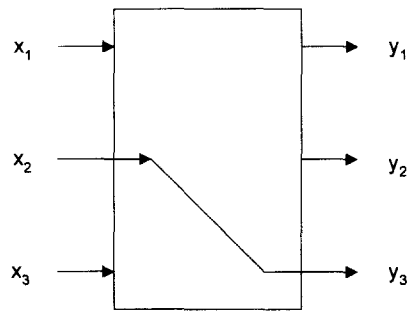


그림 4. 식(14)에 대한 GF(3)상의 회로설계  
Fig. 4. Circuit Design over GF(3) from Eq. (14).

2. 간략화된 DTG의 회로설계

III장 1절에서 제안한 [회로설계 알고리즘 1]은 임의의 절점수를 갖는 모든 DTG상에서 회로설계가 가능한 장점이 있다. 그러나 회로설계과정이 복잡하고 회로를 설계하는데 소요되는 시간이 길다는 단점을 가지고 있다. 본 절에서는 DTG 특성을 갖는 회로의 구성을 보다 수학적 접근을 통하여 더 간단하고 빠른 간략화된 회로설계 알고리즘에 대해서 논의한다.

트리구조의 레벨간 절점수의 관계를 표현해주는 매개변수  $k_i$ 와  $m_i$ 의 관계는 다음과 같다.

1)  $k_i$ 변수와  $m_i$ 변수와의 관계

$$k_i = m_1 + 2m_2 + \dots + (i-1)m_{i-1} + i(m_i + m_{i+1} + \dots + m_L) \quad (15)$$

식(15)에 의해 매개변수  $m_i$ 는 각각 다음과 같이 표현된다.

$$\begin{aligned} m_1 &= 2k_1 - k_2 \\ m_2 &= -k_1 + 2k_2 - k_3 \\ &\vdots \quad \quad \quad \vdots \\ m_L &= -k_{L-1} + k_L \end{aligned}$$

2)  $k_i$ 변수와 각 레벨당 절점들간의 관계

$$\begin{aligned} k_i &= \log_p(1 + N_1 + N_2 + N_3 + \dots + N_L) \\ &\quad (i = 1, 2, 3, \dots, L) \\ &\quad (N_0 = 1) \end{aligned}$$

따라서, 위에 표현한 각각의 매개변수와 절점들간의 관계를 수식적으로 결합하여 각 레벨당 절점들의 수와 매개변수  $m_i$ 와의 관계로 표현하면 식(16)과 같다.

$$\begin{aligned} m_1 &= \log_p \frac{(N_0 + N_1)^2}{(N_0 + N_1 + N_2)} \\ m_2 &= -\log_p(N_0 + N_1 + N_2) \\ &\quad + 2 \log_p(N_0 + N_1 + N_2 + N_3) \\ &\quad - \log_p(N_0 + N_1 + N_2 + N_3 + N_4) \\ &\quad \vdots \\ m_{L-1} &= -\log_p(N_0 + N_1 + \dots + N_{L-1}) \\ &\quad + 2 \log_p(N_0 + N_1 + \dots + N_L) \\ &\quad - \log_p(N_0 + N_1 + \dots + N_{L+1}) \\ m_L &= \log_p \frac{(N_0 + N_1 + \dots + N_L)}{(N_0 + N_1 + \dots + N_{L-1})} \end{aligned} \quad (16)$$

식(16)은 DTG의 구조에서 각 레벨당 절점들의 수를 파악하여 매개변수  $k_i$ 의 변환과정을 거치지 않고 직접 절점들의 레벨간의 구성에서 매개변수  $m_i$ 를 도출해 낼 수 있는 장점이 있으며 기존의 방법과 비교하여 보다 빠르고 정확한 회로를 설계할 수 있도록 구성된 식이다.

논리시스템의 입출력 절점들간의 연관관계로부터 DTG를 도출하고 이를 토대로 회로를 설계하는 알고리즘은 다음과 같다.

**[회로설계 알고리즘 2]**

**[단계 1]** DTG로부터 각 level에 달린 절점의 수를 파악한다.

**[단계 2]** 각 레벨에서의 절점수가 매개변수  $m_i$ 를

양의 정수로 갖는 P의 승수로 표현 되도록 각 레벨에 각기 다른 수의 잉여절점을 삽입한다.

**[단계 3]** 각 레벨당 절점들의 수와 매개변수  $m_i$ 와의 관계를 나타내는 식(16)을 적용하여 벡터  $\mathbf{m}$ 을 구한다.

**[단계 4]** 단계 3에서 구한 벡터  $\mathbf{m}$ 을 선형결합하여 전달행렬  $\mathbf{A}$ 를 구한다.

**[단계 5]** 전달행렬  $\mathbf{A}$ 를 회로로 구현한다.

Nakajima 등에 의해 제안된 연구내용은 각 레벨당 절점들의 수를 파악한 뒤 가장 많은 절점의 수를 가진 가지의 절점수를 다른 모든 가지에게 같은 절점수를 갖도록 잉여절점을 부여하는 알고리즘을 제시하였다. 그러나, 이러한 방법은 특정 가지에 많은 수의 절점이 몰릴 경우 상대적으로 많은 수의 잉여절점이 필요할 뿐만 아니라 최적의 회로 구성에 필요한 논리레벨 P를 구하기 어렵기 때문에 회로 구성이 특정한 경우에 제한되는 단점이 있다. 그러나, 본 논문에서 제한한 알고리즘은 매개변수가 양의 정수가 되도록 각각의 레벨당 독립된 잉여절점을 삽입하는 방식으로 모든 경우의 트리구조에서 최소의 회로구성이 가능하다는 장점이 있다.

다음의 예제 2는 기존의 알고리즘으로 회로구성이 불가능한 경우를 본 논문에서 제안한 회로설계 알고리즘 2를 통해 설계한 예이다.

**[예제 2]** 표 3의 입출력 절점들간의 연관관계를 DTG로 도출하고 [회로설계 알고리즘 2]를 통해 회로로 설계하는 과정을 살펴본다.

표 3. 입출력 절점들간의 연관관계표  
Table 3. The Relationship for nodes.

입력	A	B	C	D	E	F	G	H	I	J	K	L	M
출력	A	A	A	A	C	C	C	C	C	C	C	C	C

**[단계 1]** DTG의 레벨당 절점수는  $N_0 = 1, N_1 = 3, N_2 = 9$  이다.

**[단계 2]** 매개변수  $m_i$ 를 양의 정수로 얻기 위해  $N_1$ 에 5,  $N_2$ 에 8개의 잉여 절점을 삽입하고 최적의 논리레벨 P를 3치로 결정한다.

$$N_0 = 1, N_1 = 3(5), N_2 = 9(9)$$

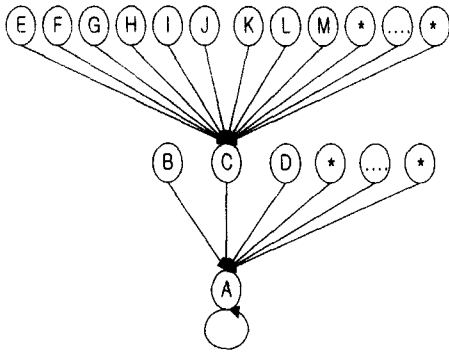


그림 5. 표3에 잉여절점을 삽입한 DTG  
Fig. 5. DTG's for table 3 which added extra nodes.

[단계 3] 식(16)을 적용하여 매개변수  $m_1$ 를 구한다.

$$m_1 = \log_P \frac{(N_0 + N_1)^2}{(N_0 + N_1 + N_2)}$$

$$= \log_3 \frac{(1+8)^2}{(1+8+18)} = 1$$

$$m_2 = \log_P \frac{(N_0 + N_1 + N_2)}{(N_0 + N_1)}$$

$$= \log_3 \frac{(1+8+18)}{(1+8)} = 1$$

[단계 4] 단계 3에 의해 구해진  $m_1$ 에 의해  $C_1, C_2, A$ 를 구한다.

$$C_1 = (0), \quad C_2 = \begin{pmatrix} 0 & 0 \\ 1 & 0 \end{pmatrix}, \quad A = \begin{pmatrix} 0 & 0 & 0 \\ 0 & 0 & 0 \\ 1 & 0 & 0 \end{pmatrix} \quad (17)$$

[단계 5] 그림 6은 전달행렬  $A$ 에 대한 회로설계이다.

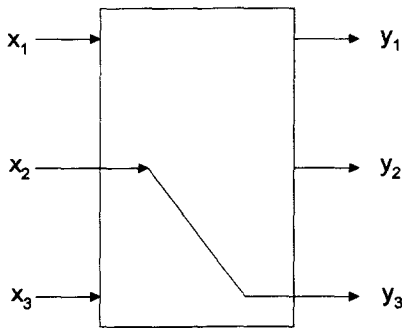


그림 6. 식(17)에 대한 GF(3)상의 회로설계  
Fig. 6. Circuit Design over GF(3) for Eq. (17).

#### IV. 기존 알고리즘과 제안한 알고리즘 비교

본 장에서는 절점들간의 입출력 관계가 트리의 특성을 갖는 고속병렬다치논리회로를 설계하기 위하여 제안된 Nakajima 등<sup>[7-9]</sup>의 알고리즘과 본 논문에서의 알고리즘들에 대하여 그 특성 및 설계방법, 설계된 회로의 구성에 대한 결과들을 비교 및 검토하였다.

##### 1. 회로설계 알고리즘의 비교

Nakajima 등에 의해 제안되어진 알고리즘은 먼저 주어진 DTG의 레벨을 파악하고 가지들 중에서 가장 많은 절점의 수 B를 가진 가지를 찾아 DTG의 모든 가지들의 절점수를 B로 통일시키기 위해 잉여의 절점들을 부여하고 매개변수  $k_1$ 와  $m_1$ 를 이용하여 절점들간의 연간관계를 해석하여 전달행렬  $A$ 를 취하는 방식이다. Nakajima 등에 의해 제안된 회로설계 알고리즘은 DTG의 특성을 만족하는 절점들간의 관계를 분할연산구성기법을 도입하여 논리회로로 구성하였다는 점에서 그 의미가 있다고 할 수 있으나, 단순히 이와 같은 알고리즘을 통해서 임의의 절점수를 갖는 DTG에 대한 회로설계에 대한 적용에 한계가 있으며 회로설계에 최적인 논리레벨 P의 선택에도 어려움이 따르고 경우에 따라 회로설계가 가능하지 않은 예도 있다.

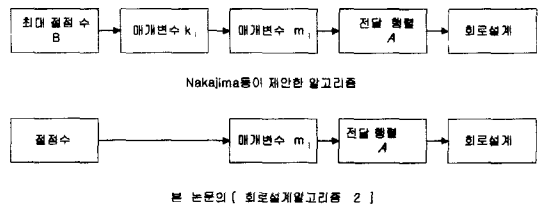


그림 7. 회로설계의 흐름도 비교

Fig. 7. A comparison of circuit design flow chart.

이러한 문제점에 대하여 본 논문에서는 Nakajima 등과는 다른 접근방법을 시도하였으며, 그 결과 임의의 절점수를 가지는 DTG에 대한 일반화된 회로설계 알고리즘을 제안하였다.

그림 7은 Nakajima 등이 제안한 알고리즘과 본 논문에서 제안한 알고리즘을 회로설계까지 단계적으로 진행되는 흐름을 비교한 것으로 본 논문에서 제안한 알고리즘이 Nakajima 등이 제안한 알고리즘보다 단계수가 적음을 알 수 있다. 또한, 주어진 절점수에 의해 회로구성에 용이한 논리레벨 P를 정하고 선형결합

으로 이루어진 전달함수의 구성이 되는 매개변수를 직접 구할 수 있는 장점이 있다. 따라서, Nakajima 등에 의해 제안된 회로설계 알고리즘이 갖고 있는 한계와 문제점을 해결할 수 있었다.

2 설계된 회로구성의 비교

Nakajima 등에 의해 제안되었던 알고리즘은 각 가지의 절점수를 가장 많은 절점수를 갖는 가지의 절점수와 동일하게 잉여절점을 부여하여 회로를 설계하는 방식이었다. 이 경우에 가장 많은 절점을 가지는 가지의 절점수가 최적의 회로구성에 사용되는 논리레벨 P의 승수로 구성되었을 때만 회로구성이 가능하다는 단점이 있다. 이에 반하여 본 논문에서는 매개변수  $m_i$ 를 정수로 만들기 위해 각 레벨에 각기 다른 잉여절점을 삽입하여 모든 경우의 DTG에 대하여 적절한 논리레벨 P를 사용한 최적의 회로를 설계할 수 있도록 제안되었다. 또한, 수학적인 해석을 통하여 절점들의 수에서 분할연산에 사용되는 매개변수  $m_i$ 를 구할 수 있도록 알고리즘을 재구성하여 보다 빠른 시간에 최적의 회로를 구현할 수 있도록 하였다.

표 4는 Nakajima 등에 의해 제안된 알고리즘과 본 논문에서 제안한 알고리즘을 회로구성여부와 최적의 논리레벨 P에 대하여 각각 비교한 표이다.

표 4. Nakajima 등에 의해 제안된 알고리즘과 본 논문에서 제안된 알고리즘의 비교

Table 4. A comparison of this paper and Nakajima's algorithm.

	Nakajima 등에 의해 제안된 알고리즘	본 논문에서 제안한 알고리즘
회로 구성	잉여절점을 포함한 모든 절점의 수가 논리레벨 P의 승수로 표현될 때에만 구성이 가능	모든 경우의 DTG에 대해서 회로설계 가능
논리레벨 P	논리레벨 P의 선택이 없다.	모든 경우의 DTG에 대해서 최적의 논리레벨 P로 구성이 가능

한편, DTG에서 제일 많은 수의 절점을 가지는 가지가 논리레벨 P의 승수만큼의 절점의 수로 존재하지 않을 경우 Nakajima 등이 제안한 알고리즘에 의한 회로설계는 가능하지 않다.

이는 레벨당 절점들의 관계를 매개변수  $k_i$ 로 변환

하는 과정에서  $k_i$ 가 양의 정수로 표현 될 수 없기 때문이다. 그러나 본 논문에서 제안한 알고리즘은 레벨당 절점의 수를 논리레벨 P의 승수로 표현이 가능하도록 모든 레벨에 각기 다른 잉여절점을 삽입하는 방식을 취하고 있기 때문에  $k_i$ 가 양의 정수로 표현될 수 있다.

또한, 트리구조를 수학적으로 해석하여 레벨당 절점들과 매개변수  $k_i$ , 매개변수  $k_j$ , 매개변수  $m_i$ 의 관계를 적절한 수식으로 정리하여 레벨당 절점의 수에서 매개변수  $m_i$ 의 관계를 바로 도출 할 수 있는 수식을 제안함으로써 회로설계시 보다 빠른 시간에 최적의 회로설계를 할 수 있게 되었다.

Nakajima 등이 제안한 알고리즘에 의해 회로설계가 가능하지 않은 그림 5과 같은 DTG에 대하여 본 논문에서 제안한 알고리즘을 적용하여 그림 6과 같이 설계할 수 있다. 표 5는 이러한 내용을 설계된 회로 구성의 측면에서 비교한 표이다.

표 5. 그림 5에 대한 본 논문과 Nakajima 등의 기법에 의해 설계된 회로구성의 비교

Table 5. A comparison of circuit composition using by this paper and Nakajima's method for Fig. 5.

구 분	구현회로	논리레벨 P	알고리즘 단계	회로 결선수	코드할당
Nakajima 등의 알고리즘	×	×	6	×	×
본 논문의 알고리즘	그림 6	3	5	3 개	가 능

표 5에서 알고리즘 단계의 비교는 기존에 연구되어진 알고리즘들이 2개의 매개변수를 구한 반면 본 논문에서 제안한 알고리즘은 단지 하나의 매개변수를 구함으로써 회로 설계시 매개변수를 구하기 위해 행하여지는 상당히 많은 시간을 줄일 수 있는 장점을 표현 한 것이다.

표 4와 5를 통해 Nakajima 등이 제안한 회로설계 알고리즘과 본 논문에서 제안한 회로설계 알고리즘에 따라 설계된 회로의 구성요소들을 비교하였다. 그 결과 본 논문에서 제안한 알고리즘이 최적성과 일반성에 대해 Nakajima 등의 알고리즘보다 우수함을 알 수 있다.



V. 결 론

본 논문에는 다치논리 이론에 기초한 병렬분할연산 조합회로의 설계에 관한 연구 중, 절점들간의 입출력 관계가 트리의 특성을 갖는 DTG의 경우에 입출력사이의 절점들간의 연관관계를 분할연산 기법과 수학적 해석을 통하여 함수로 변환하고 이를 회로로 구현하는 고속병렬다치논리회로를 설계하는 기법에 대하여 논의하였다.

본 논문에서 제안한 알고리즘은 기존에 제안된 알고리즘들이 임의의 절점수를 갖는 DTG에 대하여 같은수의 잉여절점수를 삽입하므로 매개변수들이 양의 정수로 표현되지 못하여 회로의 설계가 불가능하게 되는 문제점들을 개선하기 위해 트리의 성질을 수학적으로 해석, 이용하여 주어진 임의의 절점수를 가지는 DTG에 대하여 절점들의 관계를 규명해주는 매개변수들과 논리레벨 P의 승수로 표현되어 항상 양의 정수값을 갖도록 레벨간에 각기 다른 잉여절점수를 삽입하여 회로를 설계하는 [ 회로설계 알고리즘 1 ] 을 제안하였고 트리의 구조에 의해 논리레벨 P를 결정하고 최소의 회로를 구성할 수 있도록 하였다. 또한, 주어진 절점들의 연관관계를 규명해주는 매개변수들을 분석하고 수식적으로 정리하여 레벨당 절점들의 구성에서 1개의 매개변수만을 사용하여 회로 설계에 사용되는 선형결합들을 도출하는 [ 회로설계 알고리즘 2 ] 를 제안하여 간단하고 빠른 회로설계를 유도하였다.

회로설계 알고리즘의 관점에서 기존의 Nakajima 등이 제안한 알고리즘보다 본 논문에서 제안한 알고리즘이 간략화된 알고리즘을 보였으며 또한, 설계된 회로구성의 관점에서 기존의 Nakajima 등이 제안한 알고리즘으로는 회로설계가 가능하지 않은 DTG에 대하여 본 논문의 알고리즘을 통해 회로설계가 가능함을 보였다.

본 논문은 입출력의 연관관계가 단항연산일 경우에만 한하여 연구가 진행되었다. 보다 일반적인 DTG의 해석을 위하여 입출력의 연관관계가 다항연산일 경우에 대하여 연구가 진행되어야 한다고 사료된다.

참 고 문 헌

[ 1 ] M. Kameyama, "Toward The Age of Beyond-Binary Electronics and Systems,"

*IEEE Proc. 20th Int. Symposium on Multiple-Valued Logic*, pp.162-166, May, 1990.

[ 2 ] K. C. Smith and P. G. Gulak, "Prospects for multiple-valued intergrated circuits," Special issue on MultipleValued intergrated Circuits *IEICE TRANS. ELECTRON.*, vol. E76-C, no.3, pp.372-382, Mar. 1993.

[ 3 ] T. Hanyu, M. Nakajima and T. Higuchi, "Prospects of multiple-valued VLSI processors," Special issue on Multiple-Valued intergrated Circuits *IEICE TRANS. ELECTRON.*, vol. E76-C, no.3, pp.383-392, Mar. 1993.

[ 4 ] M. Nakajima and M. Kameyama, "Design of Multiple-valued Linear Digital Circuits for Highly Parallel Unary Operations," *IEEE Proc. 23th Int. Symposium on Multiple-Valued Logic*, pp.283-288, May. 1993.

[ 5 ] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital System for ULSI Processors," *IEICE Trans*, Vol.E76-C, No.7, pp.1119-1125, Jul. 1993.

[ 6 ] S. Tamaki, M. Kameyama, and T. Higuchi, "Code Assignment Algorithm for Highly Parallel Multiple-Valued Combinational Circuits," *IEEE Proc. 22th Int. Symposium on Multiple-Valued Logic*, pp.382-388, May. 1992.

[ 7 ] M. Nakajima and M. Kameyama, "Design of Multiple-valued Linear Digital Circuits for Highly Parallel  $k$ -ary Operations," *IEEE Proc. 24th Int. Symposium on Multiple-Valued Logic*, pp.223-230, May. 1994.

[ 8 ] M. Ryu and M. Kameyama, "Design of a Highly Parallel Multiple-valued Linear Digital Circuits for  $k$ -ary Operations Based on Extended Representation Matrices," *IEEE Proc. 25th Int. Symposium on Multiple-Valued Logic*, pp.20-25, May. 1995.

[ 9 ] M. Nakajima and M. Kameyama, "Design of Highly Parallel Linear Digital Circuits

Based on Symbol-Level Redundancy," *IEEE Proc. 26th Int. Symposium on Multiple-Valued Logic*, pp.104-109, May. 1996.

[ 10 ] R. J. Wilson and J. J. Watkins, *GRAPH An Introductory Approach*, John Wiley & Son, Inc. 1990.

[ 11 ] Douglas B. West, *Introduction to Graph Theory*, Prentice Hall, Inc. 1996.

[ 12 ] Robert J. McEliece, *Finite Fields for Computer Scientists and Engineers*, Kluwer Academic Publisher, 1978.

[ 13 ] A. Gill, *Linear Sequential Circuits*, McGraw-Hill Book Co., Newyork. 1966.

저 자 소 개



羅 基 秀(正會員)

1971년 10월 24일생. 1997년 2월 전양대학교 컴퓨터공학과 졸업(공학사). 1999년 2월 인하대학교 대학원 전자공학과 석사졸업(공학석사). 1999년 3월 ~ 현재 인하대학교 대학원 전자공학과 박사과정. 주관심

분야는 퍼지제어, 다치소자설계 및 VLSI 설계 등임

朴 春 明(正會員) 第 35卷 C編 第 3號 參照

申 富 植(正會員) 第 36卷 C編 第 5號 參照

金 興 壽(正會員) 第 34卷 C編 第 4號 參照

崔 在 碩(正會員) 第 35卷 C編 第 3號 參照