

# 무선 LAN용 직접대역확산 방식 모뎀 아키텍처 설계

## (Design of a DSSS MODEM Architecture for Wireless LAN)

張鉉萬\*, 柳壽林\*\*, 鮮于明勳\*

(Hyun Man Chang, Su Rim Ryu, and Myung Hoon Sunwoo)

### 요 약

본 논문에서는 무선 LAN 표준인 IEEE 802.11의 직접대역확산(Direct Sequence Spread Spectrum) 물리계층을 지원하는 기저대역 모뎀 ASIC 칩의 아키텍처와 설계에 대해 기술한다. 구현된 모뎀 칩은 크게 송신부와 수신부로 구성되어 있으며, CRC 부호화/복호화기, 차동 부호화/복호화기, 주파수 오프셋 보상기(frequency offset compensator) 및 타이밍 복구 회로를 포함한다. 구현된 모뎀 칩은 4, 2 및 1Mbps의 다양한 데이터 전송률을 지원하고, DBPSK와 DQPSK의 변조방식을 사용한다. 구현한 모뎀 아키텍처는 SAMSUNG™ 0.6 $\mu$ m 게이트 어레이 라이브러리(gate array library)를 사용하여 논리합성을 수행하였으며, 칩의 전체 게이트 수는 53,355개이다. 칩의 동작 주파수는 44MHz이며, 칩의 패키지는 100-pin QFP이고, 전력소모는 44MHz에서 1.2watt이다. 구현된 모뎀 아키텍처는 상용화된 HSP3824 칩 보다 우수한 BER 성능을 나타낸다.

### Abstract

This paper presents the architecture and design of a DSSS MODEM ASIC chip for wireless local area networks (WLAN). The implemented MODEM chip supports the DSSS physical layer specifications of the IEEE 802.11. The chip consists of a transmitter and a receiver which contain a CRC encoder/decoder, a differential encoder/decoder, a frequency offset compensator and a timing recovery circuit. The chip supports various data rates, i.e., 4, 2 and 1Mbps and provides both DBPSK and DQPSK for data modulation. We have performed logic synthesis using the SAMSUNG™ 0.6 $\mu$ m gate array library and the implemented chip consists of 53,355 gates. The MODEM chip operates at 44MHz, the package type is 100-pin QFP and the power consumption is 1.2watt at 44MHz. The implemented MODEM architecture shows lower BER compared with the Harris HSP3824.

### I. 서 론

유선 LAN에 이동성이 부가된 무선 LAN(Wire

less Local Area Network)은 유선 LAN과 비교하여 네트워크를 설치 또는 재배치하기가 용이하고 비용이 적게드는 장점이 있다. 이러한 이유로 무선 LAN은 유선 LAN의 대안으로서 점점 중요해지고 있다. 무선 LAN 표준안인 IEEE 802.11에는 직접대역확산(Direct Sequence Spread Spectrum), FHSS(Frequency Hopping Spread Spectrum), Infrared 등의 세 가지 물리계층이 규약되어 있다<sup>[1]</sup>. 이 중 대역확산 전파방식인 직접대역확산은 보안성이 높으며

\* 正會員, 亞州大學校 電子工學部  
(School of Electronics Eng., Ajou Univ.)

\*\* 正會員, (주)씨엔에스 테크놀로지  
(C&S Technology)

接受日字:1998年9月7日, 수정완료일:1999年5月25日

사용 대역에서의 신호전력 밀도가 작아 타 통신 시스템에 대한 간섭(interference)을 최소화할 수 있는 등의 장점으로<sup>[2]</sup>, 대역확산 전파방식의 무선 LAN 시스템과 무선 LAN용 칩들이 개발되었다<sup>[3-8]</sup>.

일반적으로 대역확산을 이용한 무선 LAN 시스템에서 데이터 전송률은 정합필터와 타이밍 복구회로에 의해 제한된다. 상용화된 STEL-2000A<sup>[4]</sup>와 HSP3824<sup>[5]</sup> 칩의 경우 확산 시퀀스에 비례한 지연 탭을 가지는 정합필터를 사용하며 정합필터로부터 출력되는 신호에 포함된 타이밍 정보를 open loop synchronizer를 이용하여 추출하는 타이밍 복구회로를 사용한다. 이에 비하여 STEL-2410<sup>[4]</sup> 칩과 논문 [7, 8]에서 설계한 칩에서는 I&D(Integrated and Dump) 방식의 정합필터를 2쌍 이상 사용하며 early time과 late time에 사용하는 정합필터의 출력에너지 차이를 이용 정합필터에 입력되는 확산부호를 제어하는 closed loop synchronizer 타이밍 복구회로를 사용한다.

전자의 경우 정합필터의 출력이 자연적으로 실린 타이밍 정보를 이용하므로 동기획득(acquisition)에 유리하며 타이밍 복구회로가 간단하지만 확산 시퀀스의 길이에 비례하여 정합필터의 크기가 커지고, 정합필터의 출력 에너지가 작을 때 심볼을 잃지 않기 위한 정교한 제어가 요구된다. 후자의 경우 확산 시퀀스의 길이와 상관없는 간단한 정합필터가 사용되며 전자에 비하여 SNR(Signal to Noise Ratio)이 높을수록 좋은 BER(Bit Error Rate) 성능<sup>[9]</sup>을 나타내지만 타이밍 복구회로가 복잡하고 동기획득이 상대적으로 느린 단점이 있다.

본 논문에서는 IEEE 802.11을 지원하며 처리이득과 데이터 전송률을 증가시킬 수 있는 기저대역 직접 대역확산 모델 칩의 아키텍처를 기술한다. 본 논문에서 구현된 모델 칩의 알고리즘 모델과 이론은 참고문헌에서 자세하게 다루고 있다<sup>[10]</sup>. 구현된 모델 칩은 크게 송신부와 수신부로 구성되며, CRC 부호화/복호화, 차동 부호화/복호화, 정합 필터, AFC(Automatic Frequency Control) 및 타이밍 복구회로 등을 포함한다. 정합 필터는 PN(Pseudo Noise) 시퀀스의 길이를 갖는 지연 탭 구조로 설계하였으며, AFC는 수신된 데이터에 남아있는 반송파에 의한 주파수 오프셋을 제거하는 역할을 수행한다. 직접대역확산 방식 모델에서 타이밍 복구는 동기획득(acquisition)과 동기추적(tracking)의 두 단계로 수행된다.

구현된 모델 칩은 DQPSK와 DBPSK의 데이터 변

조 방식을 지원하며 최대 16 칩(chip)의 확산 시퀀스(spread sequence)를 이용한 직접확산 방식을 사용한다. 또한 DQPSK의 경우 4Mbps, DBPSK의 경우 2Mbps의 데이터 전송률을 지원하고, 32Mcps의 확산 시퀀스 주기를 갖는 코드를 지원하며, 12dB의 처리이득을 제공한다. 구현된 직접대역확산 기저대역 모델 칩의 알고리즘 모델은 SPW<sup>TM</sup> 카드 틀을 사용하여 검증하였고, 아키텍처 모델은 VHDL을 이용하여 모델링한 후 SYNOPSIS<sup>TM</sup> 카드 틀을 사용하여 검증하였다. 제안한 모델 칩은 SAMSUNG<sup>TM</sup> 0.6  $\mu$ m 게이트 어레이 라이브러리로 제작되었고, 전체 53,355개의 게이트로 구성되며, 칩의 동작 주파수는 44MHz이다. 또한 구현된 모델 칩의 심볼 전송률은 STEL-2000A<sup>[5]</sup> 칩 보다 2배 빠르고, BER 성능은 HSP3824<sup>[6]</sup> 보다 우수하다.

본 논문은 다음과 같이 구성된다. 2장에서는 설계한 직접대역확산 방식의 무선 LAN용 기저대역 모델 칩의 아키텍처를 설명하고, 3장에서는 구현된 모델 칩의 설계 및 성능평가를 서술한다. 마지막으로 4장에서 결론을 맺는다.

## II. 기저대역 모델 칩 아키텍처

이 장에서는 직접대역확산 방식의 무선 LAN 용 기저대역 모델 아키텍처에 대해 서술한다. 제 1 절에서는 설계한 무선 LAN용 모델의 특징을 설명하고 제 2 절에서는 모델의 송신부에 관해서 기술하며 제 3 절에서는 수신부에 대해 설명한다.

### 1. 무선 LAN 모델 특징

표 1. 무선 LAN용 기저대역 모델 사양  
Table 1. The Baseband MODEM Specifications for Wireless LAN Systems.

항목	무선 LAN용 기저대역 모델 사양
데이터 변조방식	DQPSK, DBPSK
확산 방식	DSSS
확산 시퀀스	11 칩 Barker (최대 16 칩)
데이터 전송률	2Mbps (DBPSK) 4Mbps (DQPSK)
심볼 전송률	2 Msps
칩 전송률	22Mcps (최대 32Mcps)

본 논문에서는 IEEE 802.11의 물리계층 방식중 직접대역확산 방식의 무선 LAN 기저대역 모델 구조 구현을 수행하였다. 구현한 무선 LAN 기저대역 모델 구조의 특징은 표 1과 같다. 데이터 변복조방식은 DQPSK와 DBPSK를 지원하며, 11 칩의 Barker 시퀀스(최대 16 칩)를 사용하여 직접대역확산 방식의 대역확산을 수행한다. 데이터 전송률은 최대 4Mbps, 심볼 전송률은 최대 2Mps를 지원하며, 칩 전송률은 최대 32Mcps로써 확산 비는 16이다.

2. 모델 송신부 아키텍처

본 절에서는 모델 송신부 아키텍처에 대해 설명한다. 그림 1은 직접대역확산 방식의 무선 LAN용 모델 송신부이다. 송신부에서는 송신입력 데이터를 받아 PLCP(Physical Layer Convergence Procedure) preamble 144비트와 PLCP header 48비트에 대해서 CCITT CRC-16 부호화를 수행하여 CRC 필드를 형성하고, MPDU(MAC Layer Protocol Data Unit)를 포함한 패킷 전체에 대해 스크램블을 수행한다. 스크램블이 수행된 데이터는 S/P(Serial to Parallel)를 거친 후 차동 부호화(differential encoding)되는데 IEEE 802.11에서는 PLCP preamble과 PLCP header에 대해서는 DBPSK 변조방식을 권고하고, MPDU에 대해서는 DBPSK나 DQPSK방식의 변조방식을 권고하고 있다.

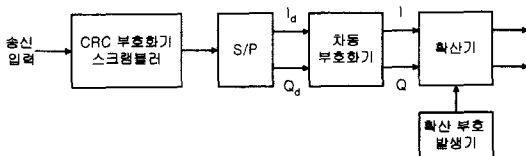


그림 1. 모델 송신부  
Fig. 1. The Transmitter Block.

또한 초기 출력 위상은  $\pi/4$ 이므로 출력위상은 항상  $(2n+1)\pi/4$  (단,  $n=0,1,2,3$ )에 위치한다. DBPSK 변조방식은 DQPSK 변조방식의 0과  $\pi$ 만의 위상변화를 사용한다. 변조된 데이터는 IEEE 802.11에서 권고하는 10dB이상의 처리이득을 얻기위해 최대 16배로 확산 가능한 확산기에 의해 확산되어 D/A 컨버터를 통과하여 IF모듈로 전송된다.

3. 모델 수신부 아키텍처

그림 2는 본 논문에서 제안하는 모델 수신부의 구

조이다. 제안한 모델 수신부는 정합필터, 타이밍 복구 회로, AFC(Automatic Frequency Control), 차동 복호화기, 역확산기 및 CRC 복호화기 등으로 구성된다. 정합필터는 수신된 입력 신호와 확산 시퀀스인 PN(Pseudo Noise) 시퀀스와의 상관 값(correlation value)을 계산한다. 타이밍 복구회로는 최적의 심볼 타이밍을 찾는 역할을 수행하고, AFC는 주파수 오프셋을 제거한다. 차동 복호화기는 현재 심볼과 바로 앞 심볼과의 위상차를 계산하는 역할을 수행한다. 수신부에서는 sine 파와 cosine 파의 직교성을 이용하여 송신부에서 송신한 I와 Q채널의 신호를 분리하고 정합필터의 입력으로 인가한다. 이 때 수신부의 국부 반송파는 채널환경에서 생기는 주파수 오프셋과 위상 에러 때문에 직교성을 이루지 못하고 I채널과 Q채널의 신호를 완벽하게 분리하지 못하게 된다. 그림 2에서 A/D converter를 통과한 신호는 반송파를 제거한 기저대역 신호이다. 이러한 기저대역 신호는 주파수 오프셋과 위상 에러가 포함되어 있으며, 정합필터와 역확산기를 통과한 후 주파수 오프셋은 AFC 블록에 의해서 제거되고, 위상에러는 차동 복호화기에 의해 제거된다. 타이밍 복구회로는 정합필터의 출력을 이용하여 심볼 타이밍을 생성하여 정합필터 이후 모든 수신부의 회로에 클럭을 제공한다. 이 신호에 의해 동기된 정합필터의 출력신호를 차동복호화한 후 P/S(Parallel to Serial)를 통과하고 디스크램블링과 CRC 복호를 송신부의 역과정으로 수행하여 송신된 신호를 수신한다.

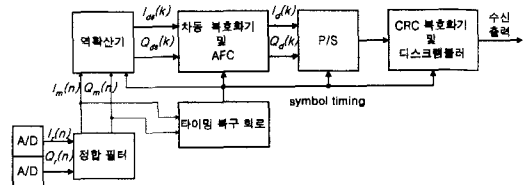


그림 2. 모델 수신부  
Fig. 2. The Receiver Block.

1) 정합 필터

본 논문에서 설계한 정합 필터는 그림 3과 같이 지연 탭을 사용하여 상관 값을 구하는 구조로서 I와 Q 채널에 각각 1개씩 있다. 정합필터의 입력신호는 칩 주파수의 두 배인 샘플링 주파수로 칩당 두 번씩 샘플링하여 3 비트로 양자화된 ADC의 출력으로 2L개의 레지스터에 저장된다. 지연 탭 구조의 정합 필터는 I&D 방식의 정합필터에 비하여 타이밍 복구에 유리하

지만 하드웨어 크기가 다소 큰 단점이 있다. 따라서 본 연구에서는 하드웨어 크기를 줄이기 위해 3 비트 덧셈기를 기본으로 하는 트리형 덧셈기(Adder Tree)를 사용하여 지연 탭 방식 정합 필터의 구조를 설계하였다.

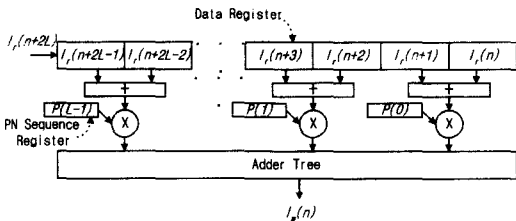


그림 3. 정합필터  
Fig. 3. The Matched Filter.

정합필터는 수신된 신호와 수신기의 PN 시퀀스와의 상관 값을 계산하며, 확산 시퀀스의 상관함수 형태의 신호가 매 심볼 주기마다 출력된다. 즉, 지연 탭에 저장된 한 심볼주기 시간에 해당하는 데이터와 확산 시퀀스가 일치하면 정합필터의 출력은 최대값이 되고 그때의 값을 추출하면 역확산 된 값을 얻게 된다.

2) 타이밍 복구 회로

타이밍 복구회로의 기능은 채널을 통과한 수신 신호에서 심볼의 시작점과 심볼간의 시간 간격을 찾는 역할을 수행하며, 앞에서 설명한 바와 같이 기존의 상용 모델 칩<sup>[5, 6]</sup>은 데이터 처리속도를 고려하여 open loop synchronizer 구조를 사용하며, BER 성능 향상을 위해 closed loop synchronizer 구조를 사용하는 경우도 있다. 그러나, closed loop synchronizer 구조는 하드웨어 복잡성과 궤환경로가 있기 때문에 고속의 데이터 전송률을 얻기가 어렵다. 또한 open loop synchronizer 구조는 고속의 데이터 전송률을 얻을 수 있는 반면 BER 성능이 closed loop synchronizer 구조보다 나쁘다.

직접대역확산 방식 모델에서 심볼 타이밍 복구는 동기획득과 동기추적의 두 단계로 이루어진다. 일반적으로 동기획득은 탐색방식에 따라 직렬탐색(serial search)과 병렬탐색(parallel search)으로 구분된다<sup>[11-13]</sup>. 병렬탐색은 국부(local) PN 시퀀스의 모든 위상을 동시에 관찰하고, 직렬탐색은 한 번에 한 개의 위상만 관찰한다. 동기추적은 일반적으로 DLL(Delay Lock Loop)과 TDL(Tau-Dither Loop) 같은 궤환 루프(feedback loop) 방식을 사용한다<sup>[11-13]</sup>. 상용화된 무선 LAN용

직접대역확산 모델 칩중 STEL-2000A<sup>[5]</sup>와 HSP 3824<sup>[6]</sup>는 동기획득을 위해 병렬탐색을 사용하고 정합필터의 출력 전력과 임계(threshold) 값을 비교한 신호를 대역통과 필터를 사용하여 동기추적을 수행한다. STEL-2410<sup>[5]</sup>과 참고문헌<sup>[8]</sup>은 동기획득을 위해 직렬탐색을 사용하고, 동기추적은 DLL을 사용한다.

본 논문에서 설계한 타이밍 복구회로는 동기획득을 위해 병렬탐색을 사용하고, 동기추적을 위해 정합필터의 출력 전력과 임계값을 비교한 신호로부터 심볼 타이밍을 추출하는 방식을 사용하였다. 설계한 동기추적 회로는 수신된 신호의 최대전력을 계산하고, 최대전력을 갖는 샘플의 위치를 찾는다. 또한 잡음과 클럭 옵셋에 의한 샘플의 위치 변화를 수정할 수 있다. 제안한 타이밍 복구회로를 사용하여 성능검증을 수행한 결과 Harris사의 HSP3824<sup>[6]</sup> 칩 보다 우수한 BER 성능을 얻었다.

3) 차동 복호화기 및 AFC 회로

정합 필터와 타이밍 복구회로에 의해 역확산된 데이터는 여전히 국부 반송파의 주파수 옵셋과 위상차에 의한 위상 옵셋이 남아있는데 그 중 위상차에 의한 위상 옵셋은 시간에 대한 상수로서 다음에 설명할 차동 복호화기에 의해 제거된다. 그러나, 주파수 옵셋에 의한 성분은 시간에 대한 함수로서 주파수 옵셋만큼의 반송파가 데이터에 남아 있음을 의미한다. 차동 복호화와 AFC 회로는 이러한 주파수 옵셋과 위상 옵셋을 제거하는 역할을 수행한다. 그림 4는 차동 복호화기 및 AFC 회로를 나타낸다. 차동 복호화기는 켈레 복소 곱셈기와 레지스터로 구성되고, AFC는 주파수 옵셋 검출기, 루프필터, NCO(Numerical Controlled Oscillator) 및 주파수 옵셋 보상기를 포함한다.

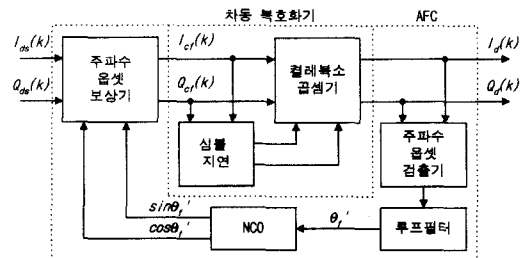


그림 4. 차동 복호화기 및 AFC 아키텍처  
Fig. 4. The Differential Decoder and the AFC Architecture.

그림 4의 주파수 옵셋 보상기는 역확산된 신호인

$I_{ds}(k)$ 와  $Q_{ds}(k)$ 에 남아있는 주파수 오프셋을 NCO의 출력 신호와 비교하여 제거한다. 송신단의 차동 부호화기는 입력 데이터의 위상을 출력 위상에 누적시키는 구조이므로 수신단에서 차동 복호화기는 현재 수신 심볼 데이터의 위상에서 한 심볼 데이터 전의 위상을 빼줌으로써 원래 신호를 복원할 수 있다. 따라서 차동 복호화기는 그림 4와 같이 레지스터로 구성된 심볼 지연 블록과 결레 복소 곱셈기로 구성된다.

주파수 오프셋을 제거하는 역할을 수행하는 AFC 회로내의 주파수 오프셋 검출기와 루프필터는 차동 복호화된 신호로부터 주파수 오프셋에 비례하는 위상 오류를 찾아내는 역할을 수행한다<sup>[14]</sup>. 이러한 위상 오류 성분은 역확산된 신호에 남아있는 주파수 오프셋에 비례하는 값으로써, NCO를 제어하며 NCO는 국부 반송파에 의한 주파수 오프셋과 비례하는 신호를 생성한다.

그림 5는 주파수 오프셋 검출기 및 루프필터의 아키텍처를 나타내며, 그림 4의 차동 복호화기 출력 신호의 크기와 부호를 사용하여 주파수 오프셋을 검출한다. 루프필터는 DQPSK/DBPSK의 두가지 변조방식을 위해 2개의 루프 이득(loop gain)을 제공하며, 그림 5의 루프필터 출력단의 MUX가 두가지 루프이득을 제어한다. 주파수 오프셋 검출기의 negator 블록은 2의 보수를 수행하는 블록으로써, I채널 입력의 MSB (Most Significant Bit)가 1이면 Q채널 입력데이터를 2의 보수를 취하고, Q채널 입력의 MSB가 0이면 I채널 입력데이터를 2의 보수를 취한다. AFC의 출력 값인 검출된 주파수 오프셋은 그림 6의 NCO를 제어한다.

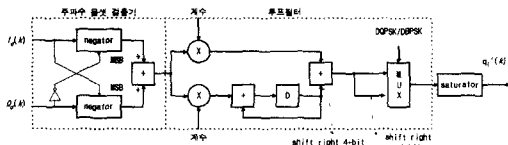


그림 5. 주파수 오프셋 검출기 및 루프필터  
Fig. 5. The Architecture of the Frequency Offset Detector and the Loop Filter.

그림 6은 NCO를 나타내며, AFC로부터 받은 입력 값으로부터 주파수 오프셋 에러를 제거하는 역할을 수행한다. 만일 데이터 전송률이 증가하면 AFC 출력 값이 작아져서 NCO의 수렴 속도(convergence speed)가 느려지고, 반대의 경우 수렴 속도가 빨라진다. 그림 6에 나타난 ROM은 1/4의 sine 값을 저장하고 있으며, 나머지 3/4을 처리하기 위해 MUX와 제어신호로

ROM을 제어한다.

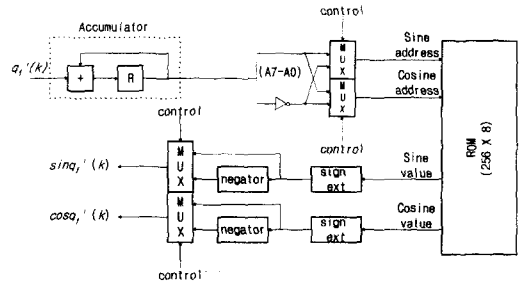


그림 6. NCO 아키텍처  
Fig. 6. The NCO Architecture.

### III. 모델 칩 구현 및 성능평가

본 논문에서 구현한 DSSS 모델 칩은 하나의 칩안에 DQPSK/DBPSK 변/복조부, 확산기/역확산기, AFC, 정합필터 및 타이밍 복구회로가 집적되었다. 제안한 모델 아키텍처는 SPW<sup>TM</sup>을 이용 알고리즘 모델을 구현하고 백색잡음의 채널환경과 주파수 오프셋 및 클럭 오프셋에 대한 시뮬레이션을 수행하였다. 그림 7과 그림 9에 나타난 시뮬레이션 파형은 위로부터 차례로 dtx\_sim은 송신부의 I와 Q채널을 나타내고 dtx\_dpsk는 차동부호화된 신호, dtx\_spr은 11 칩 Barker 부호에 의해 확산된 신호, dch\_foff는 반송파 주파수 오프셋, dtx\_ch는 채널을 통과한 후 수신단의 ADC에 의해 샘플링된 신호, drx\_match는 수신단 정합필터의 출력신호, drx\_sympos는 역확산 신호의 추정 위치, drx\_symtime은 심볼의 추정위치에서 발생된 클럭, drx\_despr은 역확산된 신호, drx\_nco는 NCO 출력 파형, drx\_fcorr은 반송파 주파수 오프셋이 보상된 신호, drx\_dpsk는 차동복호화된 신호, drx\_foff는 반송파 주파수 오프셋에 의한 위상차이 값, drx\_lpfoff는 주파수 오프셋에 의한 위상차의 저역통과 루프 필터의 출력, drx\_decision은 차동복호화된 후 판정된 신호를 나타낸다.

그림 7은 15dB의 Eb/No를 갖는 AWGN 채널환경에서 반송파 주파수 오프셋과 클럭오프셋이 없는 상태에서 시뮬레이션을 수행한 결과이다. 그림 7을 보면 수신된 신호에 주파수 오프셋은 없지만 수신단의 주파수 오프셋 검출기에서 매우 작은 위상오차가 검출되고 NCO에서도 매우 낮은 주파수의 출력 파형이 생성된다. 이것은 잡음에 의한 진폭의 변화와 양자화 에러를 위상 검

출기가 작은 반송파 주파수 옵셋으로 검출하기 때문이며 시뮬레이션 구간이 뒤로 갈수록 그 위상차와 NCO 파형의 주파수는 작아진다. 또한 심볼 타이밍 복구회로에서 제공되는 심볼의 위치값과 심볼 클럭의 주기도 클럭 옵셋이 없으므로 같은 값을 유지함을 알 수 있다.



그림 7. 반송파 주파수 및 클럭의 옵셋이 없는 SPW 시뮬레이션 파형  
Fig. 7. The SPW™ Simulation Waveform without Carrier Frequency and Clock Offset.

셋이 보상된 후의 신호, 차동복호화가 수행된 후의 신호를 각각 성좌 다이어그램으로 나타낸 그림이다. 그림 8은 그림 7의 시뮬레이션 결과로부터 얻은 성좌 다이어그램이다. 그림 8에서 보이듯이 채널에서 잡음의 영향을 받은 신호의 성좌는 I와 Q의 절대값이 1인 송신단 본래의 신호에 비하여 매우 분산되어 있다. 또한 역확산된 신호에는 주파수 옵셋이 없으므로 시간에 따라서 성좌가 회전하는 것은 볼 수 없으나 수신단의 주파수 옵셋 검출기는 잡음과 양자화 에러에 의한 I의 Q의 절대값의 차이를 주파수 옵셋으로 측정하게 되므로 매우 낮은 주파수의 파형을 발생시키고 이에 의해 주파수 옵셋 보정 후의 신호는 성좌상에서 시간에 따라 회전하는 모습을 볼 수 있다. 하지만 매 샘플간의 위상차는 매우 작아서 차동복호화를 한 후에는 그림 8의 가장 하단 부의 그림과 같이 고정된 성좌를 얻게 된다.

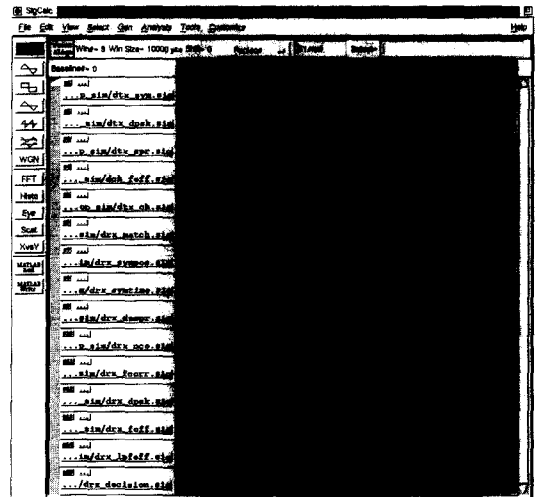


그림 9. 반송파 주파수 및 클럭의 옵셋이 있는 SPW 시뮬레이션 파형  
Fig. 9. The SPW™ Simulation Waveform with Carrier Frequency and Clock Offset.

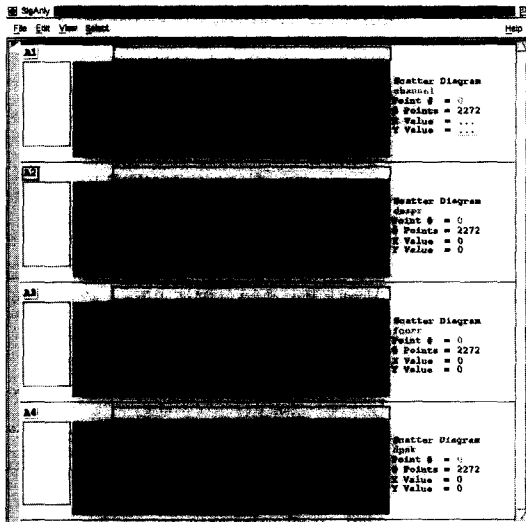


그림 8. 반송파 주파수 및 클럭의 옵셋이 없는 수신단 신호의 성좌  
Fig. 8. The Scatter Diagram of the Receiver without Carrier Frequency and Clock Offset.

그림 8과 10은 상단으로부터 차례로 채널을 통과한 후 ADC에 입력되는 신호, 역확산된 신호, 주파수 옵

그림 9는 15dB의 Eb/No와 심볼전송률의 1%의 반송파 주파수 옵셋, 10,000ppm의 클럭 옵셋이 존재하는 채널 환경을 모델링하여 시뮬레이션 한 결과로서 각각 시뮬레이션 구간을 확대 및 축소한 그림이다. 반송파 주파수 옵셋 모델링은 그림 9의 dch\_foff와 같이 심볼 전송률의 1%의 주파수와 1로 정규화된 진폭을 갖는 cosine과 sine 파형으로 생성하여 채널상에서 송신신호에 복소수 곱셈을 수행하여 구현하였다. 수신

단에서는 이러한 주파수 오프셋 성분을 검출하여 drx\_nco와 같은 파형을 생성하여 수신된 신호에 다시 클럭 복소수 곱셈을 수행하여 오프셋을 보상해준다. 주파수 오프셋은 검출된 후 저역통과의 루프필터를 통과하는데 이 값은 주파수 오프셋 보정기가 Lock 될 때까지 일정한 값으로 수렴되는 과정을 볼 수 있다. 또한 그림 9의 drx\_sympos에서는 클럭 오프셋의 영향으로 역확산된 심볼로 추정되는 샘플의 위치, 즉 심볼의 위치가 변화하였음을 알 수 있다.

그림 10은 그림 9의 결과에서 얻은 성좌 다이어그램이다. 상단의 채널상의 신호의 성좌는 그림 8과 비교하였을 때 같은 Eb/No 이더라도 반송파 주파수 오프셋에 의하여 성좌가 시간에 따라 회전되므로 눈으로 심볼의 구분이 불가능하다. 역확산된 신호에도 아직 주파수 오프셋 성분이 제거되지 않은 상태이므로 성좌가 회전함을 볼 수 있다. 주파수 오프셋이 보상된 이후에도 매우 낮은 주파수의 오프셋이 남아 있으므로 여전히 성좌는 회전하게 되지만 이제는 매 심볼간의 위상차는 매우 작기 때문에 차동복호화를 수행한 후의 성좌는 그림의 하단부와 같이 판별이 가능한 수준이 된다.

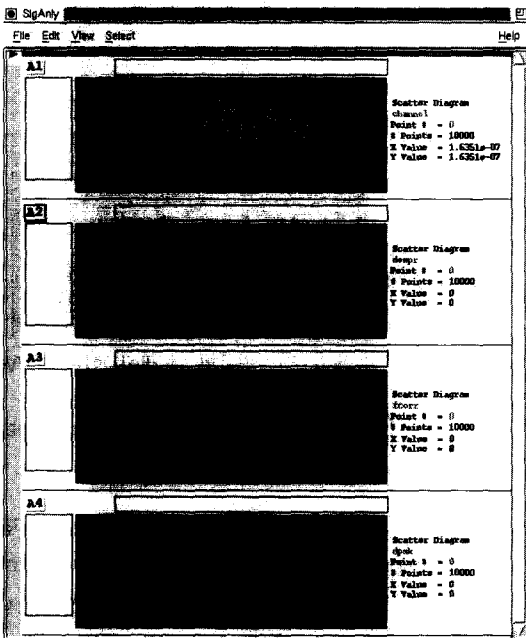
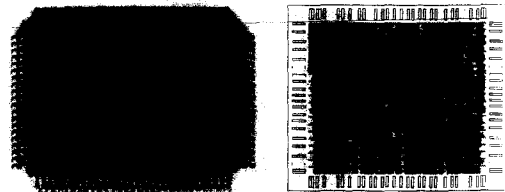


그림 10. 반송파 주파수 및 클럭의 오프셋이 있는 수신단 신호의 성좌  
Fig. 10. The Scatter Diagram of the Receiver with Carrier Frequency and Clock Offset.

SPW™ 시뮬레이션을 수행하여 검증된 알고리즘

모델은 VHDL을 이용하여 동작모델에 대한 검증을 수행하였고, 0.6  $\mu$ m 게이트 어레이를 사용하여 논리합성을 수행하였다. 사용한 CAD Tool은 SYNOPSIS™을 사용하였다. 전체 게이트 수는 53,355 개이고 동작 주파수는 44MHz 이다. 칩 패키지는 100-pin QFP type이고 전력소모는 44MHz에서 1.2watt이다. 그림 11은 개발한 모뎀 칩의 레이아웃과 칩 사진이다.



(a) 칩 사진 (b) 레이아웃  
그림 11. 개발한 칩의 레이아웃(a)과 칩 사진(b)  
Fig. 11. The Layout and Photograph of the Proposed MODEM Chip.

표 2는 다양한 직접대역확산 방식의 모뎀 칩과 본 논문에서 구현된 칩을 비교한 것이다. 모든 칩은 IEEE 802.11 표준안을 지원하고, STEL-2000A를 제외하고 모두 4Mbps의 데이터 전송률을 갖는다. 표 2에서 비교한 칩들 중 참고문헌 [8]에서 제안한 칩만이 closed loop synchronizer 방식의 타이밍 복구 회로를 사용한다.

표 2. 다양한 직접대역확산 방식 모뎀 칩의 비교

Table 2. Comparisons of DSSS MODEM Chips.

사양	STEL-2000A	HSP3824	참고문헌 [9]	구현한 칩
처리이득	Max. 18dB	Max. 12dB	Max. 10.4dB	Max. 12dB
데이터 전송률	Max. 2Mbps	Max. 4Mbps	Max. 4Mbps	Max. 4Mbps
클럭 주파수	45MHz	44MHz	88MHz	44MHz
샘플링율	2 샘플/칩	2 샘플/칩	4 샘플/칩	2 샘플/칩
양자화 레벨	3-비트	3-비트	6-비트	3-비트
칩 공정	1 $\mu$ m CMOS	CMOS	0.8 $\mu$ m CMOS	0.6 $\mu$ m CMOS

그림 12는 제안한 모뎀 칩과 HSP3824<sup>[6]</sup>, 이론적인 DQPSK 및 참고문헌 [8]에서 제안한 칩들의 BER 성능을 비교한것이다. 제안한 모뎀 칩은 HSP3824 보다 우수한 BER 성능을 나타낸다. Eb/No가 낮을 때는 양자화 효과보다 백색잡음 효과가 더 영향이 크기 때문에 제안한 모뎀 칩의 BER 성능이 이론적인 DQPSK의 BER 성능에 근접하게 된

다. 또한 참고문헌 [8] 에서 제안한 칩과 비교했을 때 Eb/No가 12dB 보다 작은 곳에서는 제안한 모델 칩이 참고문헌 [8] 보다 우수한 BER 성능을 보인다.

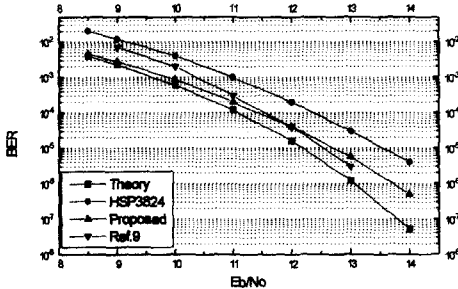


그림 12. Eb/No vs. BER  
Fig. 12. Eb/No vs. BER.

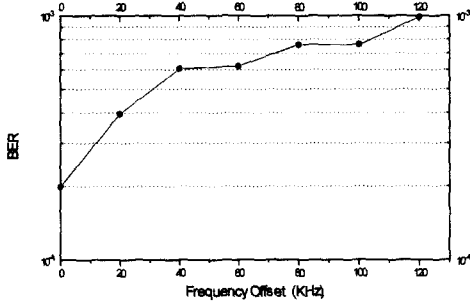


그림 13. 주파수 오프셋 vs. BER  
Fig. 13. The Frequency Offset vs. BER.

그림 13은 제안한 모델 칩의 주파수 오프셋과 BER의 관계를 나타낸다. 그림 13은 11dB 백색잡음과 1Msps 심볼 전송률이라고 가정하고 시뮬레이션을 수행한 결과이다. 그림 13에서 나타내듯이 제안한 아키텍처는 100KHz 주파수 오프셋에서  $7.61 \times 10^{-4}$ 의 BER 성능을 나타낸다. 그리고, 제안한 아키텍처의 주파수 오프셋 허용오차가 심볼 전송률의 약 12.5 %인 것을 검증하였다. 그림 14는 구현된 칩의 기능 검증을 위한 테스트 보드를 나타낸다. 그림에서 나타내듯이 큰 보드 위의 작은 보드와 Altera FPGA 칩은 MAC layer 및 모뎀 칩을 제어하기 위한 controller 역할을 하며, FPGA 칩과 제작된 WLAN 모뎀 칩 사이의 메모리는 데이터 형식을 변환시키기 위한 것이다. 제작된 모뎀 칩으로부터 송신한 데이터는 FPGA 칩을 통과하여 틀린 클럭으로 메모리를 거쳐 제작된 모뎀 칩으로 입력된다. 모뎀 칩은 클럭 오프셋이 포함된 데이터를 수신하여 원래의 데이터를 복구하는 것을 확인하였으며,

반송과 복구회로의 동작도 검증하였다. DBPSK 변조 방식으로 데이터 송수신이 수행되는 것을 확인하였으며 현재 계속 칩 테스트를 수행중이다.

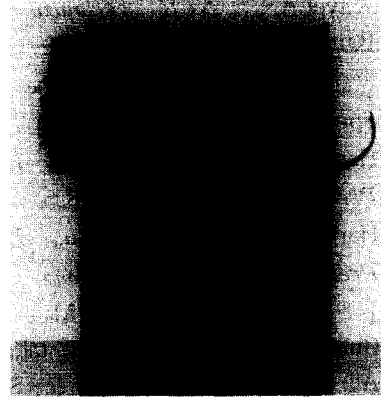


그림 14. 칩 테스트 보드 사진  
Fig. 14. The Photograph of the Chip Test Board.

#### IV. 결론

본 논문에서는 무선 LAN용 직접대역확산 방식 모델 ASIC 칩의 아키텍처와 구현에 대해 기술하였다. 한 칩에 DBPSK/DQPSK 변/복조기, AFC, 정합필터, 타이밍 복구회로 등을 집적시켰다. 본 논문에서 설계한 타이밍 복구회로는 잡음과 클럭오프셋에 의한 샘플의 위치 변화를 수정할 수 있도록 설계하여, BER 성능이 상용화된 Harris사의 HSP3824 칩 보다 1dB 우수함을 검증하였다. 구현된 칩은 53,355개의 게이트로 구성되며, 데이터 전송률을 4Mbps, 2Mbps 및 1Mbps로 가변시킬 수 있고 동작 주파수는 44MHz이다. 본 논문에서 설계한 모델 ASIC 칩은 무선 LAN 시스템, 개인용 휴대컴퓨터의 모뎀, 공장자동화 시스템, 의학용 휴대단말기 등 다양한 시스템에 활용될 수 있다.

#### 참고 문헌

- [1] IEEE PROJECT 802-LOCAL & METROPOLITAN AREA NETWORKS : *Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications*, 1995.
- [2] M. K. Simon, J. K. Omura, R. A. Scholtz



- and B. K. Levitt, *Spread Spectrum Communications*, vol. 1, 2, 3., Computer Science Press, 1985.
- [ 3 ] B. Tuch, "An Engineering History of WaveLAN," *NCR Technical Report*, 1991.
- [ 4 ] Stanford Telecom Inc., *The Spread Spectrum Handbook*, 1994.
- [ 5 ] Harris Semiconductor Co., *HSP3824 Preliminary Data Sheet*, 1995.
- [ 6 ] Harris Semiconductor Co., *HSP3724 Preliminary Data Sheet*, 1995.
- [ 7 ] J. S. Wu, M. L. Liu, H. P. Ma and T. D. Chiueh, "Design and Implementation of an All-Digital QPSK Direct-Sequence Spread-Spectrum Transceiver IC," *PIMRC'96*, Vol. 3, pp. 1024-1028, Oct., 1996.
- [ 8 ] Jen-Shi Wu, Ming-Luen Liou, His-Pin Ma and Tzi-Dar Chiueh, "A 2.6-V, 44-MHz All-Digital QPSK Direct-Sequence Spread-Spectrum Transceiver IC," *IEEE Journal of Solid-State Circuits.*, Vol. 32, No.10, pp. 1499-1510, Oct., 1997.
- [ 9 ] Bernard Sklar, *Digital Communications - Fundamentals and Applications*, Prentice-Hall Inc, 1989.
- [ 10 ] Hyun Man Chang, Su Rim Ryu and Myung H. Sunwoo, "Implementation of a DBPSK/DQPSK DSSS MODEM ASIC Chip," *Telecommunications Review*, 제 8 권 4호, pp. 635-642, 1998.
- [ 11 ] Alex W. Lam and Sawasd Tantaratana, *Theory and Applications of Spread-Spectrum Systems*, The Institute of Electrical and Electronics Engineers, Inc., 1994.
- [ 12 ] Robert C. Dixon, *Spread Spectrum Systems with Commercial Applications*, John Wiley & Sons, Inc., 1994.
- [ 13 ] Francis D. Natali, "AFC Tracking Algorithms," *IEEE COM.*, Vol. COM-32, No. 8, Aug., 1984.

---

 저 자 소 개
 

---

張 鉉 萬(正會員) 第 35卷 C編 第 2號 參照

鮮于 明勳(正會員) 第 34卷 C編 第 8號 參照

柳 壽 林(正會員)

1995년 2월 아주대학교 전자공학 학사. 1997년 2월 아주대학교 전자공학 석사. 1997년 3월~현재 (주)씨엔에스 테크놀로지. 주관심 분야는 통신 및 신호처리용 ASIC 설계