

고속 Embedded Processor에서 EMI 최소화 회로

(EMI Minimization Circuits for a High Speed Embedded Processor)

金聖植*, 鄭義錫**, 趙慶錄*

(Sung Sik Kim, Eui Seok Cheong, and Kyoung Rok Cho)

요 약

휴대용 통신장비를 비롯한 각종 전자기기는 고집적화 및 소형화 되고 있으며, 이러한 전자기기는 무수히 많은 원하지않은 전자파를 발생시키고 있다. 이에 따라 EMI 영향을 최소화하기 위한 연구가 요구되며, 본 연구에서는 전자기기를 구성하는 각 회로들의 반도체 설계 단계에서의 EMI발생 원인을 분석하여 병렬 버퍼의 출력 구동회로와 decoupling 커패시터를 이용하여 EMI를 최소화하는 회로를 제안한다. 이를 i8052에 적용하여 칩을 제작하고 측정한 결과 delta 전류는 1/3으로 감소하였고 EMI는 10dBuV이상 개선된 결과를 얻었다.

Abstract

All kinds of electronic machinery including portable communication system are being smaller size and are used at high frequency. It generates a lot of unwanted noise signals called electromagnetic interface (EMI). This paper presents an analysis result of EMI generation in VLSI and propose new circuits to minimize of EMI using I/O driver with parallel buffer architecture and distributed decoupling capacitor in a chip. The proposed circuits are evaluated with i8052 MCU which is shown reducing of delta current 1/3 times and improvement of EMI more 10dBuV compared with conventional processors.

I. 서 론

전자기기에서 발생시키는 무수히 많은 전자파 중에는 원하여 발생되어지는 전자파와 원하지 않아도 발생하는 전자파가 있다. EMI란 각종 전자기기에서 원하

지 않는 전자파의 발생 현상을 말하며, 인체 및 전자기기 상호간에 나쁜 영향을 주므로 EMI 영향을 최소화하기 위한 연구가 필요하게 되었다.

EMI를 억제하는 방법을 경제성 및 기술력과 비교하면 경제성 측면에서는 반도체 설계단계에서의 개선, 제조 단계에서의 개선, 시스템 단계에서의 개선 순이며, 기술력 측면에서는 시스템 단계에서의 개선, 제조 단계에서의 개선, 반도체 설계 단계에서의 개선 순으로 효과가 있다. 따라서, 본 연구에서는 전자기기를 구성하는 각 회로들의 반도체 설계 단계에서의 EMI발생원인을 분석하여 EMI를 최소화하는 회로를 제안하고 이를 i8052에 적용하여 개선된 결과를 기술한다.

반도체 설계 단계에서의 EMI발생 원인을 크게 분

* 正會員, 忠北大學校 情報通信工學科

(Department of Computer and Communications Eng., Chungbuk National University)

** 正會員, 韓國電子通信研究院 交換電送技術研究所

(Electronics and Telecommunications Research Institute Switching & transmission Technology Laboratory)

接受日: 1998年10月19日, 수정완료일: 1998年12月28日

류하면 전원/접지 bouncing에 의한 EMI발생, 고속 동작을 위한 클럭 신호의 스위칭에 의한 EMI발생, 고속 동작을 위한 출력 구동 트랜지스터의 크기 증가에 따른 EMI발생, cross-talk에 의한 EMI발생, 임피던스 부 정합에 의한 EMI발생으로 나누어 진다^[1,2,3,4].

본 연구에서는 반도체 설계 단계의 EMI영향 중 고속클럭 신호의 스위칭에 의한 EMI영향과 전원/접지 bouncing에 의한 EMI영향을 분석하고 새로운 회로를 제안하여 테스트 칩의 제작을 통한 EMI변화를 측정하여 결과를 분석한다.

본 논문은 제2장에서는 클럭 신호의 스위칭에 의한 EMI개선, 제3장에서는 전원과 접지의 Bouncing에 의한 EMI개선, 제4장에서는 시뮬레이션 및 측정 결과를 기술한다.

II. 고속 클럭 신호의 스위칭에 의한 EMI 개선회로

시스템이 고속으로 동작을 위해서는 클럭 신호의 고속 스위칭이 필요하며, 고속 스위칭을 위해서는 큰 구동 트랜지스터가 사용되며 일반적으로 출력 구동 회로 칩의 시스템 클럭을 발생시키는 클럭 발생회로 및 fan out이 많이 걸리는 회로는 구동 트랜지스터의 크기가 큰 트랜지스터로 구성되어 있다^[5].

1. 출력 구동 회로

출력 구동 회로는 칩의 외부로 디지털 출력인 high, low, high 임피던스 상태를 전달하기 위한 회로이며 그림 1은 일반적인 CMOS출력 회로이다^[6]. 출력 구동 트랜지스터는 큰 부하를 구동해야 하므로 전류 구동 능력이 크며 대부분 수십mA 이상이 흐르도록 설계된다. 그러나, 하나의 칩은 수십 개 이상의 출력 핀을 갖게 되고 출력 핀의 숫자가 늘어날수록 전류 소모가 늘어난다. 출력 회로에서 전류는 대부분 칩 내의 전원단을 통해서 부하 커패시터에 충전하거나, 부하 커패시터로부터 칩 내의 접지 핀으로 방전하는 전류이며, 전류의 크기는 트랜지스터의 중형 비에 의해서 결정되며 식(1)과 같이 나타낼 수 있다^[7].

$$I_d = (\mu * C_{ox} / 2) * (W/L) * ([V_{gs} - V_t] V_{ds} - V_{ds}^2 / 2)$$

$$\leftarrow 0 < V_{ds} < V_{gs} - V_t$$

$$I_d = (\mu * C_{ox} / 2) * (W/L) * (V_{gs} - V_t)^2$$

$$\leftarrow 0 < V_{gs} - V_t < V_{ds} \tag{1}$$

따라서, 구동 트랜지스터가 크면 출력 단에 많은 전류를 빨리 공급할 수 있으므로 출력되는 신호의 상승 시간, 하강 시간이 감소 되어 속도를 높일 수 있다. 그러나 구동 트랜지스터의 크기가 커지게 되면 스위칭 시에 순간 도통 전류에 의한 고주파 성분의 전류가 증가하므로 큰 전자파를 발생시키는 원인이 된다. 따라서 출력 구동 트랜지스터에서의 EMI 최소화 방안으로는 1차적으로 구동 트랜지스터의 크기를 동작 시스템의 사양을 만족시키는 범위 내에서 최소화 시켜야 하며, 구동 회로를 어떻게 구성하느냐에 따라 EMI를 줄일 수 있다. 그림 1에 대하여 상승시의 RC Tree 모델은 그림 2와 같으며, 여기서 Ri는 입력 신호의 저항 성분, Ci는 입력 신호의 커패시터 성분, CL은 부하 커패시터 성분, Rp는 pMOS 트랜지스터의 온 저항을 나타내며 Rp는 식(2)와 같이 트랜지스터의 폭에 반비례하고 길이에 비례한다.

$$1/R_p \propto W/L \tag{2}$$

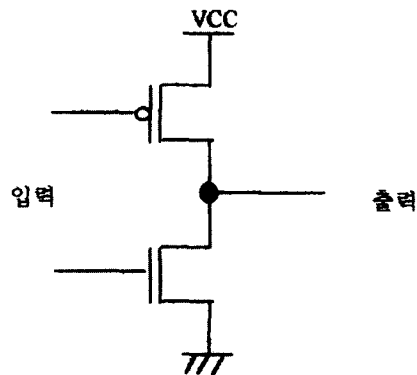


그림 1. 일반적인 출력 구동
Fig. 1. Normal output driver.

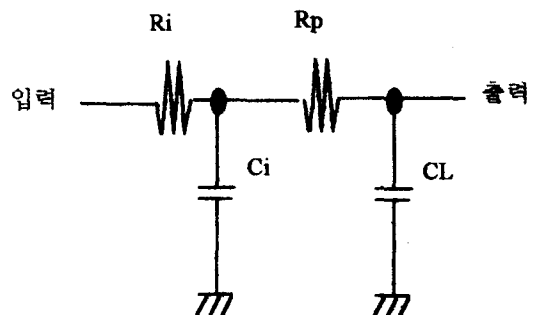


그림 2. 그림 1의 상승시간의 RC Tree 모델
Fig. 2. RC tree modeling for rising time in the Fig. 1.

그림 2의 RC모델은 $Ti(=Ri \cdot Ci)$ 만큼의 지연을 가지는 입력 신호가 인가되어 지고 인가된 입력 신호에 의하여 출력 구동 트랜지스터의 pMOS가 온 되어서 VCC/Rp 의 값을 가지는 전류가 흐르게 된다. 여기서 Ri 와 Ci 는 아주 작은 값으로 입력 신호의 지연은 무시 할 수 있다.

2. 병렬 출력 구동 회로

그림 1은 크기가 큰 하나의 트랜지스터로 구성되어 있으나 그림 3은 입력 단에 저항과 커패시터성분을 이용하여 N개의 트랜지스터로 구성되는 다단 병렬 버퍼에 의한 출력 구동 회로이며 트랜지스터 폭의 총합은 그림 1의 회로와 동일하다.

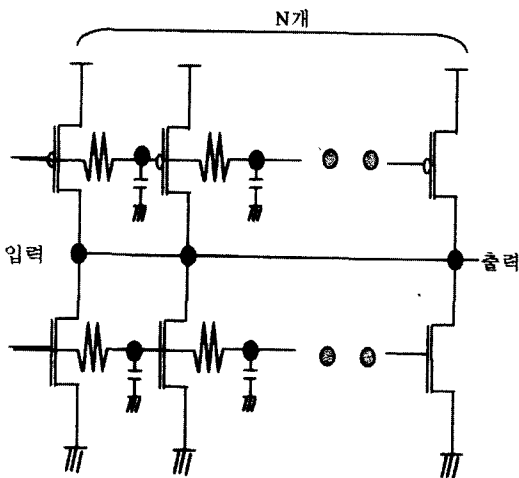


그림 3. N개의 병렬 버퍼로 구성되는 출력 구동 회로
Fig. 3. Output driver circuit with N parallel buffer.

그림 5는 그림 3을 RC Tree 구조로 나타낸 것으로 $Ri1$ 및 $Ci1$ 는 입력 신호의 저항과 커패시터, Rg 는 트랜지스터의 게이트저항, Rf 는 트랜지스터의 게이트와 게이트 사이의 저항, Cf 는 Rf 에 의한 커패시터를 나타낸다. 각 트랜지스터에 있어서의 저항성분은 식(3)과 같이 $N \cdot Rp$ 가 되고 전류의 크기는 $1/N$ 배로 줄어들게 된다.

$$1/Rp1 \propto 1/N \cdot (W/L) = 1/(N \cdot Rp) \quad (3)$$

그림 5에서 입력 신호에 대한 지연을 계산하면 N번째의 트랜지스터 지연이 최대 지연 경로가 되며 식(4)과 같이 얻어진다.

$$Td1 = Ri1 \cdot Ci1,$$

$$Td2 = (Ri1 + Rg + Rf) \cdot (Ci1 + Cf) \\ \approx Td1 + (Rg \cdot Cf),$$

$$Td3 = Td1 + 2(Rg + Rf) \cdot (Ci1 + 2Cf) \\ \approx Td1 + 4(Rg \cdot Cf),$$

$$TdN \approx Td1 + (N - 1)^2 (Rg \cdot Cf) \quad (4)$$

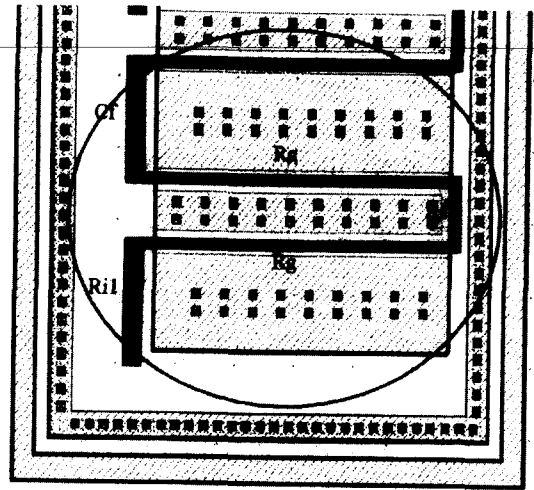


그림 4. N개의 출력 구동 트랜지스터로 분리된 회로를 이용하여 transition 시간과 delta전류를 고려한 도면

Fig. 4. Transition time and delta current using N Parallel output driver circuit.

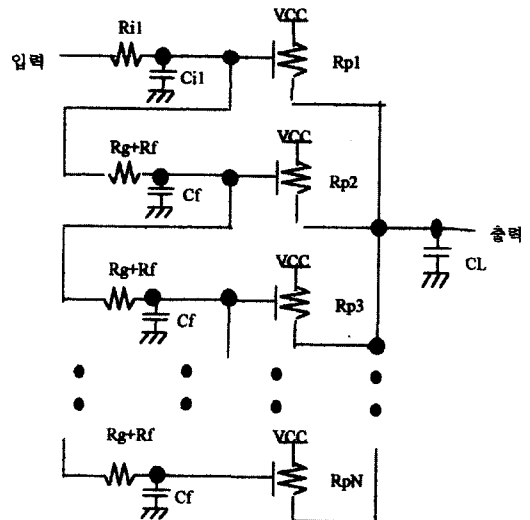


그림 5. 그림 3의 상승 시간의 RC Tree 모델
Fig. 5. RC tree modeling for rising time in the Fig. 3.

따라서 출력 단에서 얻어지는 지연은 TdN 보다 크

지 않다. 그림 4는 그림 3을 레이아웃한 것으로 그림 4와 그림 5에서 나타내듯이 Rg는 Rf 및 Ri1와 비교하여 매우 큰 값 이므로 Rg+Ri1+Rf는 식(4)과 같이 Rg 로 표현할 수 있으며 Ci는 Cf에 비하여 무시할 수 있는 값이다. 식(3)과 식(4)에서 입력 신호를 인가 시 N개로 분리한 출력 구동 트랜지스터 입력 신호의 인가시간을 $(N-1)^2(Rg \cdot Cf)$ 시간 사이에 순차적으로 출력 구동 트랜지스터가 턴 온 되며, 전체 구동 트랜지스터의 크기를 1/N으로 나누어 배치함으로써 N개로 나누어진 각 트랜지스터의 온 저항 값을 크게 하여서 각 트랜지스터에 순차적으로 흐르는 전류를 줄였다.

3. 병렬 출력 구동회로 시뮬레이션

그림 1과 그림 3의 전체 트랜지스터의 크기는 동일하게 하면서 N개로 분리하였을 경우 각각의 delta 전류 변화는 그림 6과 같다. 이때 출력 구동회로의 전체 nMOS크기는 150/1.4u, pMOS 크기는 300/1.4u를 사용하였으며 각각의 divide된 트랜지스터의 입력은 트랜지스터 레이아웃상에 분포된 RC 효과를 이용하여 지연 시간을 주었으며, 부하 커패시터는 10pF, 부하 저항은 100Ω을 인가 하였다. 출력 구동 트랜지스터를 N개로 분리시켜 입력 단의 R, C를 이용하여 N개의 출력 트랜지스터의 턴 온 지연을 줌으로써 전원과 접지 경로에 의한 delta 전류를 약 3배정도 개선할 수 있으며 N=5 정도에서 포화 됨을 알 수 있다.

그림 6이 나타내듯이 출력 구동 트랜지스터의 개수를 늘리면서 입력 단의 R와 C를 작게 한 경우보다 개수를 줄이면서 입력 단의 R와 C를 크게 한 경우가 칩 크기나 delta 전류를 줄이는 효과가 우수하다.

그림 7은 병렬 구동 트랜지스터 개수에 따른 스위칭 속도를 나타낸 것으로 병렬 트랜지스터 입력 단의 Rg, Cf의 값에 크게 의존함을 알 수 있다. 따라서 칩에서 시스템동작 속도가 빠르고 출력 구동 트랜지스터의 구현 면적이 넓은 경우에는 병렬 트랜지스터 개수를 많이 하고 입력 게이트의 Rg와 Cg를 작게 하여 스위칭 시간의 변화는 거의 없으나 delta전류를 줄이는 방안을 사용하고, 시스템 동작 속도가 느리고 출력 구동 트랜지스터의 구현 면적이 작은 경우에는 트랜지스터 개수를 줄이고 입력 게이트의 Rg와 Cg를 크게 하여 지연시간이 늘어나지만 delta전류를 더 줄여서 EMI을 개선하는 것이 효과적이다.

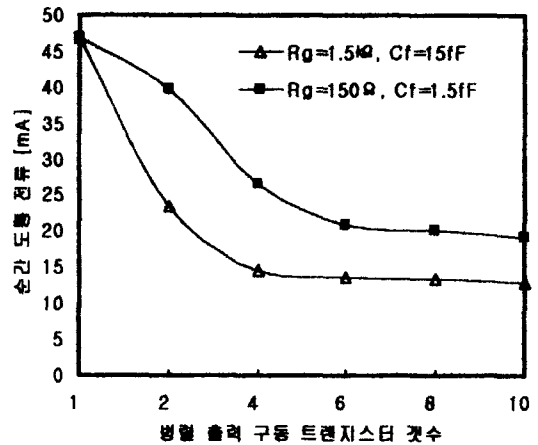


그림 6. 입력 저항과 병렬 트랜지스터 개수에 따른 순간 도통 전류

Fig. 6. Instantaneous current according to the number of Input resistance and parallel transistor.

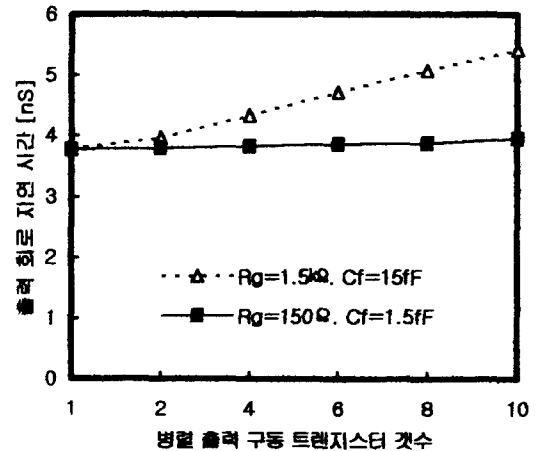


그림 7. 신호 스위칭 시간 변화도

Fig. 7. Signal switching time.

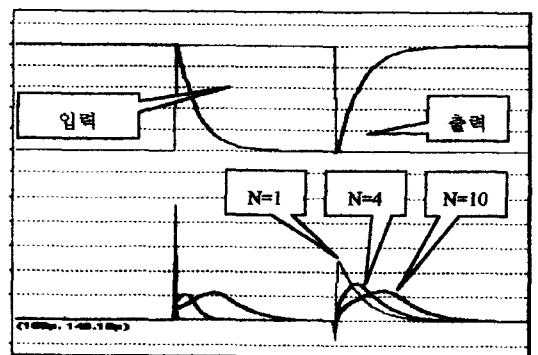


그림 8. 출력 구동 트랜지스터 divide단 수와 delta 전류의 변화

Fig. 8. Delta current and the number of output driver Transistor divider.

그림 8은 시간 영역에서의 병렬 구동 트랜지스터 수의 증가에 따른 delta전류의 파형을 나타낸다. N이 클수록 전류 펄스 폭이 넓어지고 진폭이 줄어 저주파 성분으로 변화되어 EMI성분이 감소함을 알 수 있다. 본 논문에서는 40MHz이상 동작을 요구하는 i8052에 그림 4의 $R_g=150\Omega$, $C_f=1.5fF$ 을 적용하여 병렬 구동 트랜지스터의 개수를 10으로 칩을 설계하였다.

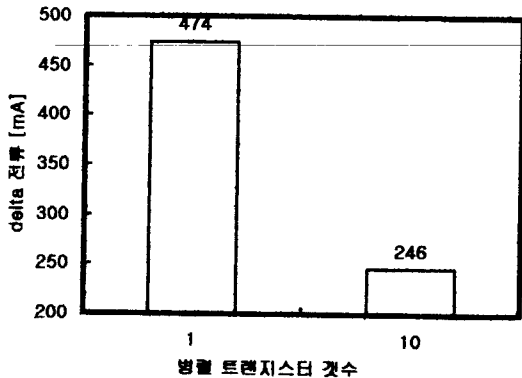


그림 9. i8052전체 칩에 대한 delta 전류 시뮬레이션 결과
Fig. 9. Simulated delta current for i8052 full chip.

I8052에서의 출력단자는 32개로 시뮬레이션 톨로 delta전류의 변화를 측정한 결과 그림 9와 같이 2배정도 개선 되었다.

III. 전원 / 접지 Bouncing에 의한 EMI 개선회로

반도체 회로 설계에서 전원과 접지 선은 평행하게 설계하여 전원과 접지사이의 인덕턴스를 최소화 하지 만 칩 내부의 각 sub-block들의 배열 및 sub-block 과 sub-block간의 연결 등으로 인하여 칩 내의 전원 과 접지 선사이의 인덕턴스를 최소화 할 수가 없게 된 다. 따라서 칩 내의 회로 동작 시 전원과 접지사이의 delta전류를 줄이기 위해서는 전원과 접지 path내의 인덕턴스를 최소화 하거나 decoupling 커패시터를 사용하여 인덕턴스에 의한 전압 강하를 줄이고 고주파 성분의 bypass filter역할을 하도록 하여야 한다^[8,9].

1. 일반형 bouncing방지 회로

그림 10은 칩 내부의 회로 동작 시 decoupling 커패시터의 유/무에 따른 전류 흐름을 나타내고 있다.

Decoupling 커패시터를 사용 시에는 decoupling

커패시터의 위치를 구동 트랜지스터의 크기가 큰 회로 부위, 시스템 클럭과 같이 논리적인 상태 변화가 빈번 하게 일어나는 회로 부위에 위치하도록 설계하여 bypass filter역할을 하도록 하는 것이 EMI개선에 효 과적이다.

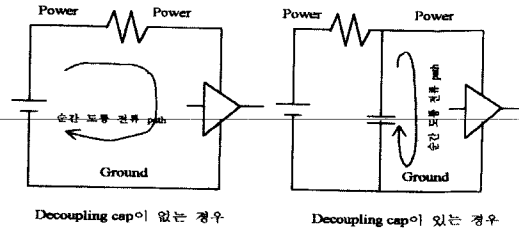


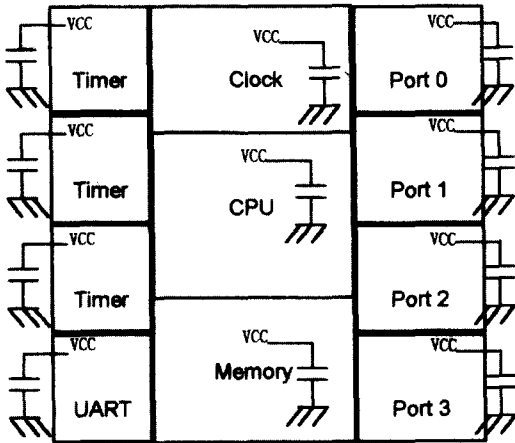
그림 10. Transient Power supply 전류 Loop
Fig. 10. Transient power supply current loop.

칩 내부에서의 요구되어지는 decoupling 커패시터 의 값은 정상상태일 때의 전원과 접지 사이의 전류크 기와 커패시터를 이용하여 bypass filter시키려는 시 간의 곱을 VCC전압 강하 분으로 나눈 값 보다 커야 EMI개선을 할 수 있다. 즉 $C > (I * dt/dV)$ 이상이 되어야 한다. 그러나 칩 내의 decoupling 커패시터값 이 클수록 EMI 특성이 개선되어지는 것은 아니며, 칩 내의 임피던스 및 칩의 package시 형성되어지는 wire bond에 의한 임피던스의 합에 의한 전체 임피던스의 합과의 조합으로 얻을 수 있는 공진 주파수 이내의 범 위에서 decoupling 커패시터를 사용하여야 EMI개선 효과를 얻을 수 있고 공진 주파수 이상의 decoupling 커패시터를 사용 시는 오히려 parasitic 임피던스에 의하여 EMI가 증가하게 된다.

2. 분산형 bouncing 방지 회로 제안

본 논문에서는 EMI개선을 위하여 그림 11과 같이 회로 블록의 크기에 따라 decoupling 커패시터를 분 산 배치하는 방법을 제안한다. 커패시터를 칩 내에서 power단과 ground단 사이에 병렬로 많이 분산시켜 칩 내의 전체 커패시터값은 동일하지만 칩의 공진 주 파수 대역을 높여서 decoupling 커패시터값이 공진 주파수 대역 보다 낮은 임피던스로 유지하도록 하여 시스템 동작 영역에서의 EMI 개선을 하도록 하였다. 즉 공진 주파수= $1/2\pi \sqrt{LC}$ 이므로 칩의 전체 L 값 이 동일할 경우에는 C의 구조를 N개의 병렬로 위치 시킴으로써 전체 C의 값은 동일하지만 전류 loop에서 의 C 값은 C/N 이 되어서 공진 주파수를 \sqrt{N} 배

만큼 끌어올리게 된다, 따라서 시스템의 동작 주파수가 고속인 경우 스위칭 시간을 줄이기 위해 구동 트랜지스터의 크기가 커져 delta 전류가 증가 되지만 decoupling 커패시터의 효율적인 배치로 시스템의 공진 주파수를 높여 시스템사용 영역에서의 EMI발생을 시스템사용 주파수 보다 훨씬 높은 고주파 영역으로 이동시킴으로써 시스템 사용 영역에서의 EMI발생을 억제할 수 있다.



회로 block별 분산형 decoupling capacitor을 적용 [cap.은 sub. Block의 vcc와 ground line 사이에 추가]

그림 11. 분산형 decoupling capacitor을 사용한 경우 Fig. 11. Using the separated decoupling capacitor.

표 1. 각 sub block의 분산형 decoupling capacitor 값

Table 1. Separated decoupling capacitor value in the sub block.

block	Type #1	Type #2
CPU	30pf	150pf
memory	100pf	270pf
Port	150pf	400pf
System clock	30pf	90pf
Timer0/1	30pf	30pf
Timer2	30pf	30pf
Uart	30pf	30pf
Total Cap.	400pf	1nf

그림 11에서 i8052의 decoupling 커패시터 적용은 1차적으로 각 sub-block에 대하여 decoupling 커패시터를 적용하였으며 각 sub-block별로 다시 커패시터를 병렬로 분산시켜서 설계하였다.

본 논문에서 i8052 칩에 병렬 구동 트랜지스터 회로 및 입력 단의 R, C 지연을 이용한 delta 전류개선을 그림 9에서 확인하였으며, 여기에 decoupling 커패시터를 적용하여 EMI개선을 위한 칩을 제작하였다.

칩 제작은 출력 구동 트랜지스터 10개를 병렬로 구성한 그림 11의 칩에 decoupling 커패시터 값을 nMOS 트랜지스터의 게이트 oxide 을 이용하여 표 1과 같이 400 pF을 삽입한 Type #1과 1nF 삽입한 Type #2을 제작하였으며, 각 칩에 있어서의 sub block decoupling 커패시터의 위치는 칩 크기를 늘리지 않는 범위 내에서 커패시터를 위치 시켰으며 Type #1의 소자 특성을 검증 후 Type #2로 칩 제작 시에는 출력 구동 트랜지스터의 트기가 큰 block및 상태 변화가 빈번하게 이루어지는 부분에 decoupling 커패시터를 크게 삽입하였다.

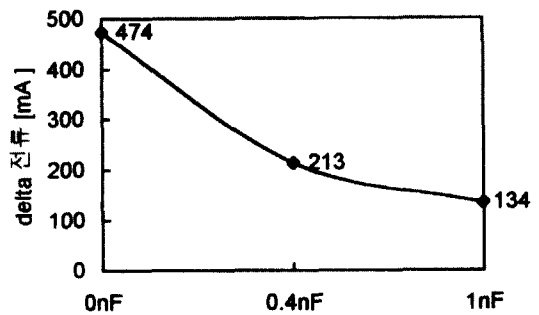


그림 12. 전체 decoupling capacitor 값에 따른 delta 전류 Fig. 12. Delta current depend on total decoupling capacitor value.

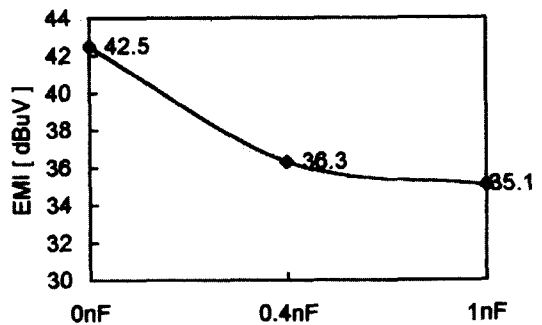


그림 13. 전체 decoupling capacitor 값에 따른 EMI측정값 Fig. 13. EMI value depend on total decoupling capacitor value.

그림 12는 i8052에 decoupling 커패시터를 삽입한 경우의 커패시터 값에 따른 power와 ground사이의 순간 도통 전류를 시뮬레이션 한 결과이며, 그림 13은 실제 제작한 칩에서 EMI특성을 측정 한 결과이다.

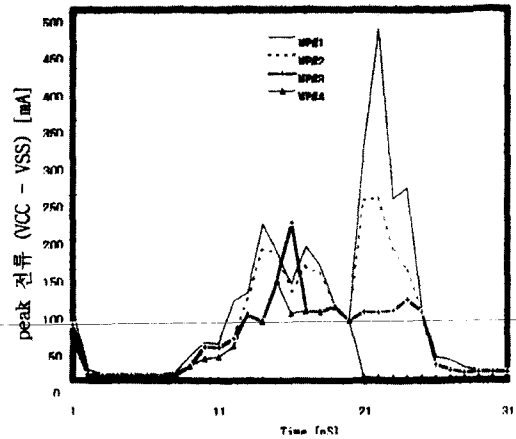
시뮬레이션 결과 decoupling 커패시터의 증가에 따라 칩 내의 시스템 신호 스위칭 시 power단과 ground사이의 순간 도통 전류가 그림 12와 같이 선형적으로 감소되었으며, 실제 칩을 제작하여 EMI특성을 평가한 결과도 그림 13과 같이 decoupling 커패시터에 비례하여 특성이 개선됨을 알 수 있다.

출력 구동 트랜지스터의 크기를 여러 개의 트랜지스터로 병렬화시켜서 입력 단의 지연을 이용하여 EMI 특성을 개선하는 방법과, decoupling 커패시터를 함께 사용하는 것이 효과적임을 알 수 있다. 그러나, decoupling 커패시터를 사용할 경우 반드시 커패시터 값이 크다고 하여 EMI 특성이 개선되어 지는 것은 아니며, 시스템 동작 주파수를 고려하여 칩 내의 공진 주파수 이내에서 커패시터 값을 설정하는 것이 EMI 특성 개선에 효율적이다.

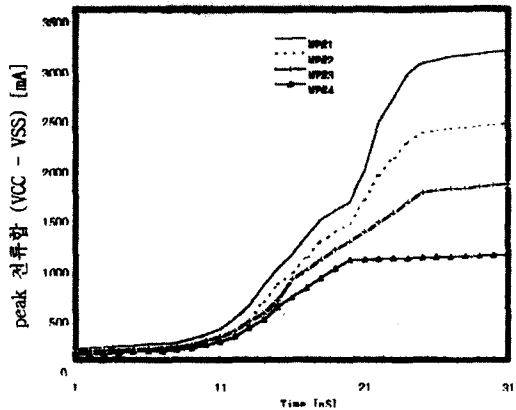
IV. Simulation 및 측정 결과

본 논문에서 제안하는 EMI최소화 회로를 적용하여 표 2와 같이 4가지 종류의 i8052 시료를 제작하여 PC에 장착 후 EMI를 측정하였다. 측정 시는 PC의 주변 기기를 OFF하고 무선 리모콘에 의한 CPU on/off제어를 하여 측정하였다^[10].

그림 14는 본 논문에서 제시한 EMI개선 회로를 적용하여 시스템이 정상 동작될 때의 VCC단과 VSS사이의 시뮬레이션에 의한 delta전류의 peak값의 변화를 나타내었으며, 그림 14(a)에서 VCC와 VSS사이의 순간 도통 전류의 peak 발생부위는 CPU동작 명령에 의하여 port단으로 외부 memory을 access하기 위하여 어드레스를 출력시킬 때 peak 전류가 발생하였다. 그림 14(a)에서 순간 도통 전류의 peak값이 EMI 개선 전(MP#1)의 경우는 474mA까지 흘렀으나, 다만 출력 구동회로를 적용 시(MP#2)에는 246mA로 개선되었으며, 다만 출력 구동회로 적용과 함께 decoupling 커패시터를 적용하여 0.4nF의 커패시터를 적용(MP#3) 할 경우 213mA의 peak값을 나타내고 1nF의 커패시터를 적용(MP#4)시에는 134mA의 peak값을 가진다.



(a) CPU test vector수행에 따른 peak전류



(b) CPU test vector수행에 따른 peak전류의 합

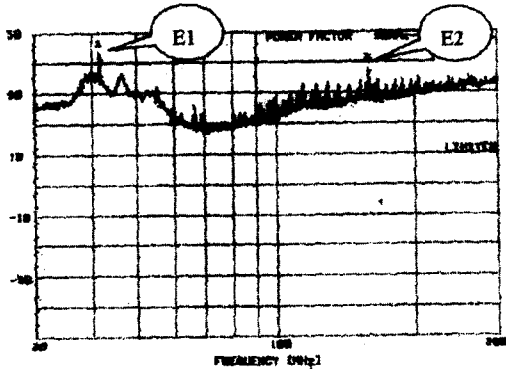
그림 14. EMI 개선 회로 적용에 따른 peak 전류의 변화
Fig. 14. Peak current with proposed EMI circuit.

따라서 본 논문에서 제시한 EMI최소화를 위해서 병렬 출력 구동회로와 함께 시스템의 공진 주파수범위 내에서의 decoupling 커패시터를 함께 사용하면 VCC와 VSS사이의 순간 도통 전류를 1/3로 줄일 수 있다.

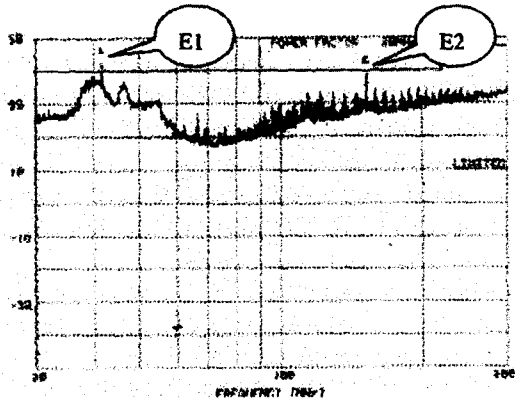
그림 14(b)의 VCC와 VSS사이의 peak 전류 누적치에서도 EMI개선 전의 경우(MP#1)와 비교하여 다만 출력 구동회로와 함께 decoupling 커패시터를 1nF 사용(MP#4)했을 경우는 delta 전류가 1/3로 개선되어 짐을 알 수 있다.

그림 15는 본 논문에서 제안하는 EMI최소화 회로를 적용하여 제작된 4가지 시료에 대하여 PC 시스템에 장착하여 EMI를 측정 한 결과이다, 그림 15(a)는 EMI특성 개선 전 시료(MP#1)에 대한 EMI측정치로 칩이 UART을 통하여 외부로 직렬 통신하는 E1시간

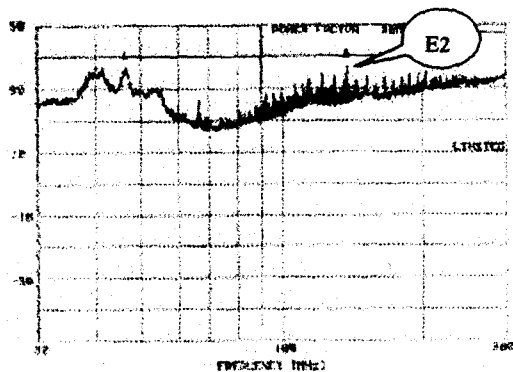
과 port로 출력 값을 내보내는 E2시간에서 EMI값이 peak가 발생되었으며 E1에서의 peak EMI 발생이 E2보다 큰 값으로 나타났다. 이는 측정된 EMI 값이 출력 구동 회로의 loop전류에 의해서만 발생된 것이 아니라 전원 및 접지선의 bouncing등에 의하여 발생된 전자파가 복합적으로 작용하여 나타났기 때문이다.



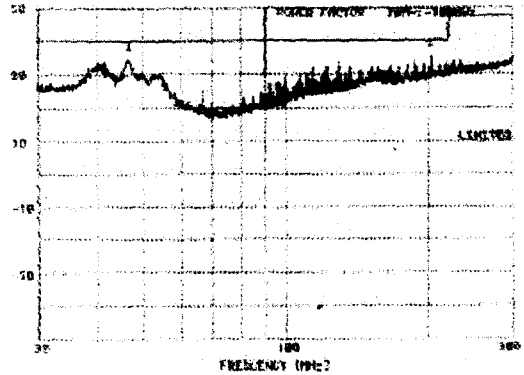
(a) EMI특성 개선 전(MP#1) : 42.5 dBuV



(b) 병렬 출력구동회로 적용 시(MP#2) : 42.2 dBuV



(c) 병렬 출력 구동 회로와 decoupling cap 0.4nF추가 시(MP#3) : 36.3 dBuV



(d) 병렬 출력 구동 회로와 decouplin cap 1nF추가 시(MP#4) : 35.1 dBuV

그림 15. 4종류의 i8052 시료를 PC 시스템에 장착 후 EMI 측정 결과

Fig. 15. Measured EMI effect in the PC system with 4 different sample.

그림 15(c)은 그림 15(b)의 병렬 출력 구동 회로를 적용한 시료에 칩 내부에 decoupling 커패시터를 0.4nF추가하여 제작한 시료(MP#3)로써 EMI 측정 결과 E1의 EMI 발생은 개선 되었으며, E2의 EMI값이 peak로 남아 있었다. E2의 EMI peak발생은 MP#3 시료 제작 시 칩 내부에 decoupling 커패시터를 병렬로 위치하도록 하여 각 sub block에 표 1에서 나타난 것과 같이 커패시터를 분포시켰으나, CPU의 동작 시 출력단자로 출력 신호를 내보내는 명령을 수행 시에 출력 단에 위치한 커패시터 값이 전원과 접지사이의 순간도통전류를 bypass 할 수 있을 만큼 충분히 크지 않아서 발생하였다. 그림 15(d)는 그림 15(b)의 다단 출력 구동 회로를 적용한 시료에 칩 내부에 decoupling 커패시터를 1nF 추가하여 제작한 시료(MP#4)로써 EMI측정 결과 E1과 E2의 peak EMI가 모두 개선되었다.

표 2. 제작된 i8052시료
Table 2. Manufactured i8052 sample.

시료명	적용 내용
MP #1	EMI 개선 전
MP #2	병렬 출력 구동회로
MP #3	병렬 출력 구동회로 + 분산형 cap. 0.4nF 적용
MP #4	병렬 출력 구동회로 + 분산형 cap. 1nF 적용

V. 결 론

본 연구에서는 반도체 회로 설계 단계에서 EMI 최소화 방안으로는 전원 및 접지선에서의 decoupling 커패시터를 이용하여 전원/접지 bouncing을 줄이는 방법과 스위칭 시 칩의 동작 spec을 만족시키는 범위 내에서 회로 구현 트랜지스터의 크기를 최소화하고 트랜지스터 크기를 분할하는 병렬 출력 구동회로를 구성하여 시스템 클럭 스위칭 시 발생되어지는 delta 전류에 의한 EMI를 감소시키는 방법을 제안하였다.

Decoupling 커패시터를 설계 시에는 칩 내에서의 위치를 구동 트랜지스터의 크기가 큰 부위, 상태 변화가 빠르게 일어나는 블록에 커패시터를 위치하고 값을 크게 하는 것이 좋으며 공진 주파수와 시스템 동작 주파수를 고려하여 커패시터를 적절히 병렬로 사용하는 것이 효과적이다.

본 연구결과를 i8052에 적용하여 4종류의 칩을 제작하여 측정할 결과 EMI는 10dBuV 정도 개선되어 peak EMI가 완전히 제거되었으며 delta 전류는 1/3 정도로 감소하는 결과를 얻었다.

일반적으로 시스템의 환경에 따라 EMI 발생 요인이 달라지나 회로 설계 및 시스템구현을 하는 초기 단계 부터 EMI 영향을 최소화하기 위한 회로 연구는 효과가 크다고 볼 수 있다.

참 고 문 헌

[1] Henry W.Ott, Noise reduction techniques in electronic systems, A willy inter-science, second edition, 1988.
 [2] A.Dinapoh, F.Giulii, Capponi, "Analysis of emi sources inside power electronic converter", Proceedings of the 7th euro-

pean conference on power electronics and applications, vol. 2, 1977.
 [3] Moez Youssef, Edith Clavel, "Conducted & radiated emi characterisation of power electronics converter", Proceedings of the IEEE international symposium on industrial electronics, vol. 1, 1997.
 [4] J.Roudet, W.Teulings, J.L.Schanen, "Switch performance and emi noise generation of a insulated metal substrate", Proceedings of the 7th european conference on power electronics and applications, vol. 3, 1997.
 [5] Neil Weste, kamran Eshraghian, Principles of CMOS VLSI Design, Addison wesley, 1993.
 [6] Bill Gunning, Leo Yuan, Trung Nguyen, and Tony Wong, "A CMOS low voltage swing transmission line transceiver", ISSCC Digest of Technical Papers. IEEE, pp. 58-59, 1992.
 [7] JEDEC STANDARD, HSTL STANDARD, 1994.
 [8] Clayton.R. Paul, "Decoupling the multi-conductor Transmission line equations", IEEE Transactions on Microwave Theory & Techniques, vol. 44 no. 8, 1996.
 [9] F.N.Koumboulis, "Input output decoupling for linear systems with nonlinear uncertain structre", Journal of the franklin Institute, vol. 3-33 no. 4, 1996.
 [10] A.Smith Jr, R.German, J.Pate, "Calculation of site attenuation from antenna factors", IEEE trans. Electromagnetic compat, vol. EMC-24, pp. 301-316, 1982.

저 자 소 개

金 聖 植(正會員)

1965年 12月 28日生 1988年 2月 경북대학교 전자공학과 학사. 1997年 9月 ~ 현재 충북대학교 정보통신공학과 석사과정. 주관심분야는 EPROM, Flash 내장 Embedded MCU 회로설계

鄭 義 錫(正會員)

1969年 10月 18日生 1991年 2月 한국항공대 항공전자공학 학사. 1994年 2月 한국항공대 항공전자공학 석사. 1994年 3月 ~ 현재 한국전자통신연구원 연구원. 주관심분야는 ASIC 설계, Testability



趙 慶 錄(正會員)

1955年 6月 22日生 1977年 2月 경북대학교 전자공학과 공학사. 1989年 3月 일본 동경대학교 전자공학과 공학석사. 1992年 3月 일본 동경대학교 전자공학과 공학박사. 1979年 ~ 1986年 (주)금성사 TV연구소 선임 연구원. 1992年 ~ 현재 충북대학교 정보통신공학과 부 교수. 주관심분야는 VLSI 시스템 설계, 통신시스템의 LSI개발, 고속 마이크로프로세서 설계

