

반도체 소자의 정전기 완화특성

Characteristics of Electrostatic Attenuation in Semiconductor

김 두 현* · 김 상 렬**

Doo-Hyun Kim · Sang-Ryull Kim

(1999년 4월 2일 접수, 1999년 8월 20일 채택)

ABSTRACT

As the use of automatic handling equipment for sensitive semiconductor devices is rapidly increased, manufacturers of electronic components and equipment need to be more alert to the problem of electrostatic discharges(ESD). Semiconductor devices such as IC, LSI, VLSI become a high density pattern of being more fragile by ESD phenomena. One of the most common causes of electrostatic damage is the direct transfer of electrostatic charge from the human body or a charged material to the electrostatic discharge sensitive devices. Accordingly, characteristics of electrostatic attenuation in domestic semiconductor devices is investigated to evaluate the ESD phenomina in the semiconductors in this paper. The required data are obtained by Static Honestmeter. Also The results in this paper can be used for the prevention of semiconductor failure by ESD.

1. 서 론

적절하게 제어되지 않은 정전기는 화재·폭발, 생산장애 및 시스템 파괴와 같은 여러 가지 재해를 유발한다. 정전기현상을 이해하기 위해서는 장이론에 입각한 기본적인 물리개념에 대한 이해가 요구되며, 정전기에 의한 장·재해는 정전

기의 역학적 작용, 정전기유도 및 방전등의 정전현상에 의해 발생된다. 정전기방전(ESD)현상은 주변매질의 절연내력의 파괴, 또는 접지체와의 접촉으로 인하여 대전 물체가 가진 에너지가 순간적으로 방출되는 현상이다. 특히 정전기방전현상에 의한 방전에너지가 수[mJ] 정도로 작을지라도 가연성가스·증기에 착화원으로 작용하

* 충북대학교 안전공학과

** 안동과학대학 산업안전위생과

여 폭발·화재를 일으킬 수도 있으며 반도체소자를 파괴시키거나 전자노이즈를 발생시켜 컴퓨터, 자동생산기기 등 각종 전자기기의 오동작과 같은 장애를 유발하기도 한다. 더욱이 반도체소자는 경제성, 고성능화, 고신뢰성화의 실현을 위하여 반도체소자가 점차 LSI화 되고 그 때문에 기술경향은 미세화, 집적화가 매년 진행되어 미크론의 시대에 이르렀으며 접합깊이, 게이트 산화막, 트랜지스터의 길이 등이 상당히 작아지고 있다. 한편 package에 있어서도 보다 고밀도 장착을 목적으로 소형화가 진행되어 박형 package가 주류를 이루고 있어 소자의 미세화와 더불어 정전기에 대한 반도체소자의 내성은 작아지는 경향에 있다. 또한 생산공정상에 있어서 정전기에 의한 반도체소자의 정전기 파괴현상은 외부의 정전기가 소자에 방전된 경우나 정전기를 축적한 소자가 외부의 접지도전체에 접촉되어 방전한 경우 그리고 소자 주위의 전기장 환경이 급변할 때 발생한다. 이상에서 열거한 정전기에 의한 반도체소자 파괴 및 열화의 메카니즘은 크게 2종류로 나눌 수 있다¹⁻⁴⁾. 하나는 Au, Al 배선의 용단이나 소자내부의 통전전류에 의해 열이 발생하여 소자의 부저항특성에 의한 전류증가로 파괴되는 열적파괴이고, 다른 하나는 소자 표면에서의 트랙킹이나 산화막 파괴를 일으키는 전계파괴이다. 반도체소자의 package에 사용되는 재료로는 EMC(Epoxy Moulding Compound)와 ceramic이 주로 사용되는데, 에폭시수지가 반도체소자에 사용되는 이유는 전기절연성이 뛰어나며 성형수축률이 낮고 접착성, 내열성, 내습성, 내화학성이 우수하여 널리 사용되고 있다. 따라서 본 연구에서는 package재료로 많이 사용되는 plastic과 ceramic을 측정대상으로 하였다.

정전기 파괴모델⁵⁻⁷⁾은 크게 인체모델(HBM: Human Body Model), 대전소자모델(CDM: Charged Device Model), 전장유도모델(FIM: Field Induced Model), 머신모델(MM: Machine Model) 등으로 구분된다. 종래에는 대전된 인체가 소자와의 접촉에 의해 발생하는 인체모델(HBM)에 초점을 맞추어 연구되어 왔다. 그러나 취급과정에서 소자가 대전되는 대전소자모델(CDM)⁸⁻¹¹⁾은 낮은 임피던스 경로를 통하여 방전될 경우

HBM의 경우보다도 더욱 심각한 정전기 피해를 수반할 수 있으므로 이에 대한 더 많은 연구가 필요하다. 일반적으로 피해의 정도는 bipolar형 소자의 경우에는 실리콘 부분을 녹이고, MOS형 소자는 유전체 파괴로 나타난다. 정전기에 의한 반도체소자의 위험성에 대한 연구는 미국, 일본 등에서는 활발히 진행되고 있으나 국내에서는 미미한 실정에 있다.

따라서 본 연구에서는 정전기에 의한 위험성에 관한 연구의 일환으로 반도체소자의 대전방지를 위한 관점에서 소자의 전하가 누설되는 정도를 측정하고자 한다. 정전기의 대전은 정전기 발생 그 자체로서가 아니라 정전기 발생과 누설의 차이로 나타내며, 정전기 대전과 누설특성을 계측하는 여러 측정방법이 있다. 대전상태를 알 수 있는 방법으로서의 대전전하량의 측정과 전하에 의해 발생하는 표면전위의 측정이 있으며, 또한 전하의 누설특성을 측정하는 방법으로 전하감쇠측정이 있다. 정전기의 측정에 있어서 전압은 높고 전류가 미소하고, 전하가 공간적으로 분포되는 정전기의 특성으로 인해 일반적인 측정기로는 측정이 곤란하여 특별한 측정방법으로 측정하여야 한다. 본 실험에 이용한 측정장치는 전하감쇠측정장비인 Static Honestmeter(일본 SSD Electrostatic Ltd. H-0110)로서 이 실험기기를 통하여 반도체소자의 형태, package재료, 습도 및 핀 수에 따른 소자의 대전전위와 전위 감쇠를 측정하고 이 측정치를 이용하여 방전특성을 파악함으로써 정전기로 인한 반도체소자의 대전위험성과 방전가능성을 분석하고자 한다. 본 실험에서는 소자의 파괴여부를 예측하기 보다는 소자의 형태, package재료, 핀 수, 습도에 따른 완화특성을 고찰하는데 일차적인 목적을 두었다.

2. 정전기 완화모델

본 실험과 관련된 정전기 완화모델¹²⁾에 대하여 살펴보면 다음과 같다. Fig. 1(a)의 시료에 전하를 인가하여 전하의 분포가 정상상태에 도달한 후 전원을 차단한다. 이 때의 시료의 전위를 V_0 [V]라 하면 t초 후에는 누설전류에 의한 전하의 감소분만큼 시료전위가 강하하며, 그때의

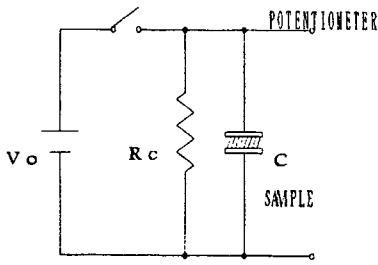
전위 $V[V]$ 는 시료의 누설저항 $R_L [\Omega]$ 과 정전용량 $C[F]$ 에 의해 다음 식으로 주어진다.

$$V = V_0 \exp \left\{ -t / (R_L \cdot C) \right\} \dots\dots\dots (1)$$

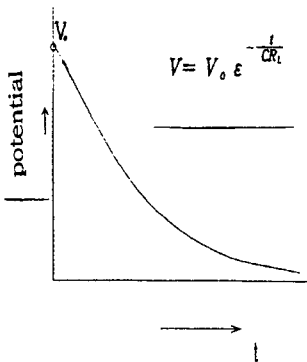
시료의 전하가 누설되어 감소하고 그 전위 V 가 초기의 전위 V_0 의 $1/2$ ($1/2$ 전압치)로 될 때의 시간 τ 를 반감기라 부른다. 식(1)에 $V=(1/2)V_0$ 를 대입하여 정리하면 반감기 τ 는 식(2), (3)과 같이 된다.

$$\tau = R_L \cdot C \ln 2 \dots\dots\dots (2)$$

$$R_L = \frac{\tau}{C \cdot \ln 2} \dots\dots\dots (3)$$



(a) equivalent circuit



(b) attenuation characteristic

Fig. 1 An equivalent RC circuit for measurement and curve of potential versus t

여기에서 반감기 τ 는 누설저항 R_L 과 비례 관계에 있으므로 반감기 τ 를 측정하면 대전체의 전하이동에 대한 난이도의 추정이 가능하다. 이 때 analyzer에 기록되는 V_0 의 크기는 시료에 대전된 전하에 비례시킨 상대값이다. V_0 의 크기

는 시료의 누설전하와 코로나 방전에 의해서 공급된 전하가 평형을 이루는 곳에서 결정된다. 일반적으로 대전물체의 절연성능이 높을수록 V_0 가 높고, τ 가 커진다.

3. 대전완화 실험

본 실험에서는 반도체소자의 완화특성을 알아보기 위하여 package재료로 시중에서 판매되고 있는 plastic과 ceramic을 사용한 소자를 선정하였으며 각각의 핀 수, 각각의 소자의 형태, 습도에 따른 완화특성을 측정하였다. 대전방지의 관점에서는 대전체의 전하가 누설하는 정도를 아는 것이 중요하며 이를 위해서는 전하완화의 측정이 필요하다. 측정시 대전소자의 표면상태 특히 수분의 흡착상태와 공기중의 습도에 따라 측정치가 달라지므로 주의해야 한다. 본 실험에서는 반도체소자에 코로나 방전형태로 대전시킨 다음 반감기를 측정하여 소자의 대전완화 특성을 고찰하였다.

3.1 사용소자의 종류 및 Capacitance 특성

반도체소자는 DIP(Dual In-line Package)형태가 주로 사용되며, 그 외에 SIP(Single In-line Package), SOJ(Small Out-line J-Bent Package), SOP(Small Out-line Package), TSOP(Thin Small Out-line Package), QFP(Quad Flat Package), ZIP(Zigzag In-line Package), GTO (Gate Turn Off Thyristor) 등의 형태가 많이 제조되고 있다. 본 실험에서는 소자의 형태에 따른 완화특성을 비교 분석하기 위하여 DIP, SIP, QFP형태의 소자를 실험대상으로 선택하였다. 본 연구에서의 목적을 달성하기 위하여 반도체소자의 종류에 따른 정전용량(capacitance)을 구하는 것이 필요하며, 이러한 소자의 정전용량은 접지면과 소자의 상대적 위치에 따라 달라진다고 알려져 있다. 종래의 연구에 의한 결과를 살펴보면 Table 1⁹⁾과 같다. 여기에서 방전시의 정전용량의 중요성을 파악하기 위해 40-pin ceramic 소자가 PVC튜브에서 미끄러져 나올 때 2nC의 전하를 함유하여 핀이 leads up 상태로 접지면에 놓인 후 그 중 한 핀을 통하여

방전된다고 보면, 약 52 pF 정도의 정전용량을 나타내는데 이것은 소자가 약 40 V의 전위와 약 0.04 μJ의 에너지를 가지게 된다. Tilted의 경우는 정전용량이 2.8 pF으로 약 720 V의 전위와 0.7 μJ의 에너지로 증가된다. 따라서 이 에너지가 1 ns에 방전된다면 방전경로를 통한 전력은 약 0.7kw가 되어 이 값은 소자를 파괴하거나 성능을 저하시킬 수 있는 값이 된다. 소자의 놓인 방향 중 leads up 상태의 정전용량이 가장 크고 tilted (at contact) 상태가 가장 작다. 또 핀 수가 많을수록 정전용량은 크게 나타난다. 따라서 소자의 위치에 의해 저장된 에너지의 크기가 결정된다. 본 연구에서는 방전시의 위험성이 상대적으로 높게 나타날 것으로 간주되는 정전용량이 가장 큰 경우인 leads up상태로 하였고, SIP의 경우에는 소자형태의 특성상 수평상태로 실험을 수행하였다.

Table 1 Capacitance of device packages with position

형 태	Device Capacitance [pF]				
	16pin DIP (plastic)	18pin DIP (plastic)	24pin DIP (plastic)	24pin DIP (ceramic)	40pin DIP (ceramic)
Leads up	2.9	3.6	7.1	28	52
Leads down	2.0	2.3	3.9	3.6	6.6
Tilted (at contact)	1.4	1.6	2.0	2.0	2.8
C _{max} /C _{min}	2.0	2.2	3.5	14	18.6

3.2 실험방법

본 실험에서 사용한 Static Honestmeter는 정전기적 성질을 측정하는 장치로서 10,000 V의 직류고압을 코로나 방전형으로 소자에 인가시켜 그 검출치가 포화치(saturation level)에 도달한 후 고압인가를 차단시키고 그 후 소자면상의 전위 감소상태를 연속적으로 검출한다. Fig. 2에서 보는 바와 같이 Static Honestmeter의 구성은 시료를 코로나 방전에 의해 임의로 대전시키는 구동기, 코로나를 발생시키기 위한 고압직류전원, 소자를 위에 놓고 회전시키는 턴테이블 및 모터, 시료의 전위를 픽업하는 수신기와 증폭기 그리고 이를 조작하는 조작부 등으로 구성되어

있다. 또 완화되는 전하로부터 반감기를 측정하는 analyzer가 부착되어 기록장치 기능을 수행하고 있다. 본 실험에서는 온도를 15~25℃, 습도를 45~60% 정도에서 위의 동일한 방법으로 수행하여 그 결과를 analyzer로 출력하여 Table 3에 나타내었다.

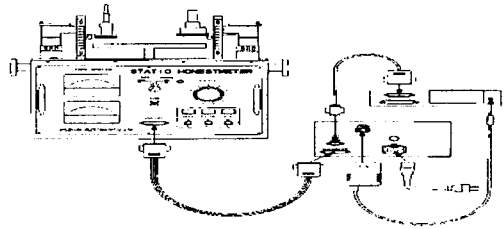


Fig. 2 Static Honestmeter used in experiment

Static Honestmeter의 개략도는 Fig. 3과 같으며, 그 동작원리는 대전소자의 전하가 시간의 경과와 더불어 누전전류에 의해 감소하는 것을 이용한 방법으로써 전하량감쇠법(coulomb-metric attenuation)이라고도 한다. 이 방법의 장점은 측정시간을 길게 해서 큰 저항을 측정할 수 있는 것과 사용전압을 높게 해도 측정에 직접 피해를 주지 않으며 대전상태의 감소를 직접 측정할 수 있다.

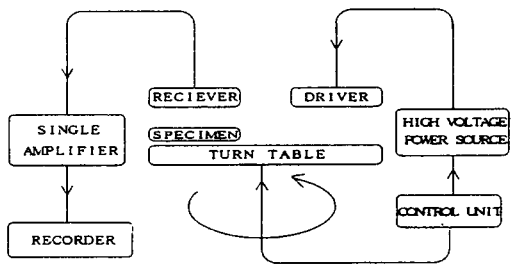


Fig. 3 A schematic diagram showing the structure of static honestmeter

4. 결과 및 고찰

4.1 실험결과

Table 2는 RCL Meter(Fluke elec., 100kHz~

1MHz, U.S.A)를 이용하여 측정한 반도체소자의 정전용량을 나타내었다. Table 2에서 보는 바와 같이 DIP형소자의 정전용량은 핀 수가 많을수록, package재료는 plastic에 비해 ceramic 소자가 상대적으로 큰 것으로 나타났다. Table 3에서는 소자의 형태는 DIP, QFP, SIP형태이고 package재료는 EMC(plastic)와 ceramic재료를 사용하였다. 또한 각각의 핀 수와 습도에 따른 포화전압, 1/2 전압치, 반감기에 대한 측정값을 나타내었다.

Table 2 Capacitances of semiconductor devices

Typc	Package 재료	Pin수	Capacitance[pF]	비고
DIP	Plastic	20	25	
		28	30	
		32	45	
	Ceramic	28	180	

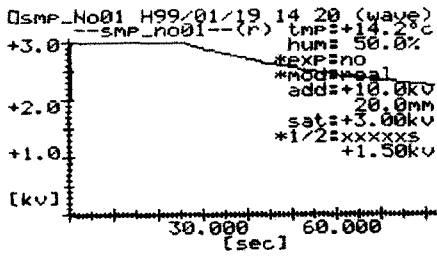
실험에 사용된 반도체소자에 따른 대전전압의 완화에 의한 반감기를 analyzer로 분석하여 Fig. 4, Fig. 5, Fig. 6, Fig. 7에 나타내었다.

4.2 고 찰

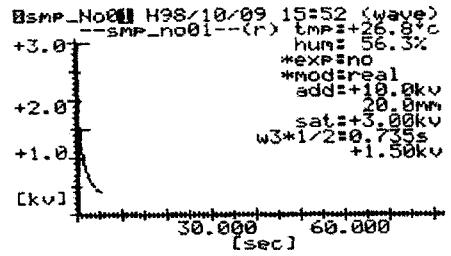
Fig. 8은 핀 수에 따른 소자의 반감기를 나타내었다. 반도체소자의 대전방지의 관점에서는 대전소자의 전하가 누설하는 정도를 파악하는 것이 중요하다. 이를 위해서는 전하감쇠 즉, 정전기완화 측정이 유효하다. 실제로 전하감쇠측정은 어떤 방법의 감쇠곡선도 식(1)에 따른 완전한 지수함수 곡선과 다소 차이를 나타내는데 이것은 정전기의 분포상황이나 시료의 구조 등의 영향이 나타나기 때문이다. 그림에서 DIP(plastic)와 QFP(plastic)인 경우는 핀 수가 클수록 반감기가 작은 경향을 나타내었는데, 그 이유는 28핀 소자의 경우 20핀 소자에 비해 다소

Table 3 Characteristics of potential attenuation in Devices

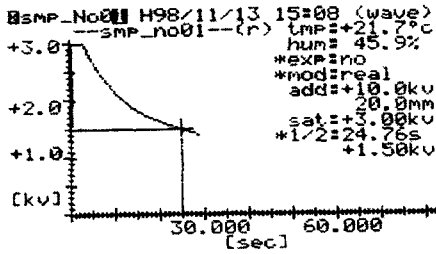
소 자		측 정				saturation voltage [KV]	half voltage [KV]	half time [sec]	비고
type	package 재료	pin 수	부게 [g]	크기 가로×세로 [mm]	humidity [%]				
	EMC (plastic)	-	13.018	40×40	50.0	3	-	-	1
DIP	EMC (plastic)	32	2.410	29.5×9.1	56.3	3	1.5	0.735	2
					45.9	3	1.5	24.76	3
	EMC (plastic)	28	4.414	37.1×13.8	56.0	3	1.5	1.811	4
					47.8	3	1.5	25.04	5
	EMC (plastic)	20	1.350	26.1×6.6	56.0	3	1.5	0.828	6
					49.3	2.64	1.32	5.746	7
	EMC (plastic)	8	0.503	9.6×6.2	57.1	1.42	0.71	12.54	8
ceramic	28	7.651	36.1×13.2	58.8	3	1.5	53.65	9	
QFP	EMC (plastic)	44	2.120	17.4×17.4	61.7	1.27	0.63	0.501	10
	EMC (plastic)	18	0.591	12.2×7.3	58.8	0.59	0.29	2.728	11
SIP	EMC (plastic)	4	2.179	9.8×9.1	56.4	1.22	0.61	20.18	12
	EMC (plastic)	3	1.978	15.7×10.0	56.4	0.45	0.22	14.15	13



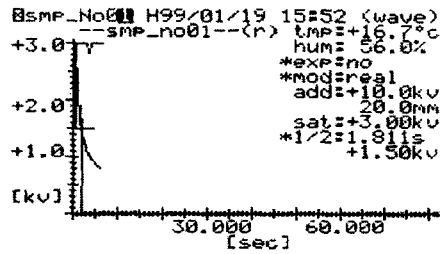
1



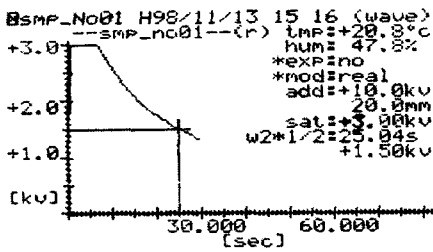
2



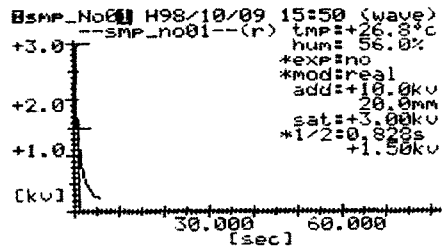
3



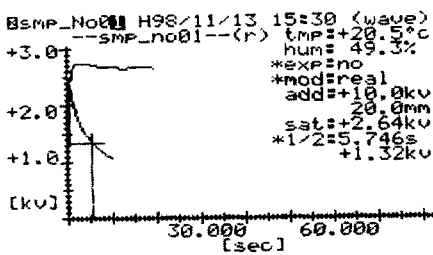
4



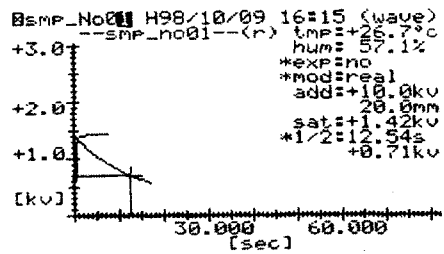
5



6



7



8

Fig. 4 Graphic display of half-value period (Plastic-DIP)

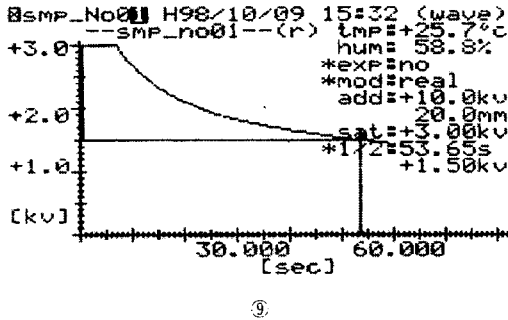


Fig.5 Graphic display of half-value period (Ceramic-DIP)

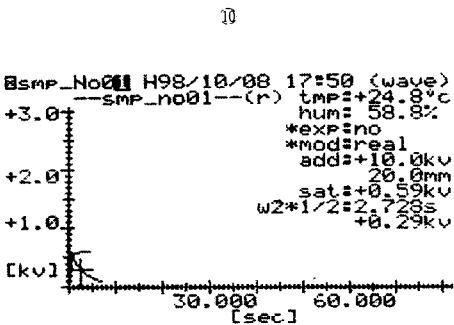
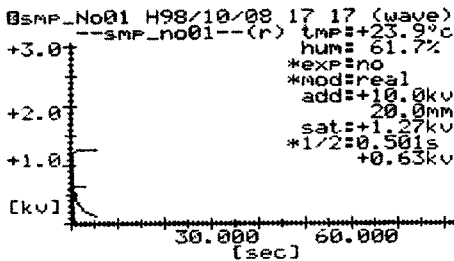


Fig.6 Graphic display of half-value period(Plastic-QFP)

크게 나타난 것은 소자의 크기나 무게가 다른 소자들에 비해 상대적으로 큰 관계로 크게 나타난 것으로 생각된다. DIP에서 package 재료가 ceramic의 경우에는 plastic에 비해 반감기가 상대적으로 크게 나타났는데 이것은 package재료가 정전기완화에 영향을 주고 있음을 알 수 있다. SIP(plastic)의 경우에는 핀 수가 클수록 반감기도 다소 크게 나타났다. 따라서 DIP(plastic), QFP(plastic)는 핀 수가 방전에 영향을 미

치고, SIP(plastic)는 그렇지 않은 것으로 나타났는데 그 이유는 DIP와 QFP는 leads up 상태로, SIP는 형태의 특성상 수평상태에서 실험을 수행하였기 때문인 것으로 생각된다. 또 Fig.4의 ①에서 보는 바와 같이 package재료인 EMC(plastic) 자체의 반감기 값은 거의 무한대로 방전이 잘 일어나지 않아서 핀 수가 반감기 즉, 정전기 완화에 영향을 미치고 있다는 것을 확인 할 수 있었다.

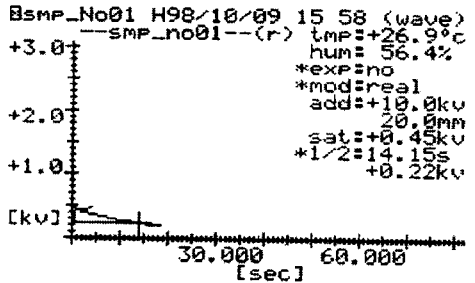
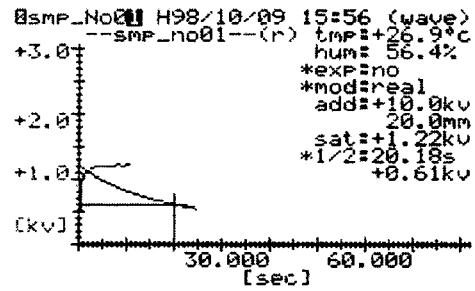


Fig.7 Graphic display of half-value period(Plastic-SIP)

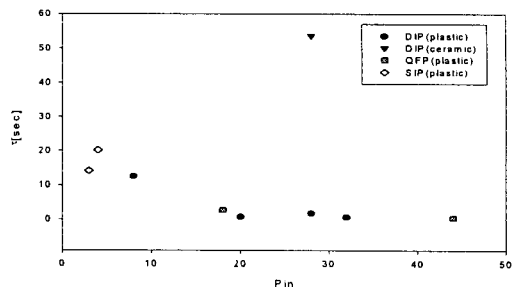


Fig.8 Half value period of devices in the number of pins

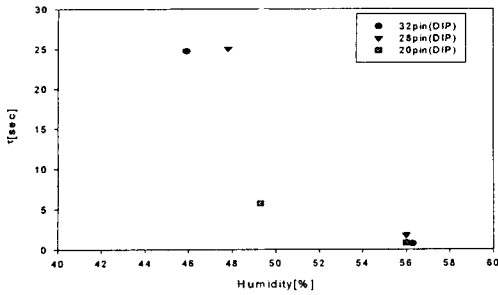


Fig. 9 Half value period of devices versus humidity

Fig. 9는 습도에 따른 반감기를 나타낸 그림으로 변화는 잘 알려진 바와 같이 습도가 높을수록 핀 수에 관계없이 반감기는 작은 값을 나타냈다. 또한 습도가 30%미만인 경우에는 거의 방전이 일어나지 않았다.

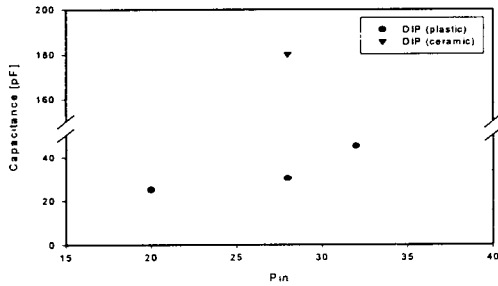


Fig. 10 Capacitance of devices versus number of pins

Fig. 10은 핀 수에 대한 정전용량을 나타낸 것으로 핀 수가 많을수록 정전용량값이 크며, package 재료는 ceramic 소재가 plastic에 비하여 정전용량이 큰 값으로 나타났다.

본 고찰에서 대전상태를 나타내는 포화전압치 (saturation voltage)가 최대 3kV가 되지 않고 작게 나타난 것은 소자의 크기가 상대적으로 작은 경우에는 포화전압치에 도달되지 않음을 알 수 있었다.

이상과 같이 반도체소자의 핀 수, 소자의 형태, package재료, 습도에 따른 대전전하의 감쇠현상을 측정하여 각 소자에 대한 반감기를 구해봄으로써 소자의 대전과 방전특성을 파악할 수 있었다. 본 실험에서 사용된 Static Honestmeter

는 각종의 package재료에 따른 반감기를 구하는 것을 주목적으로 하여 제작된 측정기구이므로, package소자의 형태에 따른 자체의 반감기를 측정하는 데에는 약간의 어려움이 있었다. 본 실험을 통하여 얻어진 이와 같은 고찰은 반도체소자의 파괴여부를 정량적으로 판단 할 수 있는 자료로는 불충분하나, 소자의 대전과 전하감쇠 특성에 의한 위험성 판단의 기초자료로 활용할 수 있을 것으로 판단된다. 이를 바탕으로 향후 CDM실험에서 각 반도체소자에 따른 실제 방전과형을 분석하여 방전전류치와 대전전압에 따른 반도체소자의 파괴여부를 분석함으로써 반도체소자의 ESD에 대한 위험성을 정량적으로 파악할 수 있을 것으로 예측된다.

5. 결 론

반도체소자의 대전상태는 포화전압치로 알 수 있었으며, 정전기대책용 재료의 대전방지효과는 대전완화특성을 이용하여 일반적으로 평가할 수 있다. 본 연구에서 수행한 실험결과로 반도체소자의 정전기 대전현상과 방전특성은 소자의 형태, package재료, 핀 수, 습도에 따라 차이를 나타내었다. 소자의 종류에 따른 대전완화 정도를 파악하기 위하여 Static Honestmeter를 이용하여 다음과 같은 결론을 얻었다.

- 1) 반도체소자의 package재료에 따른 반감기는 plastic재료 소자가 ceramic재료 소자에 비하여 반감기가 작았다.
- 2) 반도체소자가 DIP 형태인 경우 핀 수가 많을수록 반감기가 작은 경향을 나타낸다.
- 3) 반도체소자의 형태에 따른 반감기는 QFP 형태가 DIP, SIP 형태에 비하여 상대적으로 반감기가 작았다.
- 4) 습도에 따른 반감기는 소자의 형태, 핀 수, 소자의 재료에 관계없이 작았다.

반도체소자의 대전방지를 위한 전하가 누설하는 정도를 파악하기 위하여 소자의 형태, package용 재료, 핀 수에 대한 정전기완화특성을 실험을 통하여 파악할 수 있었으며, 이밖에도 측정실험에서 측정시의 습도와 반도체소자의 상태 및 형상과 크기에 따라 완화특성이 차이를 나타

내기도 하였으나 본 연구에서는 이러한 사항에 대해서는 고려하지 못하였다. 추후 반도체소자의 CDM(FCDM)실험을 통하여 대전전위에 따른 정전기방전(ESD)으로 인한 반도체소자의 파괴여부를 판단함으로써 좀더 구체적이고 정량적인 반도체소자의 정전기 위험성을 파악하고자 한다.

참 고 문 헌

- 1) DOD-HDBK-263, Electrostatic Discharge Control Handbook for Protection of Electrical and Electronic Parts, Assemblies and Equipment(Excluding Electrically Initiated Explosive Devices), May 2, 1980.
- 2) P.R. Bossard, R.G. Chemellic and B.A. Unger, EOS/ESD Symposium Proceedings, EOS-2, 17, 1980.
- 3) R.G. Renninger, M.C. Jon, D.L. Lin, T. Diep and T.L. Welsher, EOS/ESD Symposium Proceedings, EOS-11, 59, 1989.
- 4) M.C. Jon and T.L. Welsher, An Experimental Investigation of the Electrostatic Discharge(ESD) Mechanism in Packaged Semiconductor Devices, Journal of Electrostatics, 32, pp. 43~70, 1994.
- 5) W.D. Greason, Electrostatic Discharge:A Charge Driven phenomenon, Journal of Electrostatics, 28, pp. 199~218, 1992.
- 6) W.D. Greason, Quasi-static Analysis of Electrostatic Discharge(ESD) and the Human Body Using a Capacitance Model, Journal of Electrostatics, 28, pp. 199~218, 1992.
- 7) W.D. Greason, Constant Energy Device Test for Electrostatic Discharge(ESD) of semiconductor devices, IEEE Trans., Vol. 33, No. 1, pp. 286~297, 1997.
- 8) Timothy J. Maloney, Integrated Circuit Metal in the Charged Device Model Bootstrap Heating, Melt Damage, and Scaling Laws, Journal of Electrostatics, 31, pp. 313~321, 1993.
- 9) Don L. Lin and Terry L. Welsher, From Lightning to Charged-Device Model Electrostatic Discharges, Journal of Electrostatics, 31, pp. 199~213, 1993.
- 10) B.A. Unger, Electrostatic Discharge Failures of Semiconductor Devices, Proceedings of the IEEE International Reliability Physics Symposium, 1981.
- 11) Robert G. Renninger, Mechanisms of Charged-Device Electrostatic Discharges, Journal of Electrostatics, 28, pp. 253~283, 1992.
- 12) 和泉健吉, 靜電氣についての基礎實驗, 靜電氣學會, 18, No. 4, pp. 376~384, 1994.